

20V_{IN}、デュアル5Aまたはシングル10A 降圧DC/DC μModuleレギュレータ

特長

- 1cm²(片面PCB)または0.5cm²(両面PCB)未満のフル機能ソリューション
- 広い入力電圧範囲: 3.1V~20V
- 出力電圧: 0.6V~5.5V
- デュアル5Aまたはシングル10Aの出力電流
- 負荷、ライン、温度に対して、±1.5%の最大全出力電圧レギュレーション誤差
- 電流モード制御、高速過渡応答
- 外部周波数同期
- 電流分担による多相並列接続が可能
- 出力電圧のトラッキングとソフトスタート機能
- Burst Mode[®]動作を選択可能
- 過電圧入力保護および過熱保護
- パワーグッド・インジケータ
- 6.25mm × 7.5mm × 3.22mm BGAパッケージ

アプリケーション

- 汎用ポイントオブロード変換
- テレコム、ネットワークおよび産業用機器
- 医療用診断機器
- テストおよびデバッグ・システム

概要

LTM[®]4705は、6.25mm × 7.5mm × 3.22mmの小型BGAパッケージに収容されたフル機能デュアル5A降圧スイッチング・モードμModule[®] (マイクロモジュール)レギュレータです。パッケージには、スイッチング・コントローラ、パワーMOSFET、インダクタ、およびサポート部品が含まれています。LTM4705は、3.1V~20Vの入力電圧範囲で動作し、1個の外付け抵抗による設定で、0.6V~5.5Vの範囲の電圧を出力します。高効率の設計により、デュアル5Aの連続出力電流を供給します。必要なのは、少数のセラミック入出力コンデンサのみです。

LTM4705は、選択可能なBurst Mode動作と電源レール・シーケンシング用の出力電圧トラッキングをサポートしています。高いスイッチング周波数と電流モード制御により、安定性を犠牲にすることなくラインと負荷の変化に対して非常に高い過渡応答を実現します。

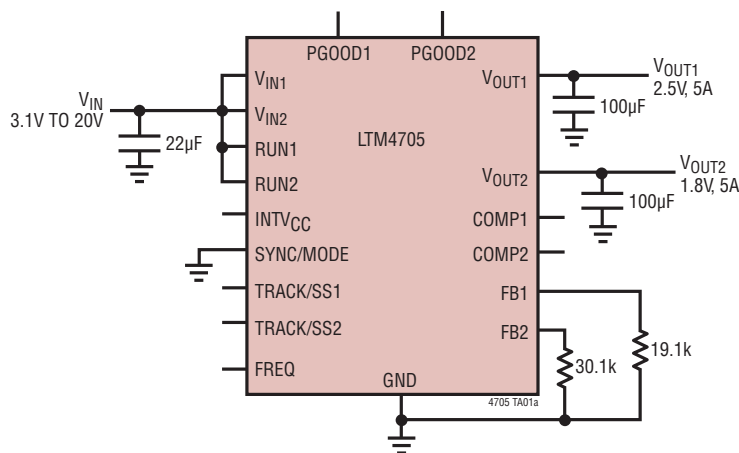
故障保護機能として、入力過電圧保護、出力過電流保護、および過熱保護を備えています。

LTM4705は、RoHS準拠の端子仕上げで提供されます。

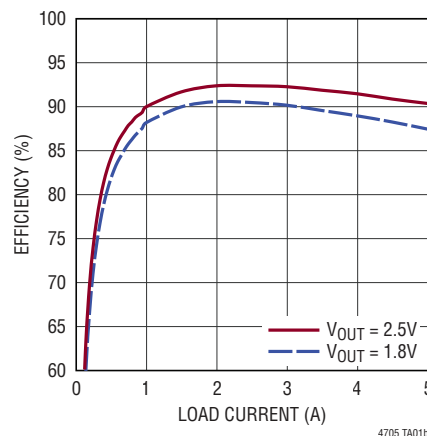
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

2.5Vおよび1.8Vデュアル出力DC/DC降圧μModuleレギュレータ



12V入力時の効率と負荷電流の関係



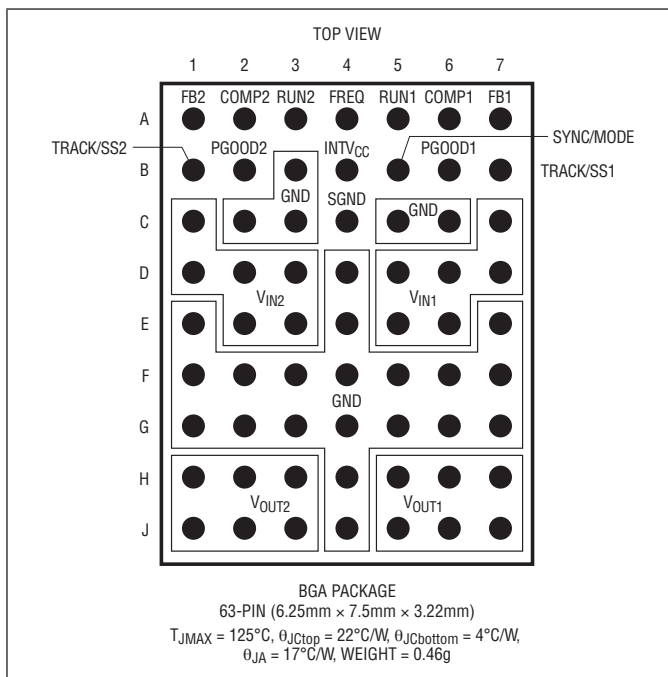
LTM4705

絶対最大定格

(Note 1)

V_{IN1} , V_{IN2}	$-0.3V \sim 22V$
V_{OUT1} , V_{OUT2} , $PGOOD1$, $PGOOD2$	$-0.3V \sim 6V$
$RUN1$, $RUN2$	$-0.3V \sim 22V$
$INTV_{CC}$, $TRACK/SS1$, $TRACK/SS2$	$-0.3V \sim 3.6V$
$SYNC/MODE$, $COMP1$, $COMP2$, $FB1$, $FB2$	$-0.3V \sim INTV_{CC}$
動作ジャンクション温度範囲	
(Note 2)	$-40^{\circ}C \sim 125^{\circ}C$
保存温度範囲	$-55^{\circ}C \sim 125^{\circ}C$
ハンダ・リフロー時の最大ボディ温度	$260^{\circ}C$

ピン配置



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ・ タイプ	MSL レーティング	温度範囲 (Note 2)
		デバイス	仕上げコード			
LTM4705EY#PBF	Au (RoHS)	LTM4705Y	e1	BGA	3	$-40^{\circ}C \sim 125^{\circ}C$
LTM4705IY#PBF		LTM4705Y				

• 更に広い動作温度範囲で規定されたデバイスについては、弊社または弊社代理店にお問い合わせください。

*パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。

• 推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順

• LGAおよびBGAのパッケージ図面とトレイ図面

電気的特性

●は、全動作温度範囲 (Note 2) に適用される仕様、それ以外は $T_A = 25^{\circ}C$ (Note 2) での使用です。また、特に指定のない限り、図23の代表的なアプリケーションに基づき、 $V_{IN1} = V_{IN2} = 12V$ での値です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Switching Regulator Section: Per Channel							
V _{IN1}	Input DC Voltage		●	3.1		20	V
V _{IN2}	Input DC Voltage	3.1V < V _{IN1} < 20V	●	1.5		20	V
V _{OUT(RANGE)}	Output Voltage Range		●	0.6		5.5	V
V _{OUT(DC)}	Output Voltage, Total Variation with Line and Load	C _{IN} = 22μF, C _{OUT} = 100μF Ceramic, R _{FB} = 40.2k, MODE = INTV _{CC} , V _{IN1} = V _{IN2} = 3.1V to 20V, I _{OUT} = 0A to 5A	●	1.477	1.5	1.523	V
V _{RUN}	RUN Pin On Threshold	RUN Threshold Rising RUN Threshold Falling		1.16 0.96	1.27 1	1.35 1.06	V V
I _{Q(VIN)}	Input Supply Bias Current	V _{IN1} = V _{IN2} = 12V, V _{OUT} = 1.5V, MODE = GND V _{IN1} = V _{IN2} = 12V, V _{OUT} = 1.5V, MODE = INTV _{CC} , I _{OUT} = 0.5A Shutdown, RUN1 = RUN2 = 0			15 79 75		mA mA μA

Rev. 0

電氣的特性

●は、全動作温度範囲 (Note 2) に適用される仕様、それ以外は $T_A = 25^\circ\text{C}$ (Note 2) での使用です。また、特に指定のない限り、図 23 の代表的なアプリケーションに基づき、 $V_{IN1} = V_{IN2} = 12\text{V}$ での値です

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{S(VIN)}$	Input Supply Current	$V_{IN1} = V_{IN2} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $I_{OUT} = 5\text{A}$		0.74		A
$I_{OUT(DC)}$	Output Continuous Current Range	$V_{IN1} = V_{IN2} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 3)	● 0		5	A
$\Delta V_{OUT(\text{Line})}/V_{OUT}$	Line Regulation Accuracy	$V_{OUT} = 1.5\text{V}$, $V_{IN1} = V_{IN2} = 3.1\text{V}$ to 20V , $I_{OUT} = 0\text{A}$	●	0.01	0.1	%/V
$\Delta V_{OUT(\text{Load})}/V_{OUT}$	Load Regulation Accuracy	$V_{OUT} = 1.5\text{V}$, $I_{OUT} = 0\text{A}$ to 5A	●	0.2	0.8	%
$V_{OUT(AC)}$	Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F}$ Ceramic, $V_{IN1} = V_{IN2} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$		8		mV
$\Delta V_{OUT(\text{START})}$	Turn-On Overshoot	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F}$ Ceramic, $V_{IN1} = V_{IN2} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$		15		mV
t_{START}	Turn-On Time	$C_{OUT} = 100\mu\text{F}$ Ceramic, No Load, $\text{TRACK/SS} = 0.01\mu\text{F}$, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$		5		ms
ΔV_{OUTLS}	Peak Deviation for Dynamic Load	Load: 0% to 25% to 0% of Full Load, $C_{OUT} = 100\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$		30		mV
t_{SETTLE}	Settling Time for Dynamic Load Step	Load: 0% to 25% to 0% of Full Load, $C_{OUT} = 100\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$		70		μs
I_{OUTPK}	Output Current Limit	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$		6		A
V_{FB}	Voltage at V_{FB} Pin	$I_{OUT} = 0\text{A}$, $V_{OUT} = 1.5\text{V}$	● 0.592	0.6	0.608	V
I_{FB}	Current at V_{FB} Pin	(Note 4)			± 30	nA
R_{FBHI}	Resistor Between V_{OUT} and V_{FB} Pins		60	60.4	60.8	k Ω
$UVLO$	V_{IN} Undervoltage Lockout	V_{IN} Falling Hysteresis	2.2	2.4 0.5	2.6	V V
$I_{\text{TRACK/SS}}$	Track Pin Soft-Start Pull-Up Current	$\text{TRACK/SS} = 0\text{V}$		1.4		μA
t_{ss}	Internal Soft-Start Time	10% to 90% Rise Time (Note 4)		1000		μs
$t_{ON(\text{MIN})}$	Minimum On-Time	(Note 4)		30		ns
$t_{OFF(\text{MIN})}$	Minimum Off-Time	(Note 4)		100		ns
V_{PGOOD}	PGOOD Trip Level	V_{FB} with Respect to Set Output V_{FB} Ramping Negative V_{FB} Ramping Positive	-10	-8 8	-5 10	% %
R_{PGOOD}	PGOOD Pull-Down Resistance	10mA Load		25		Ω
V_{INTVCC}	Internal V_{CC} Voltage	$V_{IN1} = V_{IN2} = 3.6\text{V}$ to 20V	3.1	3.3	3.5	V
V_{INTVCC} Load Reg	V_{INTVCC} Load Regulation	$I_{CC} = 0\text{mA}$ to 50mA		1.3		%
FREQ	Default Switching Frequency			1		MHz
$V_{\text{SYNC/MODE}}$	SYNC/MODE High Threshold SYNC/MODE Low Threshold	MODE V_{IH} MODE V_{IL}	1		0.3	V V
I_{MODE}	SYNC/MODE Input Current	MODE = 0V MODE = INTVCC		1.5 -1.5		μA μA

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4705 は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4705E は、 0°C ~ 125°C の内部動作温度範囲で性能仕様を満たすよう設計されています。 -40°C ~ 125°C の内部動作温度範囲における仕様は、設計、特性評価、および統計のプロセス制御との相関付けによって確認されています。LTM4705I は -40°C ~ 125°C の全内部動作温度範囲で仕様を満たすよう設計されています。これらの仕様と一致した最高周囲温度は、基板レイア

ウト、パッケージの定格熱抵抗、およびその他の環境要因に加え、個々の動作条件によって決定されることに留意してください。

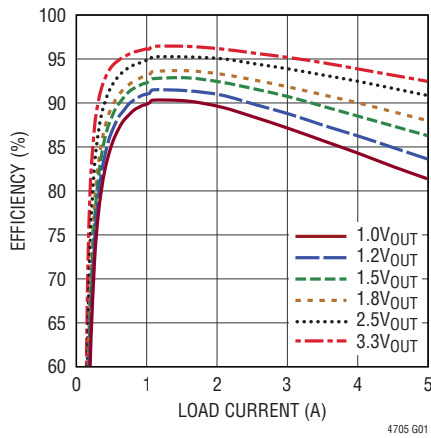
Note 3: 他の V_{IN} 、 V_{OUT} および T_A については、出力電流ディレーティング曲線を参照してください。

Note 4: ウエハ・レベルで 100% テスト。

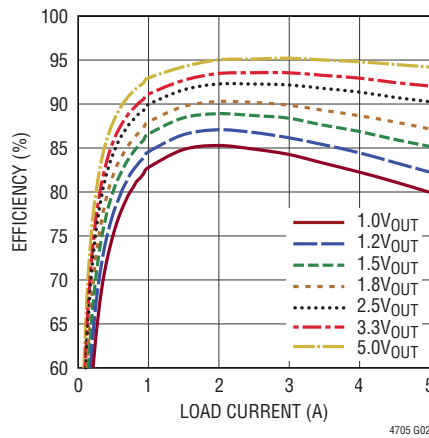
Note 5: この IC には一時的な過負荷からデバイスを保護するための過熱保護機能が搭載されています。過熱保護機能が作動した場合ジャンクション温度は 125°C を超過しています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

代表的な性能特性

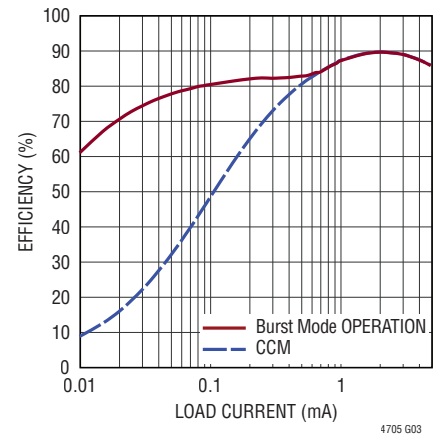
5V_{IN}での効率と負荷電流の関係



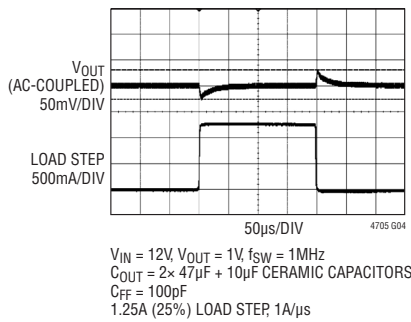
12V_{IN}での効率と負荷電流の関係



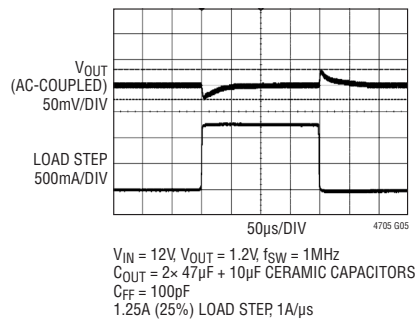
Burst Modeの効率、12V_{IN}、1.5V_{OUT}



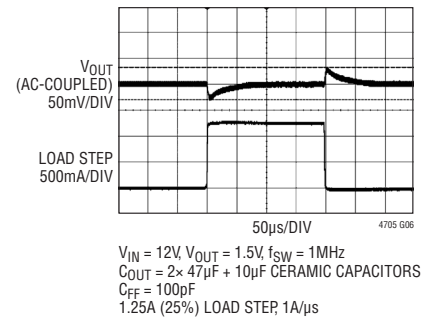
1.0V出力の過渡応答



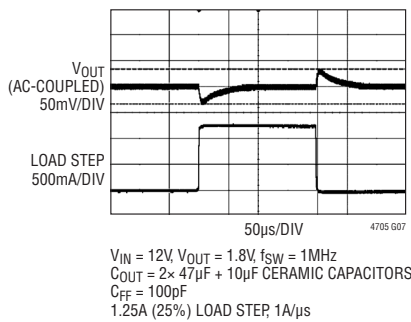
1.2V出力の過渡応答



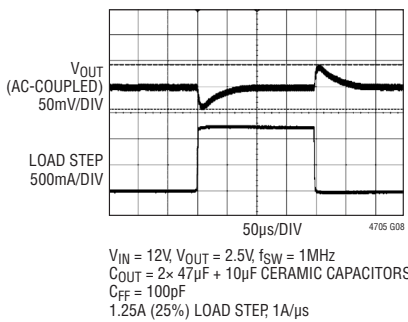
1.5V出力の過渡応答



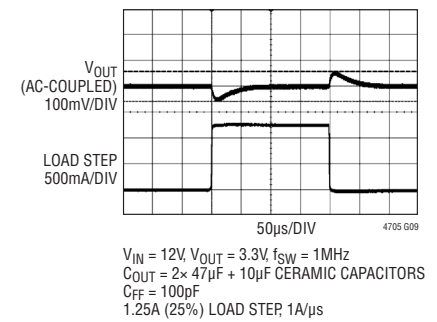
1.8V出力の過渡応答



2.5V出力の過渡応答

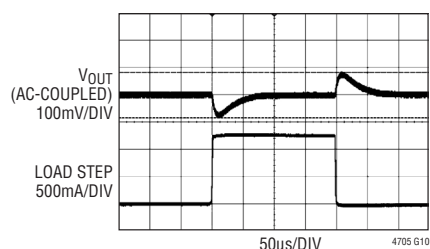


3.3V出力の過渡応答



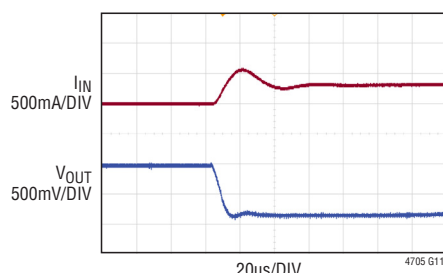
代表的な性能特性

5V出力の過渡応答



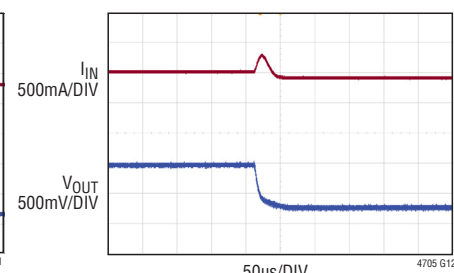
$V_{IN} = 12V$, $V_{OUT} = 5V$, $f_{SW} = 1MHz$
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$
 1.25A (25%) LOAD STEP, 1A/ μs

無負荷電流時の短絡



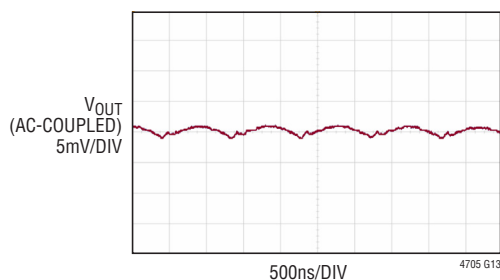
$V_{IN} = 12V$, $V_{OUT} = 1.0V$, $f_{SW} = 1MHz$
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$

5A負荷電流時の短絡



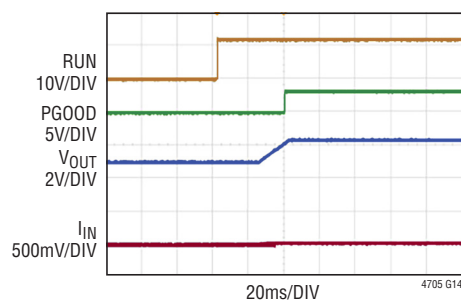
$V_{IN} = 12V$, $V_{OUT} = 1V$, $f_{SW} = 1MHz$
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$

定常状態の出力電圧リップル



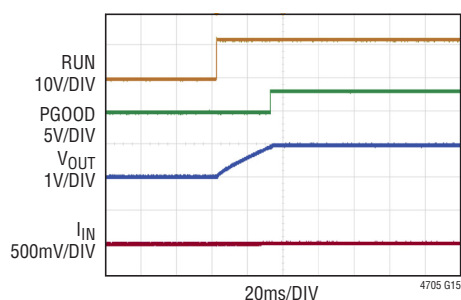
$V_{IN} = 12V$, $V_{OUT} = 1V$, $f_{SW} = 1MHz$
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$

プリバイアス出力時のスタートアップ



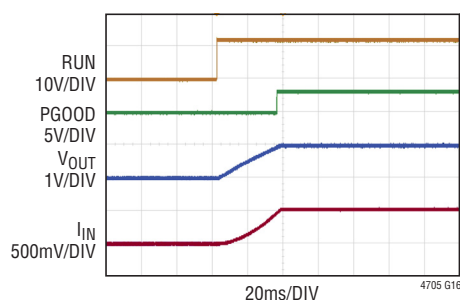
$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_{SW} = 1MHz$,
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$

無負荷電流時のスタートアップ



$V_{IN} = 12V$, $V_{OUT} = 1V$, $f_{SW} = 1MHz$,
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$

5A負荷電流時のスタートアップ



$V_{IN} = 12V$, $V_{OUT} = 1V$, $f_{SW} = 1MHz$,
 $C_{OUT} = 2 \times 47\mu F + 10\mu F$ CERAMIC CAPACITORS
 $C_{FF} = 100pF$

ピン機能



μModule製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

FREQ (A4) : 周波数は内部で1MHzにセットされています。外付け抵抗をこのピンとGNDの間に配置すると周波数を増加できます。また、このピンとINTV_{CC}の間に配置すると周波数を減少できます。周波数の調整については[アプリケーション情報](#)のセクションを参照してください。

RUN1 (A5)、RUN2 (A3) : スイッチング・モード・レギュレータの各チャンネルの動作制御入力。RUNを1.27Vを超える電圧に接続することでチップを動作させることができます。1V未満の電圧に接続すると、対応するレギュレータ・チャンネルはシャットダウンされます。このピンはフロート状態にしないでください。

COMP1 (A6)、COMP2 (A2) : スイッチング・モード・レギュレータの各チャンネルの電流制御閾値とエラー・アンプの補償点。電流コンパレータのトリップ閾値は、この電圧と線形に比例します。この電圧の通常範囲は0.3V~1.8Vです。並列動作させる場合は、COMPピンを互いに接続してください。デバイスは、内部で補償されています。

FB1 (A7)、FB2 (A1) : スイッチング・モード・レギュレータの各チャンネル用エラー・アンプの負入力。このピンは、内部で60.4kの高精度抵抗を介してV_{OUT}に接続されています。FBピンとGNDピンの間に抵抗を追加することで、様々な出力電圧に設定できます。PolyPhase動作では、FBピンを互いに接続することで並列動作させることができます。詳細については[アプリケーション情報](#)のセクションを参照してください。

GND (B3、C2、C3、C5、C6、D4、E1、E4、E7、F1 – F7、G1 – G7、H4、J4) : 入出力リターン用電源グラウンド・ピン。

INTV_{CC} (B4) : スイッチング・モード・レギュレータ・チャンネルの内部3.3Vレギュレータ出力。内部のパワー・ドライバと制御回路は、この電圧を電力源としています。このピンは、2.2μFの低ESRセラミック・コンデンサを使用して内部でGNDにデカップリングされています。外付けのデカップリング・コンデンサを追加する必要はありません。

SYNC/MODE (B5) : モード選択および外部同期入力。このピンをグラウンドに接続することで、すべての出力負荷で強制連続同期動作に設定できます。このピンをフロート状態にするかINTV_{CC}に接続すると、軽負荷時に高効率のBurst Mode動作が可能です。このピンをクロックで駆動することによりLTM4705のスイッチング周波数を同期させることができます。内部のフェーズ・ロック・ループ(PLL)により、下側パワー・NチャンネルMOSFETのターンオン信号をクロック信号の立上がりエッジに同期させます。このピンをクロックで駆動すると、強制連続モードが自動的に選択されます。

PGOOD1 (B6)、PGOOD2 (B2) : スイッチング・モード・レギュレータの各チャンネルでのオープンドレイン・ロジックによるパワー・グッド出力。FBピンの電圧が内部0.6Vリファレンスの±8% (代表値) から外れると、PGOODはグラウンドにプルダウンされます。

TRACK/SS1 (B7)、TRACK/SS2 (B1) : スイッチング・モード・レギュレータの各チャンネルの出力トラッキングおよびソフトスタート・ピン。このピンを使用して出力電圧の立上がり時間を制御できます。このピンの電圧を0.6V未満にすると、エラー・アンプの内部リファレンス入力をバイパスし、FBピンをTRACK電圧になるようにサーボ制御します。0.6Vを超えると、トラッキング機能は停止され、内部リファレンスによるエラー・アンプの制御が再開されます。このピンは、INTV_{CC}からの内部1.4μAプルアップ電流を使用できるため、コンデンサを配置することによりソフトスタート機能を利用できます。

SGND (C4) : 信号のグラウンド接続。最小限の距離でGNDに接続してください。必要に応じて、COMP、MODE、TRACK/SS、FB抵抗をこのピンに接続してください。

V_{IN1} (C7、D5 – D7、E5 – E6)、V_{IN2} (C1、D1 – D3、E2 – E3) : 電源入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。V_{IN1}ピンおよびV_{IN2}ピンと、GNDピンの間にデカップリング・コンデンサを直接接続することを推奨します。モジュールの内部制御回路はV_{IN1}によって動作することに注意してください。V_{IN1}に3.1Vより高い電圧が印加されない限り、チャンネル2は動作しません。

V_{OUT1} (H5 – H7、J5 – J7)、V_{OUT2} (H1 – H3、J1 – J3) : 各スイッチング・モード・レギュレータの電源出力ピン。これらのピンとGNDピンの間に出力負荷を加えます。これらのピンとGNDピンの間には、デカップリング・コンデンサを直接接続することを推奨します。

ブロック図

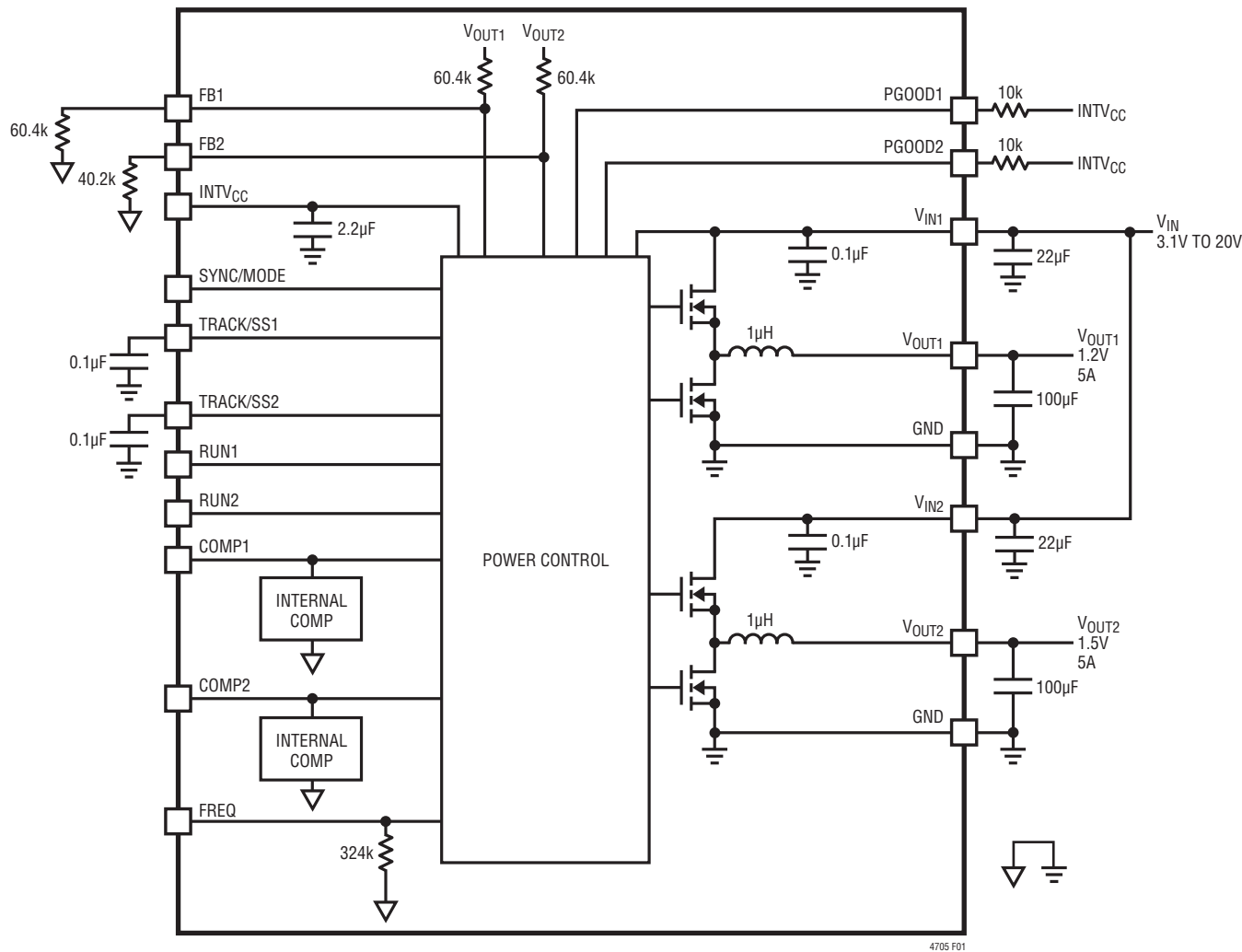


図 1. 簡略化した LTM4705 のブロック図

デカップリング条件

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C _{IN}	External Input Capacitor Requirement (V _{IN} = 3.1V to 20V, V _{OUT} = 1.5V)	I _{OUT} = 5A	10	22		µF
C _{OUT}	External Output Capacitor Requirement (V _{IN} = 3.1V to 20V, V _{OUT} = 1.5V)	I _{OUT} = 5A	47	100		µF

動作

LTM4705はスタンドアロンで動作するデュアル出力の非絶縁型スイッチ・モードDC/DC電源です。外付けの入出力セラミック・コンデンサをほとんど必要とせず、2つの5A DC出力を供給できます。このモジュールは、3.1V～20Vの入力電圧から、2個の外付け抵抗を使用して0.6V～5.5Vに調整可能な高精度にレギュレーションされたデュアル出力電圧を提供します。2つのチャンネルは同じクロックを共有し、180度ずれた位相で動作します。代表的なアプリケーション回路図を図23に示します。

LTM4705は、オン時間を制御可能なバレー電流モード・レギュレータ、パワーMOSFET、インダクタ、その他のサポート部品を内蔵しています。デフォルトのスイッチング周波数は1MHzです。2.5V～5Vの出力電圧では、FREQピンとGNDピンの間に外付け抵抗を接続して動作周波数を高く設定することにより、インダクタの電流リップルを最適化します。スイッチング・ノイズに敏感なアプリケーションの場合は、μModuleを外部クロックと同期させることができます。[アプリケーション情報](#)のセクションを参照してください。

電流モード制御と内部帰還ループ補償を使用することにより、LTM4705は、すべてセラミック出力コンデンサを使用す

る場合も含め、幅広い出力コンデンサで十分な安定性マージンと優れた過渡性能が得られます。

電流モード制御は、サイクルごとに高速の電流制限を行います。出力帰還電圧がレギュレーション・ポイントの±8%の範囲から外れると、内蔵の過電圧コンパレータと低電圧コンパレータがオープンドレインのPGOOD出力をローにします。また、 V_{IN} が22.5Vを超えると、両方のパワーMOSFETをシャットダウンすることにより入力過電圧保護が動作し、内部回路を保護します。

SYNCピンを外部発振器に接続することで、マルチフェーズ動作を容易に実行できます。複数のLTM4705を並列に接続し、電流モードの制御ループによる優れた電流分担で同時に動作させることができます。

RUNピンの電圧を1V未満に低下させるとコントローラはシャットダウン状態に入り、両方のパワーMOSFETとほとんどの内部制御回路をオフします。軽負荷電流時には、MODEピンをINTV_{CC}にセットすることによりBurst Mode動作を有効にすることで、連続電流モード(CCM)より高い効率を得られます。電源のトラッキングとソフトスタート・プログラミングには、TRACK/SSピンを使用します。[アプリケーション情報](#)のセクションを参照してください。

アプリケーション情報

LTM4705の代表的なアプリケーション回路を図23に示します。外付け部品は、主に入力電圧、出力電圧、および最大負荷電流によって選定します。用途に応じた外付け出力コンデンサの条件は表8を参照してください。

V_{IN} から V_{OUT} への降圧比

レギュレータの最小オフ時間および最小オン時間の制限により、 V_{IN} から V_{OUT} への最大降圧比については、与えられた入力電圧に応じて実現可能な値に制限されます。デューティ・サイクルの最大値は最小オフ時間によって制限され、式1を使用して計算できます。

$$D_{MAX} = 1 - t_{OFF(MIN)} \cdot f_{SW} \quad (1)$$

ここで、 $t_{OFF(MIN)}$ は最小オフ時間でLTM4705の代表値は100nsです。また、 f_{SW} はスイッチング周波数です。これに対し

てデューティ・サイクルの最小値はコンバータの最小オン時間によって制限され、式2を使用して計算できます。

$$D_{MIN} = t_{ON(MIN)} \cdot f_{SW} \quad (2)$$

ここで、 $t_{ON(MIN)}$ は最小オン時間で、LTM4705の代表値は30nsです。デューティ・サイクルの最小値を超えるまれなケースでは、出力電圧はレギュレーション状態を維持するもののスイッチング周波数は設定値より低くなります。熱によるディレーティングが追加されることにも注意してください。このデータシートの熱に関する考慮事項と出力電流のディレーティングのセクションを参照してください。

出力電圧の設定

PWMコントローラは0.6Vのリファレンス電圧を内蔵しています。[ブロック図](#)に示すように、60.4k、0.5%の内部帰還抵抗により V_{OUT} ピンとFBピンが接続されています。FBピンと

アプリケーション情報

GNDの間に抵抗 R_{FB} を追加することで出力電圧を設定します(式3)。

$$R_{FB} = \frac{0.6V}{V_{OUT} - 0.6V} \cdot 60.4k \quad (3)$$

表 1. V_{FB} 抵抗と出力電圧の関係

V_{OUT} (V)	0.6	1.0	1.2	1.5	1.8	2.5	3.3	5.0
R_{FB} (k)	OPEN	90.9	60.4	40.2	30.1	19.1	13.3	8.25

NチャンネルのLTM4705を並列動作させる場合は、式4を使用して R_{FB} を計算できます。

$$R_{FB} = \frac{0.6V}{V_{OUT} - 0.6V} \cdot \frac{60.4k}{N} \quad (4)$$

入力デカップリング・コンデンサ

LTM4705 モジュールは、低ACインピーダンスのDC電源に接続する必要があります。RMSリップル電流をデカップリングするため、レギュレータの各チャンネルには10 μ Fの入力セラミック・コンデンサが1個必要です。バルクの入力コンデンサが必要になるのは、長い誘導性のリードやパターン、または電源の容量(キャパシタンス)不足によって入力ソース・インピーダンスが損なわれる場合に限られます。バルク・コンデンサには、アルミ電解コンデンサやポリマー・コンデンサを使用できます。

各出力のインダクタ電流リップルを考えなければ、入力コンデンサのRMS電流は式5を使用して概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta\%} \cdot \sqrt{D \cdot (1-D)} \quad (5)$$

これは電源モジュールの推定効率です。

出力デカップリング・コンデンサ

高周波・広帯域に設計が最適化されている場合、LTM4705の各出力に47 μ Fの低ESR出力セラミック・コンデンサを1個追加するだけで、低出力電圧リップルと優れた過渡応答を実現できます。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となる場合があります。表8に、2.5A (50%)の負荷ステップ・トランジェントが発生しているときに電圧低下やオーバーシュートを最小限に抑えるための、様々な出力電圧と出力コンデンサの組み合わせを示します。マル

チフェーズの動作では、フェーズの数に応じて実効出力リップルが減少します。アプリケーション・ノート77ではこのノイズ低減と出力リップル電流の相殺との関係について解説していますが、出力容量は安定性と過渡応答を決定する要素として更に重要です。アナログ・デバイセズの設計ツールLTpowerCAD[®]は、出力リップル、安定性および過渡応答の解析や、位相数をN倍に増加させたときの出力リップル低減の計算ができ、オンラインでダウンロードできます。

Burst Mode 動作

中程度の電流で高効率であることが低出力電圧リップルよりも優先されるアプリケーションでは、SYNC/MODEピンをINTV_{CC}に接続し、Burst Mode動作を使用することで軽負荷時の効率を向上できる可能性があります。Burst Mode動作では、逆電流コンパレータ(I_{REV})が負のインダクタ電流を検知して下側のパワーMOSFETをオフにすることで、不連続動作状態になり効率が向上します。パワーMOSFETは両方共オフを維持し、COMP電圧がゼロ電流レベルを超えて次のサイクルが開始されるまで出力コンデンサが負荷電流を供給します。

強制連続電流モード(CCM)動作

低電流での効率より固定周波数の動作が重要なアプリケーション、および出力リップルを最小限に抑える必要があるアプリケーションでは、強制連続動作を使用します。強制連続動作は、SYNC/MODEピンをGNDに接続することで有効化します。このモードでは、低出力負荷の間、インダクタ電流を反転させることができ、COMP電圧が終始、電流コンパレータの閾値を制御します。起動時には強制連続モードは無効になっており、LTM4705の出力電圧が安定するまでインダクタ電流が反転するのを防ぎます。

動作周波数

LTM4705の動作周波数は、小型のパッケージ・サイズと最小の出力リップル電圧、および高効率を実現できるよう最適化されています。デフォルトの動作周波数は1MHzに内部で設定されています。ほとんどのアプリケーションでは、これ以上周波数を調整する必要はありません。

アプリケーション情報

アプリケーションによって1MHz以外の動作周波数が必要となる場合は、図26に示すように、FREQピンとGNDの間に抵抗 R_{FSET} を追加することで動作周波数を増加させることができます。動作周波数は式6を使用して計算します。

$$f(\text{Hz}) = \frac{3.2e11}{324k \parallel R_{FSET}(\Omega)} \quad (6)$$

スイッチング電流リップルを低減させるため、2.5V～5Vの出力では R_{FSET} をGNDに接続して1.5MHz～2.5MHzの動作周波数を使用できます。

表2.

V _{OUT}	0.6V TO 1.8V	2.5V	3.3V	5V
f _{SW}	1MHz	1.5MHz	2MHz	2.5MHz
R _{FSET}	Open	649kΩ	324kΩ	215kΩ

また、FREQピンとINTV_{CC}の間に抵抗を追加することにより、次式のように動作周波数を低くすることができます。

$$f(\text{Hz}) = 1\text{MHz} - \frac{5.67e11}{R_{FSET}(\Omega)} \quad (7)$$

設定可能な動作周波数範囲は800kHz～3MHzです。

周波数の同期

このパワー・モジュールは、内部電圧制御発振器と位相検出器で構成されるフェーズ・ロック・ループ(PLL)を内蔵しています。これにより、内部の下側MOSFETのターンオンを外部クロックの立上がりエッジに同期させることができます。SYNC/MODEピンのクロックを検出し、PLLをオンするには、パルス検出回路を使用します。クロックのパルス幅は100ns以上でなければなりません。クロックのハイ・レベルは1Vより大きく、ロー・レベルは0.3Vより小さくしてください。外部クロックの存在を検出すると、レギュレータの両方のチャンネルは強制連続動作モードに入ります。レギュレータの起動時には、PLL機能は無効になっています。

マルチフェーズ動作

出力負荷が5A以上の電流を必要とする場合、LTM4705の2つの出力、または複数のLTM4705を並列に接続し、位相

をずらして動作させることで、入出力の電圧リップルを増やさずに出力電流を増やすことができます。

マルチフェーズの電源は、入力コンデンサと出力コンデンサのリップル電流の量を大幅に減らします。RMS入力リップル電流は、使用した位相の数に応じて小さくなり、実効リップル周波数は位相数を乗じた値になります(入力電圧が、出力電圧に使用した位相数を乗じた値より大きいと仮定します)。また、すべての出力を1つに接続して1つの大電流出力を設計する場合には、出力リップルの振幅も使用する位相数に応じて小さくなります。

LTM4705内蔵の2つのスイッチング・モード・レギュレータ・チャンネルは、180度ずれた位相で動作するように内部でセットされています。複数のLTM4705を使用する場合は、SYNC/MODEをLTC6902のような外部マルチフェーズ発振器と同期させることによって、簡単に90度、60度、45度シフトさせて(それぞれ4相、6相、8相の動作に対応)動作させることができます。図2にクロックと位相同期させた4相の設計例を示します。

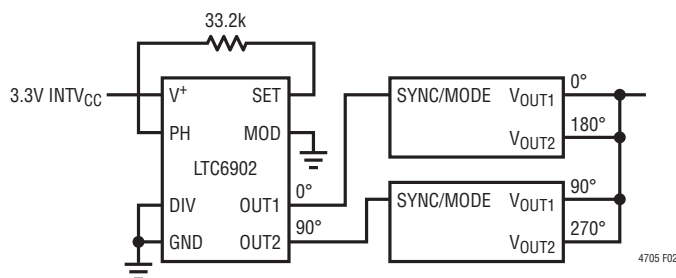


図2. LTC6902を使用してクロックと位相同期させた4相動作の例

LTM4705は、本質的に電流モードで制御されるデバイスであるため、並列接続されたモジュールは優れた電流分担を示します。これにより、設計上、熱のバランスが良くなります。並列に配置された各チャンネルのRUNピン、TRACK/SSピン、FBピン、およびCOMPピンを互いに接続してください。図24に並列動作時のピン接続の例を示します。

入力RMSリップル電流の相殺

アプリケーション・ノート77ではマルチフェーズ動作の詳細を解説しています。入力RMSリップル電流の相殺について数学的な導出が説明されていると共に、RMSリップル電流

アプリケーション情報

が、インターリーブされた位相数の関数として減少する様子をグラフで示しています。図3にこのグラフを示します。

ソフトスタートおよび出力電圧トラッキング

TRACK/SSピンを使用して、レギュレータのソフトスタート、または異なる電源とのトラッキングが可能です。TRACK/SSピンに接続されたコンデンサによって、出力電圧のランプ・レートが設定されます。1.4μAの内部電流源が、外付けのソフトスタート・コンデンサをINTV_{CC}電圧まで充電します。TRACK/SS電圧が0.6Vを下回ると、このコンデンサが0.6Vの内部リファレンス電圧から引き継いで出力電圧を制御します。ソフトスタートの合計時間は式8を使用して計算できます。

$$t_{SS} = 0.6 \cdot \frac{C_{SS}}{1.4\mu A} \quad (8)$$

ここで、C_{SS}はTRACK/SSピンの容量です。ソフトスタート・プロセスの間は、電流フォールドバックと強制連続モードは無効になります。

出力電圧のトラッキングもTRACK/SSピンを使用し、外部で設定します。出力は、他のレギュレータとの上昇時および下降時のトラッキングが可能です。スレーブ・レギュレータの出力のスルー・レートがマスター・レギュレータに比例する比例トラッキングの波形の例を図4に、回路図を図5に示します。

スレーブ・レギュレータのTRACK/SSは抵抗分圧器R_{TR}(TOP)/R_{TR}(BOT)を介してマスター・レギュレータの出力に接続されており、TRACK/SS電圧が0.6Vより低いときはこの電圧がスレーブの出力電圧をレギュレーションするため、スレーブの出力電圧とマスターの出力電圧はスタートアップの間、式9を満足します。

$$V_{OUT(SL)} \cdot \frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k} = V_{OUT(MA)} \cdot \frac{R_{TR(TOP)}}{R_{TR(TOP)} + R_{TR(BOT)}} \quad (9)$$

R_{FB}(SL)は帰還抵抗、R_{TR}(TOP)/R_{TR}(BOT)はスレーブ・レギュレータのTRACK/SSピンに接続された抵抗分圧器です(図5参照)。

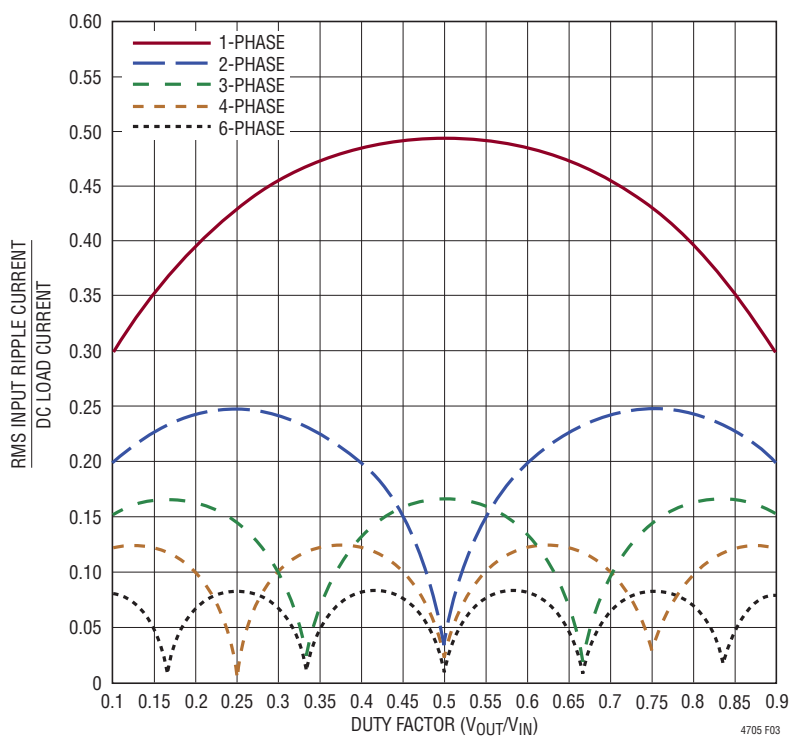


図3. デューティ・サイクルを関数としたときのDC負荷電流に対する入力RMS電流の比

アプリケーション情報

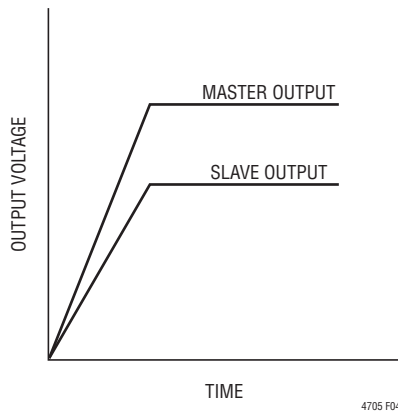


図4. 比例トラッキングの出力波形

式9から、マスターの出力スルー・レート(MR)とスレーブの出力スルー・レート(SR)は式10によって求められます。単位は電圧/時間です。

$$\frac{MR}{SR} = \frac{\frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k}}{\frac{R_{TR(BOT)}}{R_{TR(TOP)} + R_{TR(BOT)}}} \quad (10)$$

例えば、図5において、 $V_{OUT(MA)} = 1.5V$ 、 $MR = 1.5V/1ms$ 、および $V_{OUT(SL)} = 1.2V$ 、 $SR = 1.2V/1ms$ とすると、同式から、比例トラッキングには $R_{TR(TOP)} = 60.4k$ 、 $R_{TR(BOT)} = 40.2k$ の組み合わせが良いことが分かります。

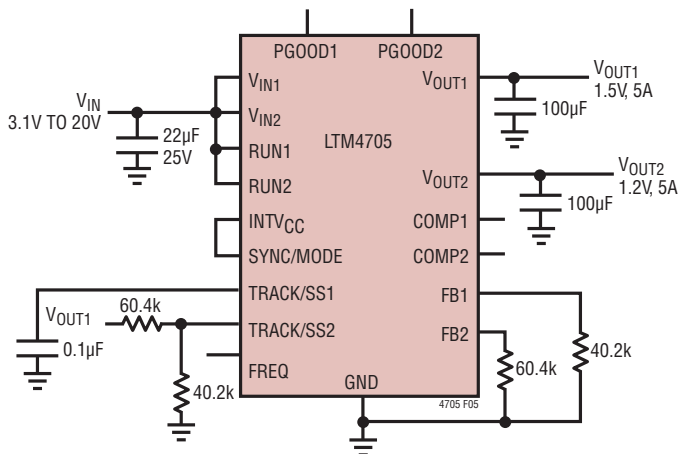


図5. 比例出力電圧トラッキングの回路図の例

抵抗分圧器を使用してトラッキングしているチャンネルのTRACKピンは、 $1.5\mu A$ の電流源を持つことになり、TRACKピンの入力にオフセットが発生してしまいます。上式で計算した抵抗値と同じ比率で、より小さな値の抵抗を使用することができます。例えば、 $60.4k$ を使用していたところに $6.04k$ を使用することでTRACKピンのオフセットを無視できる値まで低減することができます。

同時出力トラッキングは、比例出力トラッキングにおいてマスターの出力スルー・レート(MR)とスレーブの出力スルー・レート(SR)が等しい特別な場合と見なすことができ、波形は図6に示すようになります。

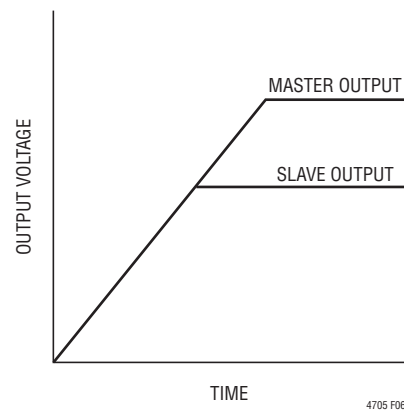


図6. 同時トラッキングの出力波形

式10から、同時トラッキングではスレーブ・レギュレータのTRACK/SSピンの抵抗分圧器は帰還分圧器と常に等しいことが容易に分かります(式11)。

$$\frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k} = \frac{R_{TR(BOT)}}{R_{TR(TOP)} + R_{TR(BOT)}} \quad (11)$$

例えば、 $V_{OUT(MA)} = 1.5V$ および $V_{OUT(SL)} = 1.2V$ のアプリケーションにおける同時トラッキングには、 $R_{TR(TOP)} = 60.4k$ および $R_{TR(BOT)} = 60.4k$ の組み合わせが良いことが分かります。

パワーグッド

PGOODピンはオープンドレイン・ピンで、出力電圧のレギュレーションが有効に行われているかどうかをモニタします。このピンは、レギュレーション・ポイントの $\pm 8\%$ の範囲をモニタします。モニタリングのため、抵抗を使用して特定の電源電圧までプルアップすることができます。トランジェント時

アプリケーション情報

たは V_{OUT} が動的に変化したときに不要な PGOOD グリッチが生じるのを防ぐため、LTM4705 の PGOOD の立下がりエッジには、約 $40\mu s$ のブランキング遅延が含まれています。

安定性補償

LTM4705 モジュールの内部補償ループは、低 ESR セラミック出力コンデンサのみを使用するアプリケーション向けに設計・最適化されています。広帯域の制御ループ補償と十分な位相マージンが必要なアプリケーションでは、 V_{OUT} ピンと V_{FB} ピンの間に $33pF - 100pF$ のフィードフォワード・コンデンサを使用することを推奨します。表 8 はほとんどのアプリケーション条件に対応しています。制御ループの最適化には、設計ツール LTpowerCAD が利用可能で、オンラインでダウンロードできます。

RUN イネーブル

RUN ピンをグラウンドまで低下させると LTM4705 はシャットダウン状態に入り、両方のパワー MOSFET とほとんどの内部制御回路をオフします。RUN ピンが $1.27V$ を超える電圧に接続されるとチップのすべてがオンされます。

プリバイアスされた出力での起動

状況によっては、出力コンデンサをプリバイアスした状態で電源を起動することが必要になります。その場合、プリバイアスされた出力を放電しないで起動する必要があります。LTM4705 は、出力コンデンサを放電せずに、プリバイアスした状態で安全に起動できます。

これは、TRACK/SS ピンが $0.6V$ のリファレンス電圧に達するまで強制的に不連続モード (DCM) で動作することにより実現します。これにより、プリバイアスされた出力で起動中に下側 MOSFET がオンして出力を放電してしまうことを防ぎます。

過熱保護

内蔵の過熱保護機能は、モジュールのジャンクション温度をモニタします。ジャンクション温度が約 $160^{\circ}C$ に達すると、 $15^{\circ}C$ 程度低下するまで、両方のパワー・スイッチはオフになります。

入力過電圧保護

内蔵のパワー MOSFET をトランジェント電圧スパイクから保護するために、LTM4705 は、 V_{IN} ピンを継続的にモニタし、過電圧状態に備えています。 V_{IN} が $22.5V$ を上回ると、レ

ギュレータは、上回ったチャンネルのパワー MOSFET を両方共オフして動作を一時停止します。 V_{IN} が $21.5V$ 未満になると、レギュレータは直ちに通常動作を再開します。過電圧状態が解消されると、レギュレータはソフトスタート機能を実行します。

熱に関する考慮事項と出力電流のディレーティング

このデータシートのピン配置のセクションに記載されている熱抵抗は、JESD51-9 に定義されたパラメータと一致しています。これらのパラメータは、有限要素解析 (FEA) ソフトウェアのモデリング・ツールでの使用を意図したものです。これらのモデリング・ツールは、JESD51-9 (Test Boards for Area Array Surface Mount Package Thermal Measurements) によって定義されたハードウェア・テストボードに μ Module パッケージを実装して行われた、熱的モデリング、シミュレーション、およびハードウェア評価との相関付けから得られた結果を利用します。これらの熱係数を提供する理由は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information) に記載されています。

設計者の多くは、様々な電気的および環境的動作条件下における自らのアプリケーションでの μ Module レギュレータの熱性能を予想するため、FEA ソフトウェアを使用した作業の補足を目的として実験機器やデモ基板などのテスト手段を使用することがあります。FEA ソフトウェアを使用しない場合、ピン配置のセクションに示す熱抵抗はそれ自体では熱性能のガイドとなりませんが、その代わりにこのデータシートにあるディレーティング曲線をアプリケーションの利用に関する考察やガイドとして使用でき、また熱性能とアプリケーションとの関係を把握するために応用できます。

ピン配置のセクションには JESD 51-12 に明示的に定義された 4 つの熱係数が示されており、これらは以下のように説明されます：

1. θ_{JA} はジャンクションから環境への熱抵抗であり、1 立方フィートの密閉された容器内で測定された、自然対流によるジャンクションから周囲の空気への熱抵抗です。この環境は「静止空気」と呼ばれることもありますが、実際には自然対流により空気の動きが生じます。この値はパーツを JESD 51-9 定義のテスト基板にマウントして得られた

アプリケーション情報

ものであり、実際のアプリケーションや現実的な動作条件を反映したものではありません。

2. $\theta_{JCbottom}$ はジャンクションから製品ケース底部までの熱抵抗であり、すべてのコンポーネントからの熱放散がパッケージ底部を通じて起こるものとして決定されます。代表的な μ Module レギュレータでは熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。この結果として、この熱抵抗の値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。
3. θ_{JCtop} はジャンクションから製品ケース上端への熱抵抗であり、コンポーネントからの熱放散のほぼすべてがパッケージ上端を通じて行われるものとして決定されます。代表的な μ Module の電氣的接続はパッケージ底部で行われるため、熱の大半がパーツ上端のジャンクション経由で放散されるようなアプリケーションはまれです。 $\theta_{JCbottom}$ の場合のように、この値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。
4. θ_{JB} はジャンクションからプリント基板への熱抵抗であり、熱のほぼすべてが μ Module から基板へ流れる場合のジャンクションから基板への熱抵抗であり、実際には $\theta_{JCbottom}$ とハンダ接合と基板の一部を経由するパーツ底部での熱抵抗の合計値です。基板の温度は両面、二層の基板を使い、パッケージから一定の距離において測定されます。この基板は JESD 51-9 に記載されています。

前述の熱抵抗を視覚的に表したものが図 7 です。青色の部分が μ Module レギュレータ内部の熱抵抗で、緑色の部分は μ Module 外部の熱抵抗です。

実践的な注意点として、JESD 51-12 に定義されている、あるいはピン配置のセクションに示す 4 種類の熱抵抗パラメータのいずれも、あるいはそれらのサブグループも、 μ Module の通常の動作条件を反映したものではないことに留意してください。例えば、通常の基板実装アプリケーションでは、

JESD 51-12 が θ_{JCtop} と $\theta_{JCbottom}$ についてそれぞれ定義しているように、デバイスの全電力損失 (熱) がすべて μ Module の上面だけから放出されたり、底面だけから放出されたりすることはありません。実際には電力損失はパッケージから両方の方向に熱として放散され、ヒート・シンクと空気流がない場合は熱の大半は基板へと流れます。

SIP (システム・イン・パッケージ) モジュール内部には、電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、各種の部品やダイの様々なジャンクションを基準にした熱抵抗は、パッケージの全電力損失に対して正確には線形になっていないという点に留意する必要があります。モデリングのシンプルさを犠牲にすることなく、ただし実際の状況も無視することなくこの問題を解決するため、以下に示すように、FEA ソフトウェアによるモデリングを環境制御チャンバーでのテストと組み合わせることにより、このデータシートに示す熱抵抗値は合理的な範囲で定義および関連付けされています。(1) まず、FEA ソフトウェアを使って μ Module と指定された PCB の物理的形状を、素材の適切な係数と正確な電力損失源の定義と共に正確に構築します。(2) このモデルは JESD 51-9 に即したソフトウェア定義の JEDEC 環境をシミュレートすることにより、JEDEC に定義された熱抵抗値を計算できるよう、様々なインターフェースでの電力損失熱フローと温度測定値を予測します。(3) このモデルと FEA ソフトウェアを使い、ヒート・シンクと空気流がある場合の μ Module を評価します。(4) これらの熱抵抗値を計算して分析し、またソフトウェア・モデル内において様々な動作条件をシミュレートした上で、実験室での徹底した評価により環境制御チャンバー内で熱電対を使用して行ったシミュレーションの条件を再現し、またシミュレーションと同じ電力損失下においてデバイスを動作させます。必要な注意事項を踏まえたうえで、この結果からこのデータシートの他のセクションに記載された一連のデレーティング曲線が得られます。これらのテストを実行して μ Module モデルと相関をとった後、 θ_{JB} と θ_{BA} を足し合わせることで、適切に定義されたチャンバー内における空気流とヒート・シンクのない状態で得られた μ Module モデルと非常に良い相関が得ら

アプリケーション情報

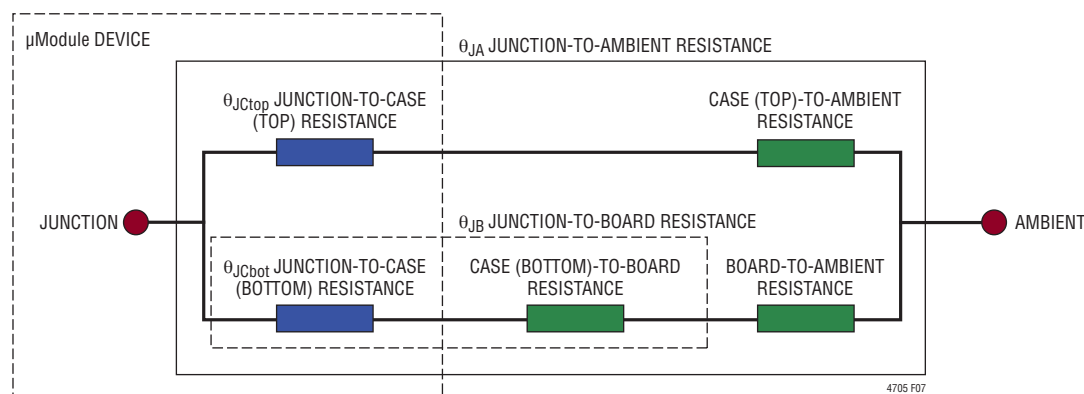


図7. JESD51-12熱係数の図式

れます。 $\theta_{JB} + \theta_{BA}$ の値はピン配置のセクションに記載されており、 θ_{JA} の値と正確に一致します。空気流や上面のヒート・シンクがない状態では、電力損失のほぼ100%がジャンクションから基板と通じて周辺に流れるためです。

図8～図12に示す1.0V、1.5V、2.5V、3.3V、5Vの電力損失曲線と、図13～図21の負荷電流ディレーティング曲線を組み合わせて使用することにより、ヒート・シンクがない場合での様々な空気流の条件におけるLTM4705の熱抵抗 θ_{JA} の概算値を求めることができます。電力損失曲線は室温で測定し、ジャンクション温度が120°Cであると仮定して係数1.35を乗じています。ディレーティング曲線は、出力電流が10Aから始まり、周囲温度40°Cの条件でプロットしています。これらの出力電圧は、熱抵抗との相関を検証するために、出力電圧のより低い範囲とより高い範囲を含めるよう選択されています。熱モデルは温度制御チャンバー内での複数回の温度測定と、熱モデリングによる分析から得られています。空気流ありと空気流なしの条件で、周囲温度を上げながらジャンクション温度をモニタします。ディレーティング曲線には、周囲温度の変化に伴う電力損失の増加が加味されます。ジャンクション温度は、出力電流または電力を下降させ、同時に周囲温度を上昇させながら120°Cに維持されます。この出力電流の低下により、周囲温度が増加すると共にモ

ジュール内部の損失が低下します。モニタされているジャンクション温度120°Cから周囲温度を差し引いたものにより、モジュール温度上昇の上限が規定されます。図15の例に示すように、約110°Cで空気流もヒート・シンクもなしの条件では、負荷電流が約4Aにディレーティングされ、5Vから1.5Vでの10A出力の電力損失は約0.6Wになります。0.6Wの損失は、5V～1.5Vの電力損失曲線の10A時の値から得られる室温での損失約0.5Wに、周囲温度110°Cでの係数1.2を乗算して得られます。周囲温度110°Cをジャンクション温度の120°Cから差し引き、その10°Cの差を0.6Wで除算すると16.7°C/Wの熱抵抗 θ_{JA} になります。表3に仕様規定された17°C/Wにとっても近い値です。空気流がある場合とない場合の1.0V、1.5V、2.5V、3.3V、および5V出力の等価熱抵抗を、表3～表7に示します。表3～表7に示す様々な条件下で得られた熱抵抗値に周囲温度から計算された電力損失値を乗算すれば周囲温度からの温度上昇幅が得られ、それに基づいて最大ジャンクション温度が得られます。室温での電力損失は代表的な性能特性のセクションに示す効率曲線から求めることができ、更に前述の周囲温度の倍率で調整することができます。プリント回路基板は1.6mm厚の4層基板で、外側2層に2オンスの銅層、内側2層に1オンスの銅層が使用されています。PCBの寸法は95mm × 76mmです。

アプリケーション情報

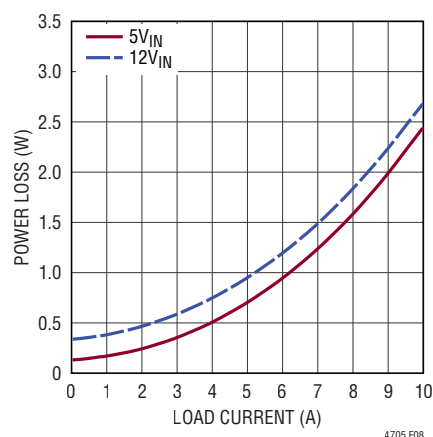


図8. 1.0V出力の電力損失

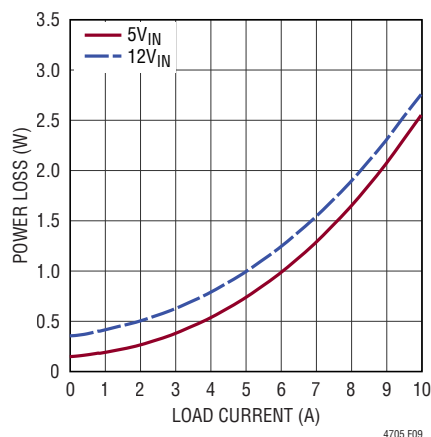


図9. 1.5V出力の電力損失

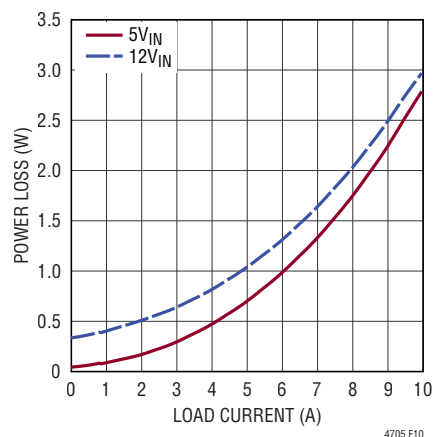


図10. 2.5V出力の電力損失

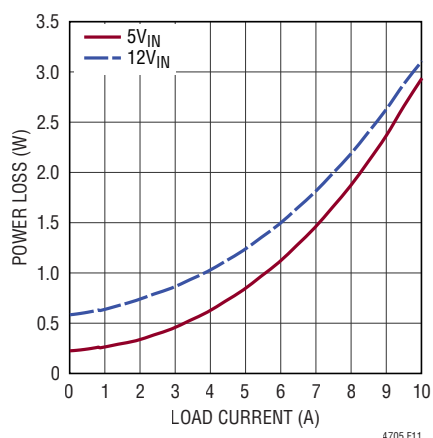


図11. 3.3V出力の電力損失

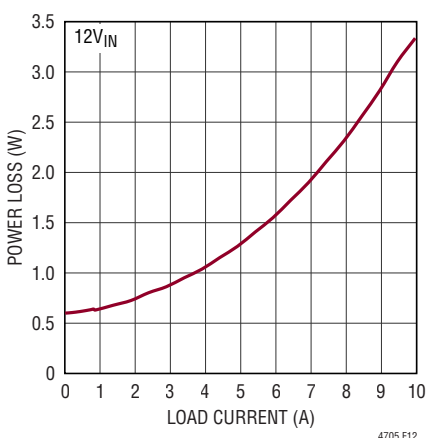


図12. 5V出力の電力損失

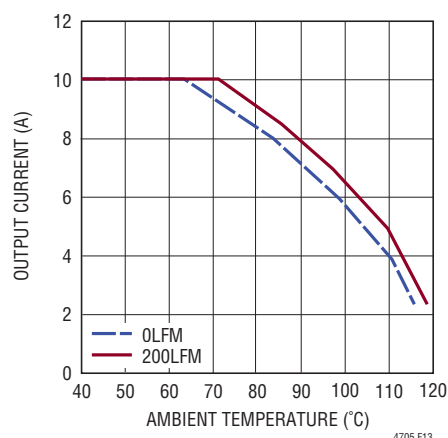


図13. 5V～1.0Vのディレーティング曲線、ヒート・シンクなし

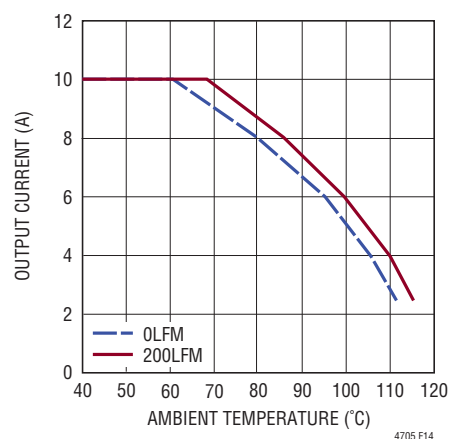


図14. 12V～1.0Vのディレーティング曲線、ヒート・シンクなし

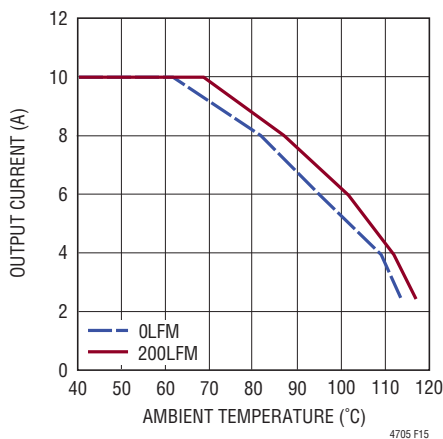


図15. 5V～1.5Vのディレーティング曲線、ヒート・シンクなし

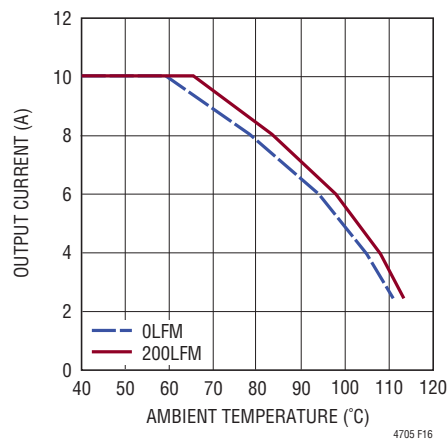


図16. 12V～1.5Vのディレーティング曲線、ヒート・シンクなし

アプリケーション情報

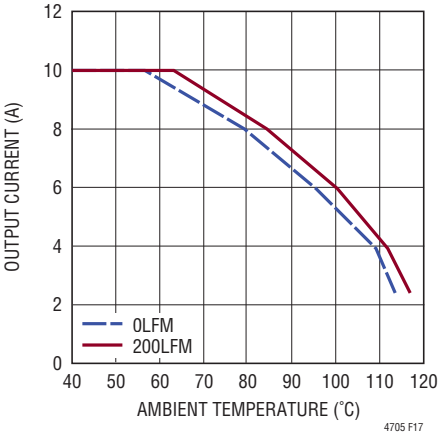


図 17. 5V～2.5Vのディレーティング曲線、ヒート・シンクなし

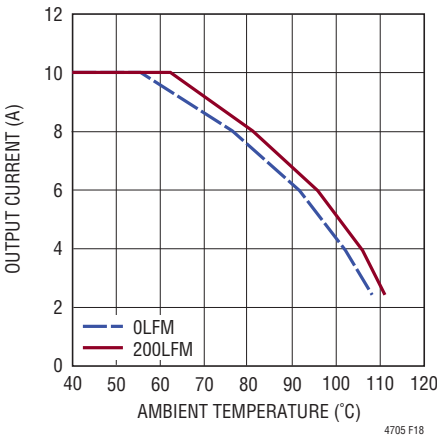


図 18. 12V～2.5Vのディレーティング曲線、ヒート・シンクなし

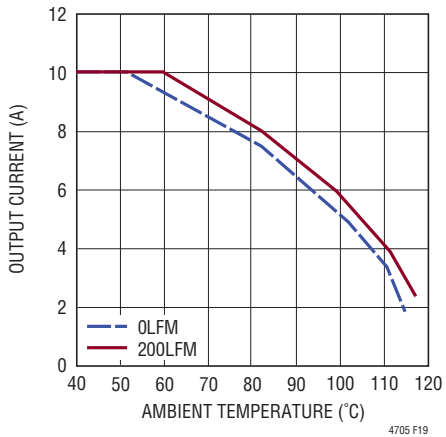


図 19. 5V～3.3Vのディレーティング曲線、ヒート・シンクなし

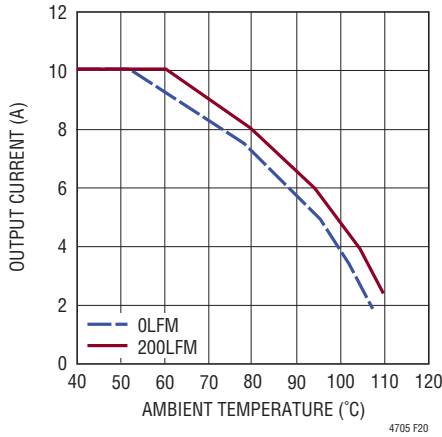


図 20. 12V～3.3Vのディレーティング曲線、ヒート・シンクなし

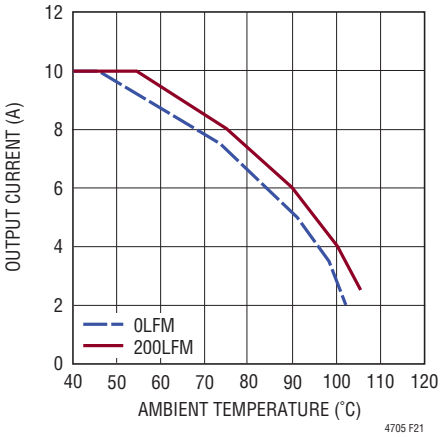


図 21. 12V～5Vのディレーティング曲線、ヒート・シンクなし

表 3. 1V出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIR FLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 13, Figure 14	5, 12	Figure 8	0	None	17
Figure 13, Figure 14	5, 12	Figure 8	200	None	14

表 4. 1.5V出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIR FLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 15, Figure 16	5, 12	Figure 9	0	None	17
Figure 15, Figure 16	5, 12	Figure 9	200	None	14

アプリケーション情報

表 5. 2.5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIR FLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 13, Figure 14	5, 12	Figure 8	0	None	17
Figure 13, Figure 14	5, 12	Figure 8	200	None	14

表 6. 3.3V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIR FLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 15, Figure 16	5, 12	Figure 9	0	None	17
Figure 15, Figure 16	5, 12	Figure 9	200	None	14

表 7. 5.5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIR FLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 17, Figure 18	5, 12	Figure 10	0	None	17
Figure 17, Figure 18	5, 12	Figure 10	200	None	14

表 8. 各レギュレータ・チャンネルの出力電圧の応答と部品の対応関係 (図 23 参照)
1.25A 負荷ステップでの代表的な測定値

V _{OUT} (V)	C _{IN} (CERAMIC) (μF)	C _{OUT1} (CERAMIC) (μF)	C _{FF} (pF)	V _{IN} (V)	P-P DERIVATION (mV)	RECOVERY TIME (μS)	LOAD STEP (A)	LOAD STEP SLEW RATE (A/μS)	R _{FB} (kΩ)
1	22	100	100	5, 12	60	50	2.5	10	90.9
1.2	22	100	100	5, 12	60	50	2.5	10	60.4
1.5	22	100	100	5, 12	60	50	2.5	10	40.2
1.8	22	100	100	5, 12	60	50	2.5	10	30.1
2.5	22	100	100	5, 12	68	50	2.5	10	19.1
3.3	22	100	100	5, 12	90	50	2.5	10	13.3
5	22	100	100	12	133	50	2.5	10	8.25

アプリケーション情報

安全に関する考慮事項

LTM4705モジュールの V_{IN} と V_{OUT} は、電氣的に絶縁されていません。また、内部ヒューズ也没有ありません。必要に応じて、最大入力電流の2倍の定格値を持つ低速溶断ヒューズを使って、各ユニットを致命的損傷から保護してください。デバイスは、サーマル・シャットダウンと過電流保護機能をサポートしています。

レイアウトのチェックリスト/サンプル

LTM4705は高度に集積化されているので、PCB基板のレイアウトが極めて容易です。ただし、電氣的性能と熱的性能を最適化するには、やはりレイアウト上の配慮がいくつか必要になります。

- V_{IN} 、GND、 V_{OUT1} 、 V_{OUT2} を含む大電流のパスには、PCB上の面積の広い配線を使用します。これは、PCBの導通損失と熱ストレスを最小限に抑える助けとなります。
- 高周波ノイズを最小限に抑えるために、高周波の入力および出力セラミック・コンデンサを V_{IN} 、GND、および V_{OUT} ピンのすぐ近くに配置します。

- モジュールの下には専用の電源グラウンド・レイヤを配置します。
- ビアの伝導損を最小限に抑えと共にモジュールの熱応力を軽減するため、最上層レイヤと他の電力レイヤの間には複数のビアを使用してください。
- 充填ビアやメッキビアでない限り、パッド上に直接ビアを置かないでください。
- 信号ピンに接続されている部品には、他とは別のSGND銅箔プレーンを使用します。SGNDはモジュールの下でGNDと接続してください。
- モジュールを並列して使用する場合、 V_{OUT} 、 V_{FB} 、およびCOMPピンを互いに接続してください。内側の層を使用してこれらのピンを互いに短い距離で接続します。TRACKピンはレギュレータのソフトスタート用に共通のコンデンサに接続できます。
- モニタリングのため、信号ピンからテスト・ポイントを引き出します。

推奨レイアウトの例を図22に示します。

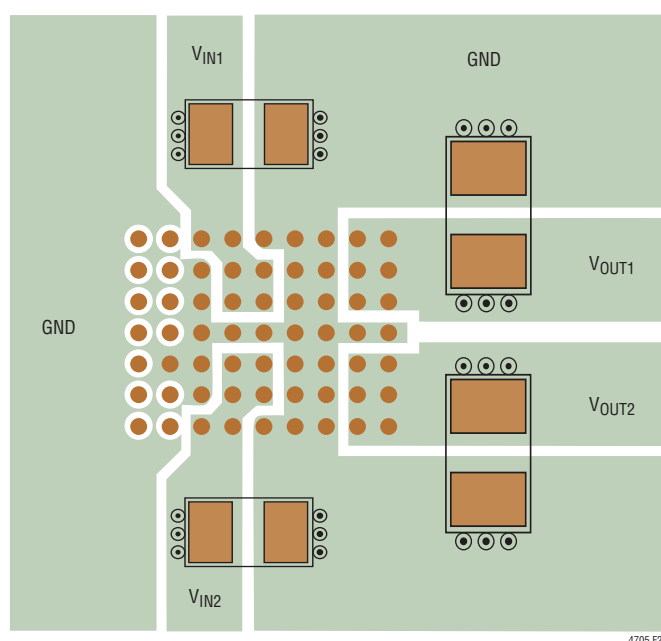


図22. 推奨PCBレイアウト

標準的応用例

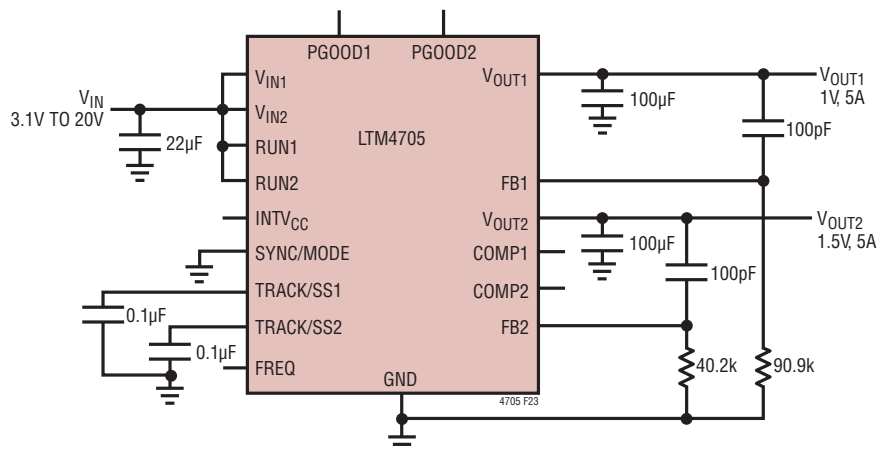


図 23. 3.1V_{IN}~20V_{IN}、1Vおよび1.5V、5A出力の設計

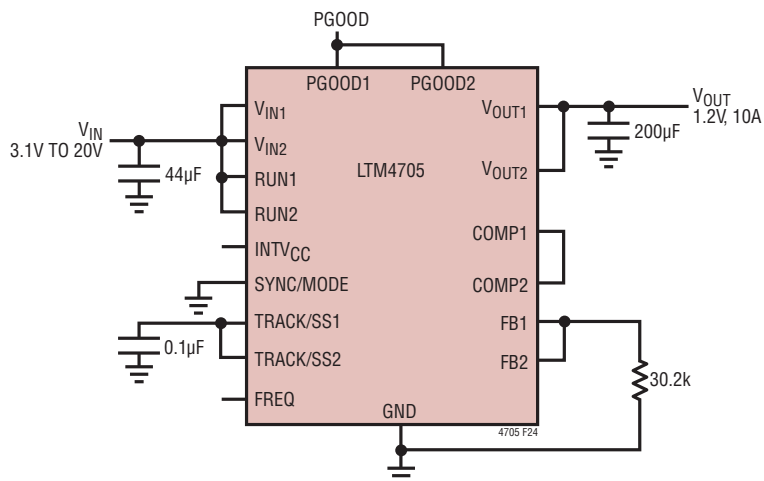
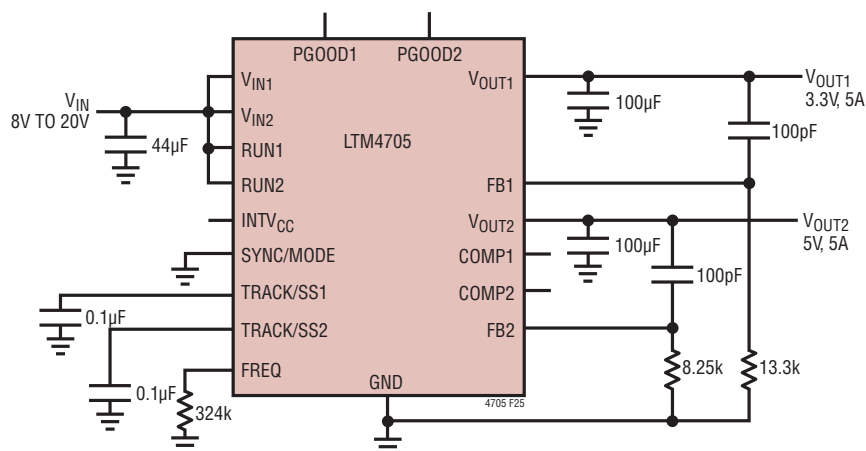
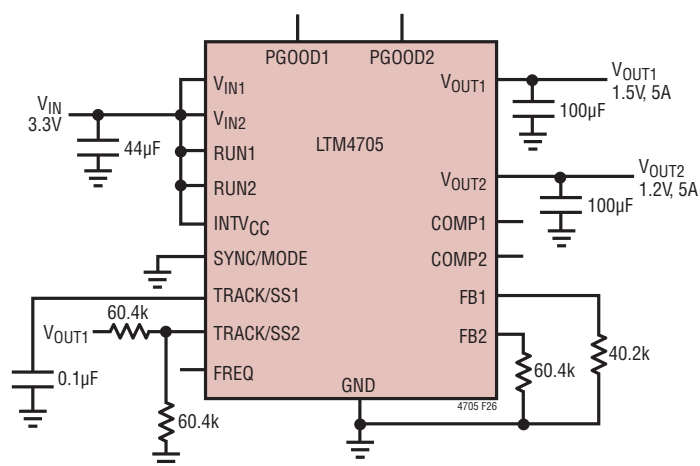


図 24. 3.1V_{IN}~20V_{IN}、1.2Vの2相並列による10A出力の設計

標準的応用例

図 25. $8V_{IN} \sim 20V_{IN}$ 、2MHz のスイッチング周波数による 3.3V および 5V、5A 出力の設計図 26. $3.3V_{IN}$ 、1.5V および 1.2V、5A 出力、出力同時トラッキングの設計

パッケージの説明



μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

LTM4705 の BGA ピンアウト図

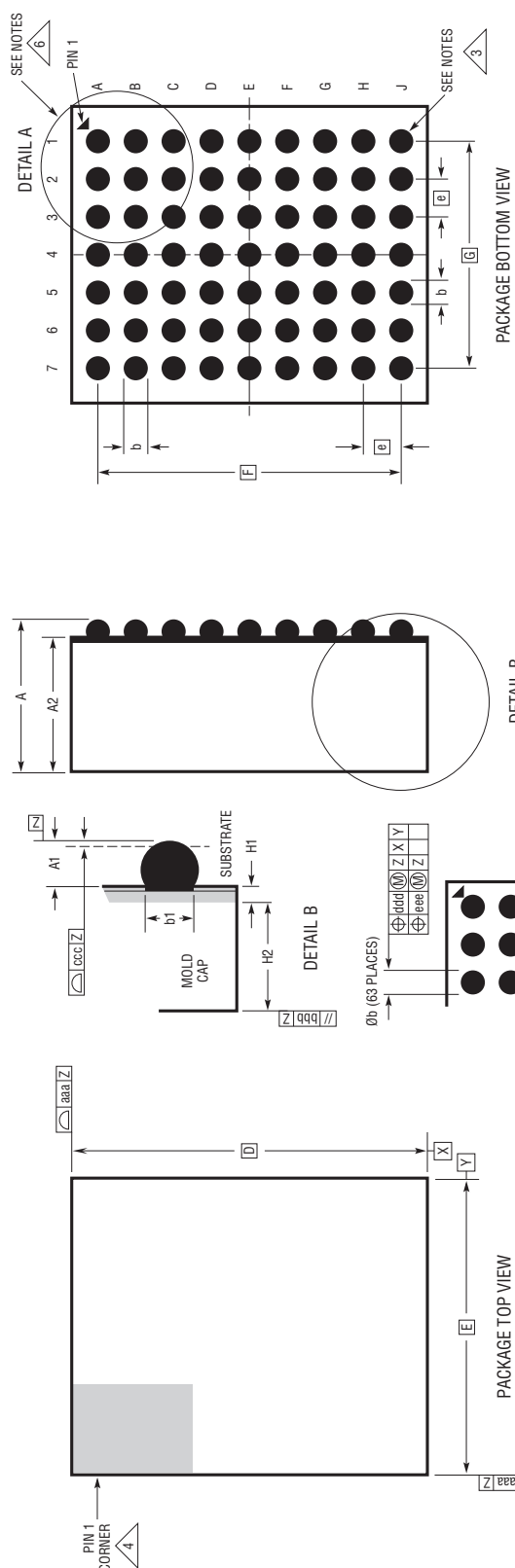
PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
A1	FB2	A2	COMP2	A3	RUN2	A4	FREQ	A5	RUN1	A6	COMP1	A7	FB1
B1	TRACK/SS2	B2	PGOOD2	B3	GND	B4	INTV _{CC}	B5	SYNC/MODE	B6	PGOOD1	B7	TRACK/SS1
C1	V _{IN2}	C2	GND	C3	GND	C4	SGND	C5	GND	C6	GND	C7	V _{IN1}
D1	V _{IN2}	D2	V _{IN2}	D3	V _{IN2}	D4	GND	D5	V _{IN1}	D6	V _{IN1}	D7	V _{IN1}
E1	GND	E2	V _{IN2}	E3	V _{IN2}	E4	GND	E5	V _{IN1}	E6	V _{IN1}	E7	GND
F1	GND	F2	GND	F3	GND	F4	GND	F5	GND	F6	GND	F7	GND
G1	GND	G2	GND	G3	GND	G4	GND	G5	GND	G6	GND	G7	GND
H1	V _{OUT2}	H2	V _{OUT2}	H3	V _{OUT2}	H4	GND	H5	V _{OUT1}	H6	V _{OUT1}	H7	V _{OUT1}
J1	V _{OUT2}	J2	V _{OUT2}	J3	V _{OUT2}	J4	GND	J5	V _{OUT1}	J6	V _{OUT1}	J7	V _{OUT1}

パッケージの説明

BGA Package

663-Lead (6.25mm × 7.50mm × 3.22mm)

(Reference LTC DWG # 05-08-7023 Rev Ø)



NOTES:

NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994

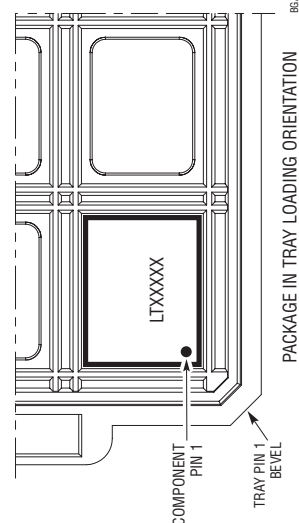
2. ALL DIMENSIONS ARE IN MILLIMETERS

3 BALL DESIGNATION PER JEP95

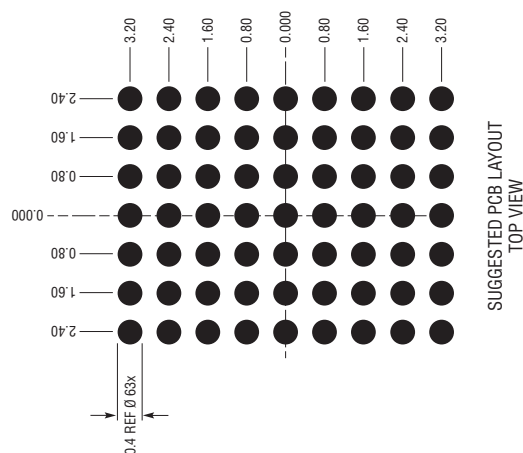
4 DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE

5. PRIMARY DATUM - Z - IS SEATING PLANE

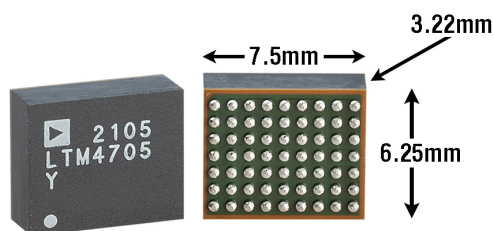
 PACKAGE ROW AND COLUMN LABELING MAY VARY AMONG PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY



DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	3.03	3.22	3.41	
A1	0.30	0.40	0.50	BALL HT
A2	2.73	2.82	2.91	
b	0.45	0.50	0.55	BALL DIMENSION
b1	0.37	0.40	0.43	PAD DIMENSION
D		7.50		
E		6.25		
e		0.80		
F		6.40		
G		4.80		
H1		0.32 REF		SUBSTRATE THK
H2		2.50 REF		MOLD CAP HT
aaa			0.15	
bbb			0.10	
ccc			0.20	
ddd			0.15	
eee			0.08	



パッケージの写真



設計リソース

SUBJECT	DESCRIPTION	
μModule Design and Manufacturing Resources	Design: • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools	Manufacturing: • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability
μModule Regulator Products Search	1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table. Quick Power Search INPUT OUTPUT FEATURES V_{IN}(Min) V V_{IN}(Max) V V_{OUT} V I_{OUT} A ☐ Low EMI ☐ Ultrathin ☐ Internal Heat Sink Multiple Outputs Search	
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.	

関連製品

製品番号	概要	注釈
LTM4622	デュアル 2.5A またはシングル 5A の μModule レギュレータ	3.6V ≤ V _{IN} ≤ 20V, 0.6V ≤ V _{OUT} ≤ 5.5V, 6.25mm × 6.25mm × 1.82mm LGA, 2.42mm BGA
LTM4668/ LTM4668A	構成可能な 1.2A クワッド μModule レギュレータ	2.7V ≤ V _{IN} ≤ 17V, 0.6V ≤ V _{OUT} ≤ 1.8V (LTM4668A では 5.5V)、6.25mm × 6.25mm × 2.1mm BGA
LTM4643	構成可能な 3A クワッド μModule レギュレータ	4V ≤ V _{IN} ≤ 20V, 0.6V ≤ V _{OUT} ≤ 3.3V, 9mm × 15mm × 1.82mm LGA, 2.42mm BGA
LTM4644	構成可能な 4A クワッド μModule レギュレータ	4V ≤ V _{IN} ≤ 14V, 0.6V ≤ V _{OUT} ≤ 5.5V, 9mm × 15mm × 5.01mm BGA
LTM4657	8A μModule レギュレータ、LTM4626 および LTM4638 とピン互換	3.1V ≤ V _{IN} ≤ 20V, 0.5V ≤ V _{OUT} ≤ 5.5V, 6.25mm × 6.25mm × 3.87mm BGA
LTM4626	12A μModule レギュレータ LTM4657 および LTM4638 とピン互換	3.1V ≤ V _{IN} ≤ 20V, 0.6V ≤ V _{OUT} ≤ 5.5V, 6.25mm × 6.25mm × 3.87mm BGA
LTM4638	15A μModule レギュレータ、LTM4657 および LTM4626 とピン互換	3.1V ≤ V _{IN} ≤ 20V, 0.6V ≤ V _{OUT} ≤ 5.5V, 6.25mm × 6.25mm × 5.02mm BGA
LTM4691	低 V _{IN} 、デュアル 2A μModule レギュレータ	2.25V ≤ V _{IN} ≤ 3.6V, 0.5V ≤ V _{OUT} ≤ 2.5V, 3mm × 4mm × 1.18mm LGA, 1.48mm BGA
LTM4646	デュアル 10A またはシングル 20A の μModule レギュレータ	4.5V ≤ V _{IN} ≤ 20V, 0.6V ≤ V _{OUT} ≤ 5.5V, 11.25mm × 15mm × 5.01mm BGA
LTM4662	デュアル 15A またはシングル 30A の μModule レギュレータ	4.5V ≤ V _{IN} ≤ 20V, 0.6V ≤ V _{OUT} ≤ 5.5V, 11.25mm × 15mm × 5.74mm BGA