



OV、UV、逆極性、接地喪失に対する 保護機能を備えた 5.5V~60V、6A 電力リミッタ

MAX17527A

製品のハイライト

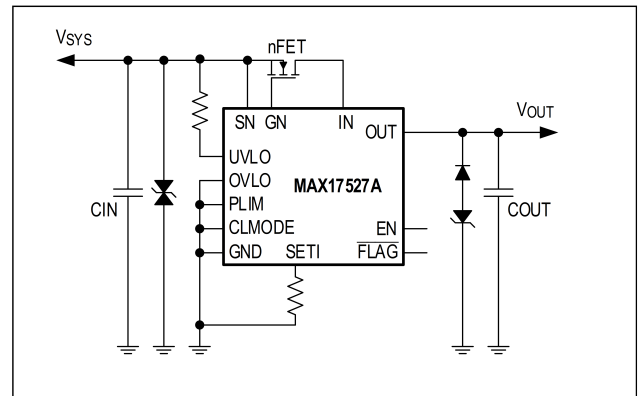
- システムのダウンタイムを短縮する堅牢な保護機能
 - 広い入力電源範囲：+5.5V~+60V
 - ±4%の精度でプログラマブルな電流制限：全温度範囲で 3A~6A
 - ±5%の精度でプログラマブルな電流制限：全温度範囲で 0.6A~6A
 - クラス 2 のアプリケーション向け 100W、24V の電力制限 精度：±7%
 - 入力電圧逆極性保護（外付け nFET 使用）
 - 高速（108ns の応答時間）な 2 段階逆極性保護（外付け nFET 使用）
 - 低 R_{ON} の内部 nFET（30mΩ）
 - 出力電圧逆極性耐性
 - 接地喪失保護
- 再利用性を最大限に高め再適格性確認の必要性を最小限に抑える柔軟な設計
 - 調整可能な UVLO および OVLO スレッシュホルド
 - ±3%の精度の SETI 電流読出し
 - プログラマブルな過電流応答：連続モード、自動再試行モード、ラッチオフ・モード
 - ロジック・レベルのイネーブル入力（EN）
 - 保護された外付け nFET ゲート駆動
 - オープンドレイン・フォルト・インジケータ、 $\overline{FLAG}$
 - 起動時の連続電流制限
 - サーマル・フォールドバック電流制限
- ソリューションのフットプリントを縮小
 - 20 ピン 5mm × 5mm の TQFN-EP パッケージ
 - 共用保護条件に対応する内蔵 nFET

主なアプリケーション

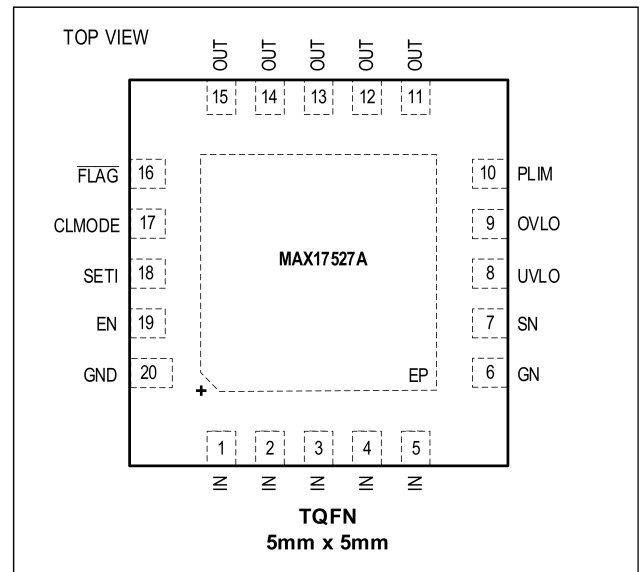
- 接地喪失保護：
グラウンド・パス上にある 1 個のフォルト安全ヒューズが切れた場合などの接地喪失イベントが生じた場合、MAX17527A は負荷電流を遮断し、出力を入力から切り離します。

- UL1310 クラス 2 電力リミッタ：
MAX17527A が備える 3A~6A で精度±4%の電流制限および精度±7%の電力制限は、UL1310 クラス 2 電源アプリケーションに厳格な保護境界を提供し、負荷への最大限の電力供給を可能にします。

簡略化したアプリケーション回路図



端子説明



オーダー情報はデータシート末尾に記載されています。

絶対最大定格

IN～GND	-0.3V～+65V	IN 電流 (DC)	6.3A
OUT～GND	-65V～(VIN + 0.3V)	連続消費電力 (TA = +70°C、TQFN、70°C より上は 34.5mW/°C でディレーティング)	2758mW
IN～OUT	-0.3V～+65V	動作温度範囲	-40°C～+125°C
SN～GND (Note 1)	-62V～+65V	ジャンクション温度	-40°C～+150°C
GN～SN	-0.3V～+6V	保存温度範囲	-65°C～+150°C
UVLO、OVLO、PLIM、FLAG～GND	-0.3V～(VIN + 0.3V)	リード温度 (ハンダ処理、10 秒)	+300°C
EN、CLMODE～GND	-0.3V～+6V	はんだ処理温度 (リフロー)	+260°C
SETI～GND	-0.3V～+6V		

Note 1： 負入力 の保護を行うには外付けの nFET またはダイオードが必要です。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

20 TQFN

Package code	T2055+6C
Outline Number	21-0140
Land Pattern Number	90-0010
Thermal Resistance, Four-Layer Board:	
Junction-to-Ambient (θJA)	29°C/W
Junction-to-Case Thermal Resistance (θJC)	2°C/W

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

電氣的特性

(特に指定のない限り、 $V_{IN} = 5.5V \sim 60V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ の値です。代表値は、 $V_{IN} = 24V$ 、 $T_A = +25^{\circ}C$ の値です。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
IN Voltage Range	V _{IN}		5.5		60.0	V
Shutdown Input Current	I _{SHDN}	V _{EN} = 0V, V _{IN} = V _{SN} = 24V, V _{OUT} = 0V		21	48	μA
		V _{EN} = 0V, V _{IN} = V _{SN} = 40V, V _{OUT} = 0V		31	67	
Shutdown Output Current	I _{OFF}	V _{EN} = 0V, V _{SN} = V _{IN} = Unconnected, V _{OUT} = 40V		94	240	μA
Shutdown IN to OUT Current	I _{SHDN_IN-OUT}	V _{EN} = 0V, V _{IN} – V _{OUT} = 60V		13	27	μA
Supply Current	I _{IN}	V _{SN} = V _{IN} = V _{OUT} = 24V, V _{EN} = Open		1.46	2.20	mA
UVLO, OVLO						
Internal Undervoltage-Trip Level	V _{UVLO}	V _{IN} rising, UVLO connected to GND	11.9	12.4	13.0	V
		V _{IN} falling, UVLO connected to GND	11.5	12.0	12.5	
Internal Overvoltage-Trip Level	V _{OVLO}	V _{SN} rising, OVLO connected to GND	34.7	36.2	37.6	V
		V _{SN} falling, OVLO connected to GND	32.2	34.1	35.8	
Undervoltage-Trip Level on Output	V _{UVLO_OUT}	V _{OUT} rising	12.2	12.7	13.2	V
		V _{OUT} falling, UVLO trip point	11.9	12.4	12.9	
External UVLO Set Voltage	V _{SET_UVLO}	UVLO rising	1.20	1.26	1.33	V
		UVLO falling	1.18	1.22	1.27	
External UVLO Select Voltage	V _{UVLO_SEL}		0.15	0.38	0.50	V
External UVLO Leakage Current	I _{UVLO_LEAK}	V _{UVLO} = 0 to 2V	–250		+250	nA
External OVLO Set Voltage	V _{SET_OVLO}	OVLO rising	1.18	1.22	1.27	V
		OVLO falling	1.09	1.15	1.20	
External OVLO Select Voltage	V _{OVLO_SEL}		0.15	0.38	0.50	V
External OVLO Leakage Current	I _{OVLO_LEAK}	V _{OVLO} = 0 to 2V	–250		+250	nA
External UVLO Adjustment Range		(Note 3)	5.5		59.0	V
External OVLO Adjustment Range		(Note 3)	6.0		60.0	V
GN, SN						
External nFET Gate Drive Voltage	V _{GN-SN}	V _{EN} = 5V, no reverse condition	4.45	4.75	4.95	V
Gate Active Pullup Current		V _{EN} = 5V, V _{GN} = V _{SN} , no reverse condition	9	18	28	μA
Gate Active Pulldown Resistance		V _{EN} = 5V, reverse condition		140		mΩ
Shutdown Gate Pulldown Resistance		V _{EN} = 0V, V _{GN} – V _{SN} = 1.5V		2.7	6.1	kΩ
		V _{EN} = 0V, V _{GN} – V _{SN} = 0.5V		3.9	8.0	MΩ
INTERNAL nFETs						
Internal nFETs On-Resistance	R _{ON}	I _{LOAD} = 100mA, V _{IN} ≥ 10V		30	57	mΩ

(特に指定のない限り、 $V_{IN} = 5.5V \sim 60V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ の値です。代表値は、 $V_{IN} = 24V$ 、 $T_A = +25^{\circ}C$ の値です。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Limit Adjustment Range	I_{LIM}		0.6		6.0	A
Current-Limit Accuracy	I_{LIM_ACC}	$3A \leq I_{LIM} \leq 6A$, $V_{PLIM} < V_{PLIM_TH}$	-4.0		+4.0	%
		$0.6A \leq I_{LIM} \leq 6A$, $V_{PLIM} < V_{PLIM_TH}$	-5.0		+5.0	
FLAG Assertion Drop-Voltage Threshold	V_{FA}	Increase in ($V_{IN} - V_{OUT}$) drop until FLAG asserts, $V_{IN} = 24V$	390	470	550	mV
Overcurrent Protection Threshold	I_{OCP}	(Note 4)	20	26	32	A
Slow Reverse-Current-Blocking Threshold	V_{RIB_SLOW}	$V_{IN} - V_{OUT}$, falling	-0.5	-5.4	-10.5	mV
Slow Reverse-Current-Blocking Response Time	t_{RIB_SLOW}	(Note 5)		17	30	μs
Fast Reverse-Current-Blocking Threshold	V_{RIB_FAST}	$V_{IN} - V_{OUT}$, falling	-78	-98	-118	mV
Fast Reverse-Current-Blocking Response Time	t_{RIB_FAST}	(Note 6, Note 4), $C_{GS} = 10nF$		108	135	ns
Reverse-Current-Blocking Rising Threshold	V_{RIB_RISING}	$V_{SN} - V_{OUT}$, rising	65	100	135	mV
Reverse Output Current	I_{OUT_REV}	$V_{SN} = 0V$, $V_{OUT} = 24V$, IN unconnected		2	5	mA
PLIM						
PLIM Limit Threshold Voltage	V_{PLIM_TH}		0.744	0.800	0.856	V
PLIM Limit Operation Range			V_{PLIM_TH}		$3 \times V_{PLIM_TH}$	V
Power-Limit Accuracy		$P = 100W$, $V_{IN} = 24V$	-7.0		+7.0	%
SETI						
$R_{SETI} \times I_{LIM}$	V_{RI}	$V_{PLIM} < V_{PLIM_TH}$		1.5		V
Current-Mirror Output Ratio	C_{IRATIO}			25000		A/A
LOGIC INPUT (CLMODE, EN)						
EN Input-Logic High	V_{IH}		1.4			V
EN Input-Logic Low	V_{IL}				0.4	V
Internal EN Pullup Voltage		EN pin unconnected		1.45	1.80	V
EN Input Current		$V_{EN} = 5.5V$		33	48	μA
EN Pullup Current		$V_{EN} = 0.4V$	2.2	5.8	12.0	μA
CLMODE Input-Logic High	V_{CLMODE_IH}		3.6	4.3	4.7	V
CLMODE Input-Logic Low	V_{CLMODE_IL}		0.4	0.8	1.1	V
CLMODE Pullup Current			5.3	9.2	14.0	μA
LOGIC OUTPUT (FLAG)						
Logic-Low Voltage		$I_{SINK} = 1mA$			0.4	V

(特に指定のない限り、 $V_{IN} = 5.5V \sim 60V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ での値です。代表値は、 $V_{IN} = 24V$ 、 $T_A = +25^{\circ}C$ での値です。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage Current		$V_{IN} = 5.5V$, $\overline{FLAG}$ open drain off			1	μA
$\overline{FLAG}$ Protection Current		$\overline{FLAG}$ open drain on	4			mA
TIMING CHARACTERISTICS (NOTE 7)						
Switch Turn-On Time	t_{ON}	$V_{IN} = 24V$, switch OFF to ON, $R_{LOAD} = 240\Omega$, $I_{LIM} = 1A$, $C_{OUT} = 4.7\mu F$, V_{OUT} from 20% to 80% of V_{IN}		110		μs
Fault Recovery nFET Turn-On Time	t_{ON_NFET}	Turn-on delay after fault timers expired		200	400	μs
Fault Recovery External nFET Turn-on Time	t_{ON_EXNFET}	$V_{OUT} > V_{UVLO_OUT}$, turn-on delay of external nFET after fault timers expired	1.09	1.20	1.32	ms
OVP Switch Response Time	t_{OVP_RES}			3		μs
Overcurrent Protection Response Time	t_{OCP_RES}	$I_{LIM} = 5A$, I_{OUT} step from 3A to 30A. Time to turn the switch off		3		μs
Startup Timeout	t_{STO}	Initial start current-limit foldback timeout (Figure 12)	1090	1200	1320	ms
Startup Initial Time	t_{STI}	(Figure 12)	21.8	24.0	26.4	ms
IN Debounce Time	t_{DEB}	Additional turn-on delay if $V_{OUT} < V_{UVLO_OUT}$, see Figure 12 to Figure 18	1.09	1.20	1.32	ms
Blanking Time	t_{BLANK}	Figure 17 and Figure 18	22.5	24.0	25.5	ms
Autoretry Time	t_{RETRY}	Figure 17 (Note 8)	654	720	792	ms
Loss-of-Ground Switch Turn-Off Time	$t_{OFF_GNDLOSS}$	$C_{IN_IC} = 100nF$			100	ms
THERMAL PROTECTION						
Thermal Foldback	$T_{J(FB)}$			150		$^{\circ}C$
Thermal Shutdown	T_J			165		$^{\circ}C$
Thermal Shutdown Hysteresis	$T_{J(HYS)}$			10		$^{\circ}C$

Note 2 : すべてのデバイスは $T_A = +25^{\circ}C$ で 100% 出荷テストを行っています。全温度範囲での制限値は設計により裏付けられていますが、出荷テストは行っていません。

Note 3 : 出荷テストの対象外です。ユーザによる調整が可能です。過電圧ロックアウト (OVLO) および低電圧ロックアウト (UVLO) のセクションを参照してください。

Note 4 : 設計により裏付けられていますが、出荷テストは行っていません。

Note 5 : $V_{IN} - V_{OUT}$ の電圧が 200mV から -50mV に変化してから GN ピンの電圧が $V_{SN} + 1V$ に低下するまでの時間 (図 1)。

Note 6 : $V_{IN} - V_{OUT}$ 電圧が 200mV から -250mV に変化してから GN ピンの電圧が $V_{SN} + 1V$ に低下するまでの時間 (図 2)。

Note 7 : 特に指定のない限り、すべてのタイミングは 20% と 80% のレベルを使用して測定しています。

Note 8 : 自動再試行時間とブランキング時間の比は 30 に固定されています。

タイミング図

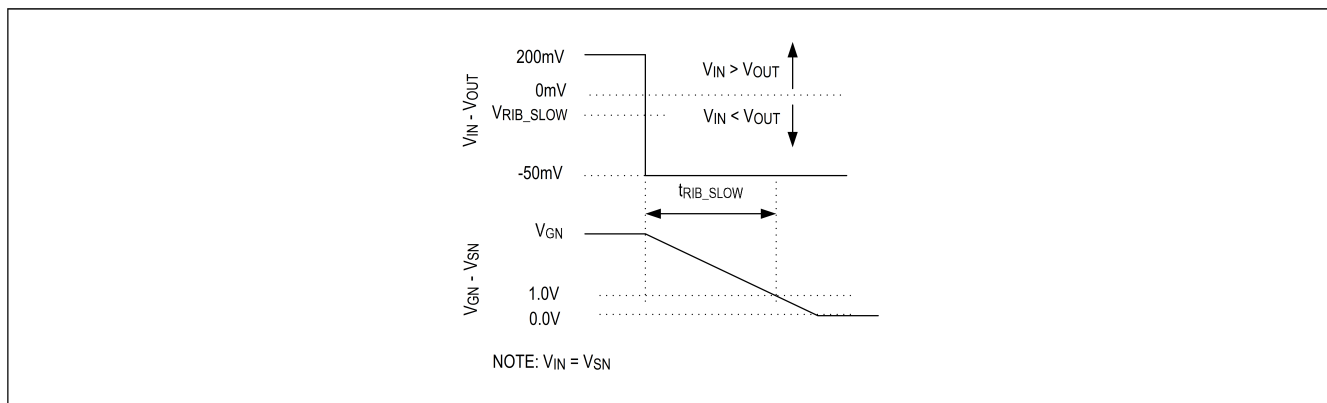


図 1. 低速逆電流ブロッキング応答時間

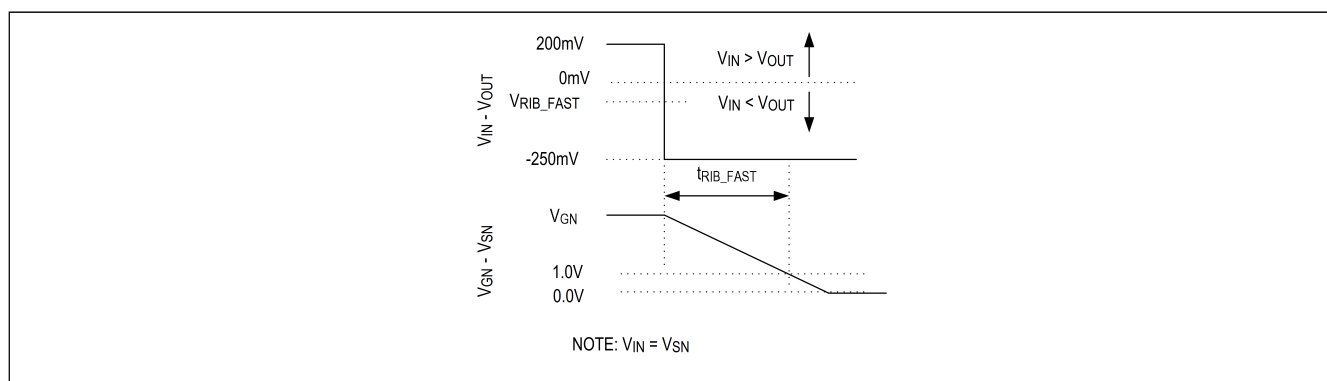
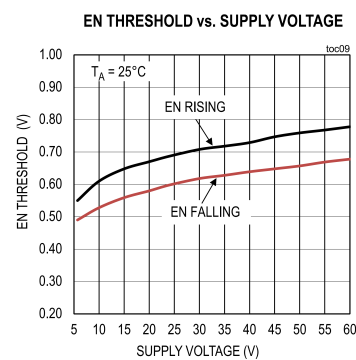
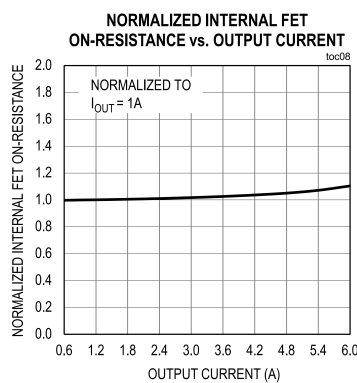
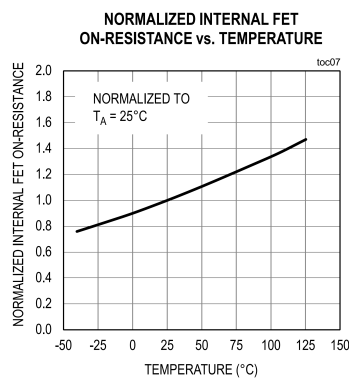
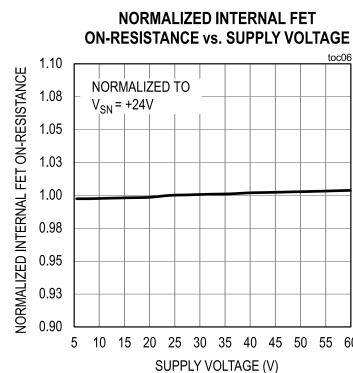
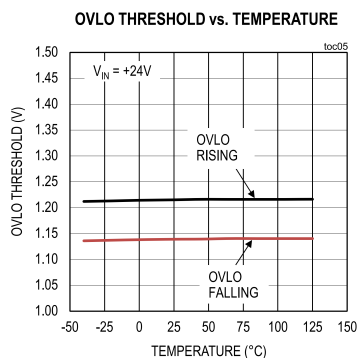
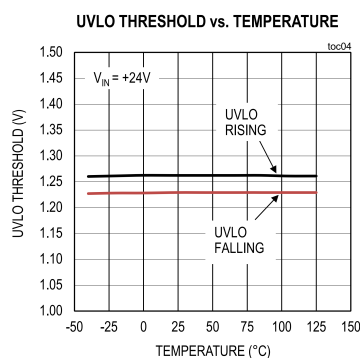
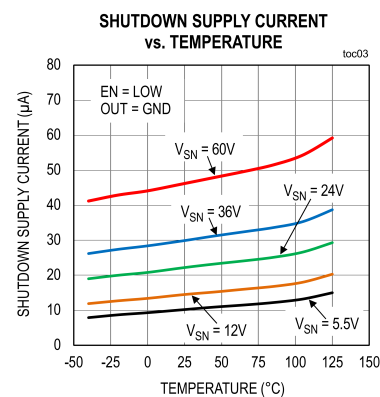
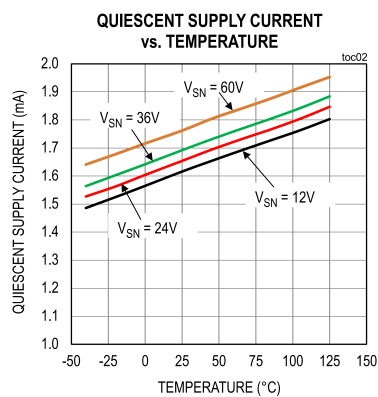
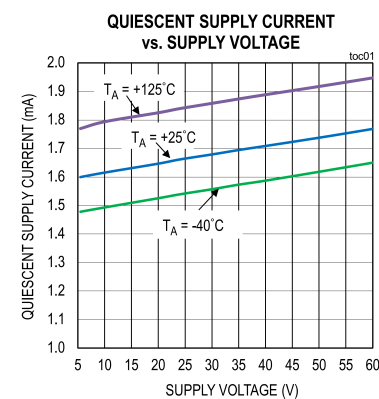
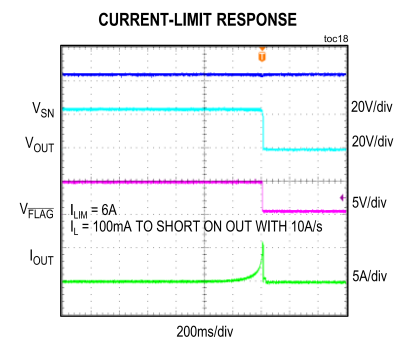
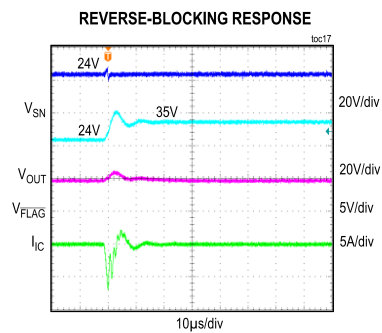
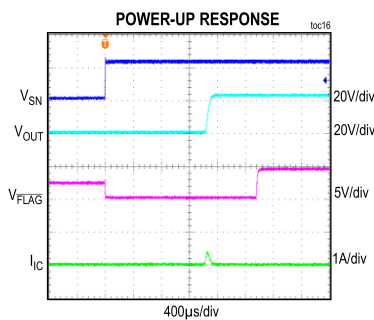
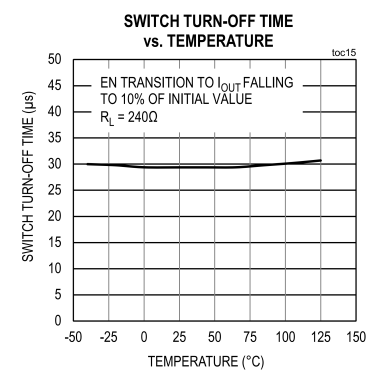
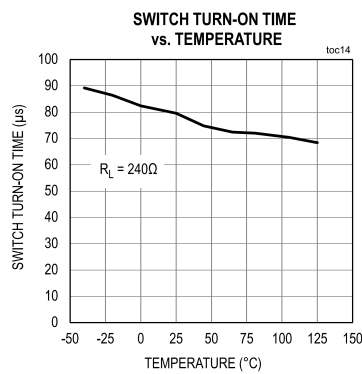
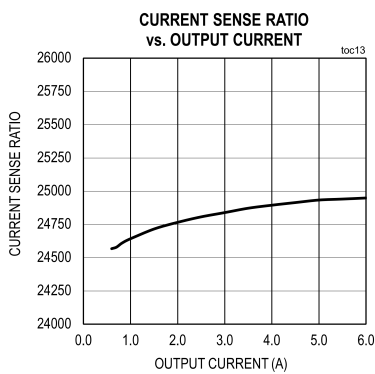
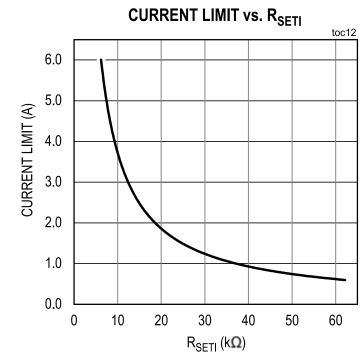
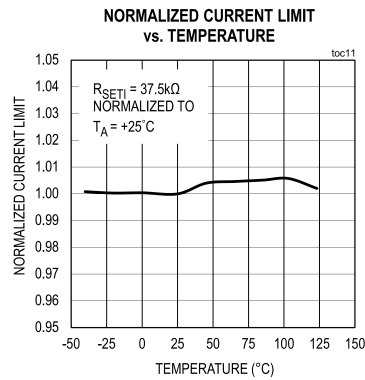
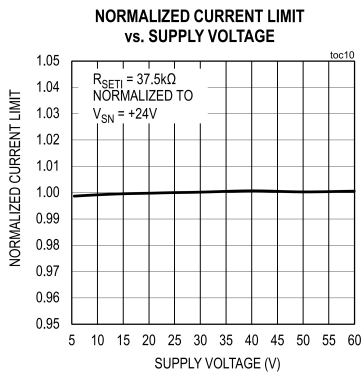


図 2. 高速逆電流ブロッキング応答時間

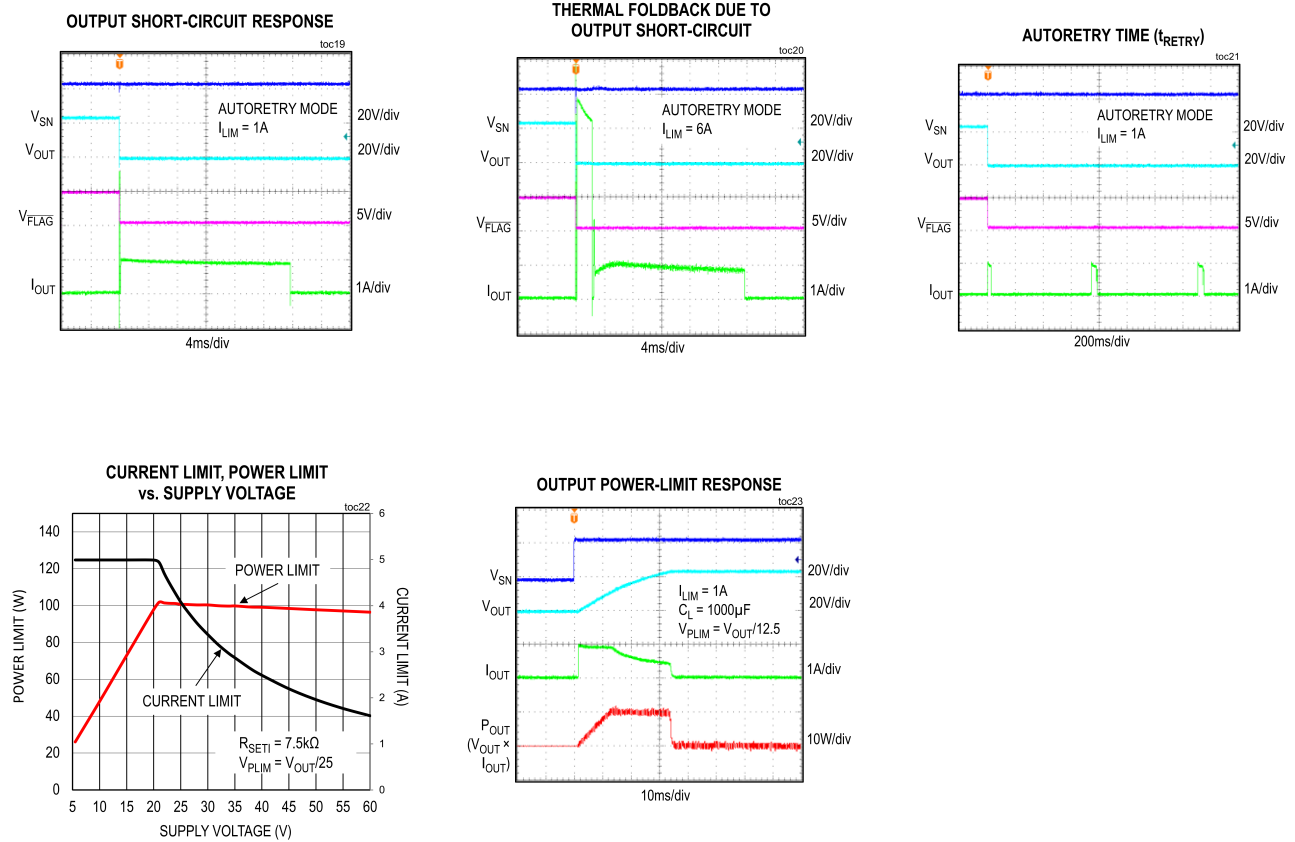
標準動作特性

(特に指定のない限り、 $V_{IN} = 24V$ 、 $C_{IN} = 1\mu F$ 、 $C_{OUT} = 1\mu F$ 、 $T_A = +25^\circ C$ 。)

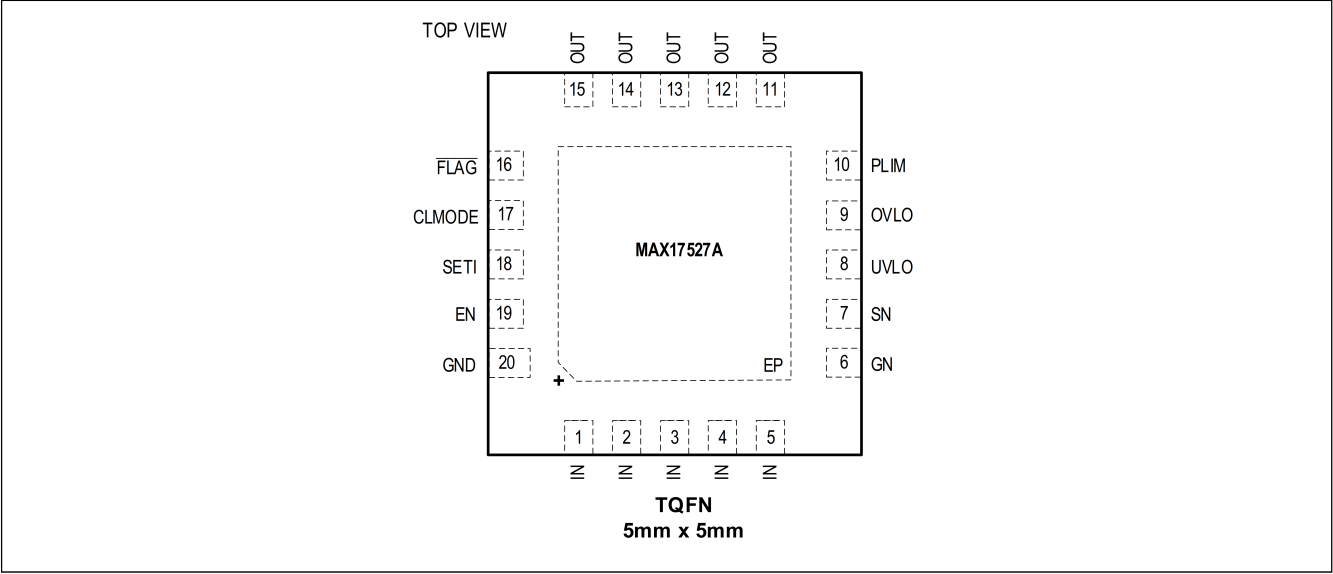
(特に指定のない限り、 $V_{IN} = 24V$ 、 $C_{IN} = 1\mu F$ 、 $C_{OUT} = 1\mu F$ 、 $T_A = +25^\circ C$ 。)



(特に指定のない限り、 $V_{IN} = 24V$ 、 $C_{IN} = 1\mu F$ 、 $C_{OUT} = 1\mu F$ 、 $T_A = +25^\circ C$ 。)



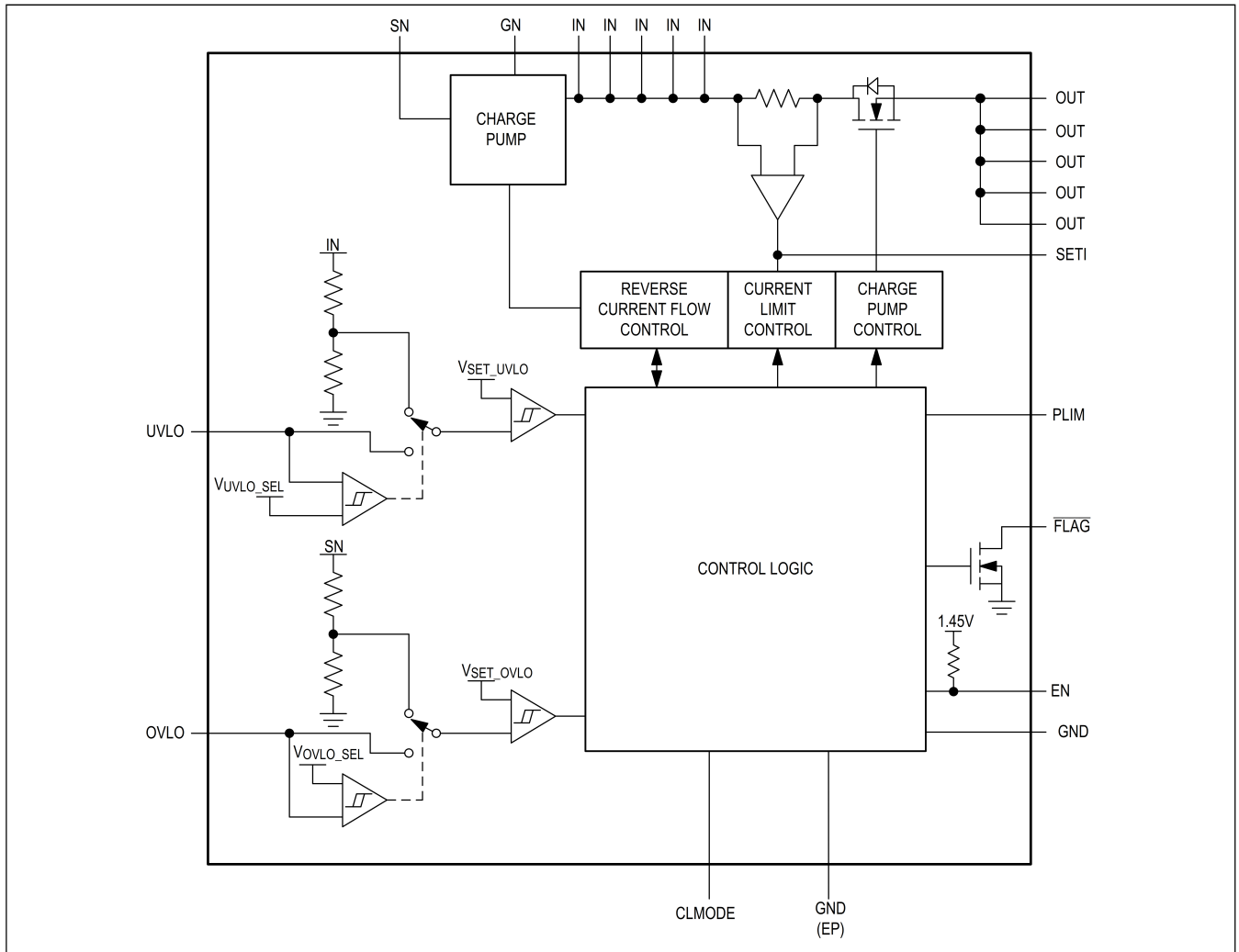
ピン配置



端子説明

ピン	名称	説明
1–5	IN	入力ピン。IN は 1 μ F 以上のセラミック・コンデンサで GND にバイパスします。ホット・プラグイン・アプリケーションについては アプリケーション情報 のセクションを参照してください。
6	GN	外付け nFET のゲート・ドライバ出力。外付け nFET を使用しない場合、GN ピンは無接続のままにしてください。
7	SN	外付け nFET ゲート駆動へのリターンおよび入力電圧検出ピン。 標準動作回路 のセクションに示すように、外付け nFET のソースに接続します。SN は 4.7 μ F 以上のコンデンサで GND にバイパスします。再プログラムされた UVLO/OVLO を用いる場合は、SN は低電圧／過電圧検出入力として機能します。外付け nFET を使用しない場合は、SN を IN に接続します。
8	UVLO	UVLO 調整ピン。デフォルトの内部 UVLO スレッシュホールドを使用するには UVLO を GND に接続します。SN/IN と GND の間に抵抗分圧器を接続すると、UVLO スレッシュホールドを外部で設定し内部 UVLO スレッシュホールドをオーバーライドできます。
9	OVLO	OVLO 調整ピン。デフォルトの内部 OVLO スレッシュホールドを使用するには OVLO を GND に接続します。SN/IN と GND の間に抵抗分圧器を接続すると、OVLO スレッシュホールドを外部で設定し内部 OVLO スレッシュホールドをオーバーライドできます。
10	PLIM	電力制限調整ピン。PLIM を外付け抵抗分圧器に接続すると、電力制限機能が起動するスレッシュホールドを定義し、電流制限スレッシュホールドを低下させることができます。この機能を無効化し、SETI に配置された抵抗のみで電流制限を設定する場合は、PLIM を GND に接続します。
11–15	OUT	出力ピン。出力ケーブルが長い場合、または誘導性負荷の場合は、 アプリケーション情報 のセクションを参照してください。
16	$\overline{\text{FLAG}}$	オープンドレインのフォルト・インジケータ出力。以下の場合、 $\overline{\text{FLAG}}$ はローになります。 • $(V_{\text{IN}} - V_{\text{OUT}})$の電圧が V_{FA} を超過。 • サーマル・シャットダウンが発生。 • 入力電圧が UVLO スレッシュホールド未満に低下、または OVLO スレッシュホールドを超過。 • R_{SETI} が 3.2kΩ 未満。
17	CLMODE	電流制限モード・セレクト・ピン。連続モードの場合は、CLMODE は無接続のままにします。自動再試行モードの場合は、CLMODE は GND に接続します。ラッチオフ・モードの場合は、CLMODE と GND の間に 220k Ω の抵抗を接続します。
18	SETI	過電流制限調整ピンおよび電流モニタリング出力。過電流制限を設定するには、SETI と GND の間に抵抗を接続します。 電流制限スレッシュホールドの設定 のセクションを参照してください。SETI には 30pF を超えるコンデンサは接続しないでください。
19	EN	アクティブ・ハイ・イネーブル入力。内部で 1.45V にプルアップされます。
20	GND	グラウンド。すべての制御信号に対するリファレンス・ピン。
—	EP	露出パッド。最高の熱性能を得るには、複数のサーマル・ビアを用いて EP を大面積の GND プレーンに接続します。リファレンス・レイアウト設計については、MAX17527A EV キットのデータシートを参照してください。

簡略化したブロック図



詳細

MAX17527A は、入力電圧フォルトおよび過電流フォルトに対するシステムの保護境界を調整する機能を備えています。また、MAX17527A には、プログラマブルな電力制限機能も備わっています。オン抵抗の低い（代表値 30mΩ）内蔵 nFET により、最大+60V の（正極性の）入力電圧フォルトから保護します。このデバイスは、内部または外部の分圧器を使用して、固定またはプログラマブルな過電圧ロックアウト（OVLO）および低電圧ロックアウト（UVLO）のスレッシュホールドを設定できます。製造時にプリセットされた内部固定のスレッシュホールドを適用するには、OVLO ピンや UVLO ピンを GND に接続します。入力低電圧保護は 5.5V~59V の範囲でプログラムでき、同時に過電圧保護も 6V~60V の範囲で独立してプログラムできます。

入力の逆極性保護は、MAX17527A によって制御される外付け nFET を使用して行われます。逆極性電圧の保護能力は、動作中の負荷バス電圧（V_{OUT}）と外付け nFET の電圧ブロック能力に依存します。例えば、V_{OUT} = 30V で-55V の入力電圧範囲まで保護する場合、定格 85V の外付け nFET が必要となります。外付け nFET は、オプションの逆電流保護にも必要となります。逆極性保護と逆電流保護が不要な場合は、SN を IN に接続し、GN は無接続の状態にする必要があります。MAX17527A には、出力端子間の誤配線によって出力に逆極性が印加されてしまった場合でも耐性があります。

このデバイスの電流制限は、SETI ピンから GND に抵抗を接続することでプログラムします。電流制限は 0.6A~6.0A の範囲でプログラムできます。デバイスを通過する電流が、設定された電流制限値に達するかそれを超えると、内部 nFET の抵抗が変化して電流が制限されます。このデバイスには、連続モード、自動再試行モード、ラッチオフ・モードの 3 つの電流制限動作モードがあります。

SETI ピンは、通常動作時のデバイス電流に比例する電流を示します。また、SETI ピンは、（SETI と GND 間の）電流制限プログラム抵抗と共に、デバイス電流に比例した電圧を示します。この電圧をモニタリング・システムによって読み出すことで、デバイスの瞬時電流を記録することができます。

電力制限機能は、PLIM ピンに接続された電位分圧器を介し、入力電圧または出力電圧をサンプリングすることで、入力電源側または出力負荷側で使用できます。外部電圧が上昇して、プログラムされたスレッシュホールドを超えると、電力制限機能によって、電流制限の設定値が引き下げられます。デバイスは、マスタ監視システムによりイネーブル入力 EN を介してオンまたはオフにすることができます。これによってマスタ監視システムは、接続された負荷への電力供給をオンまたはオフにすることができます。

このデバイスは接地喪失保護機能を備えており、接地喪失フォルト・イベントが発生した場合、例えば、冗長安全アプリケーションで安全接地用ヒューズが切れた場合、デバイスの動作を安全にオフにできます。

デバイスは、動作やフォルトに関する信号を示すステータス通知信号（ $\overline{\text{FLAG}}$ ）を備えています。 $\overline{\text{FLAG}}$ はオープンドレイン・ピンであり、適切なシステム・インターフェース電圧への外付けプルアップ抵抗が必要です。デバイスには、過剰な消費電力に対する内部サーマル・シャットダウン保護機能も備わっています。

低電圧ロックアウト（UVLO）

UVLO ピンの電圧が外部 UVLO 選択スレッシュホールド（V_{UVLO_SEL}）を超えた場合、このデバイスの IN ピンに 12.4V（代表値）にプリセットされた UVLO スレッシュホールドがあります。プリセットされた UVLO スレッシュホールドを選択するには、UVLO ピンを GND に接続します。UVLO ピンの電圧が V_{UVLO_SEL} を超えた場合、デバイスは調整可能 UVLO モードになります。デバイスは 5.5V~59V の UVLO 調整範囲を備えています。UVLO スレッシュホールド電圧を調整するには、標準動作回路のセクションに示すように、UVLO ピンに抵抗分圧器を外付けします。次式を用いて UVLO 電圧を調整できます。R1 の推奨値は 2.2MΩ です。

$$V_{\text{UVLO}} = V_{\text{SET_UVLO}} \times \left(1 + \frac{R1}{R2}\right)$$

ここで、V_{SET_UVLO} = 1.26V で、V_{UVLO} はデバイスが UVLO 状態を脱する入力電源電圧です。UVLO ピンには 40mV（代表値）のヒステリシスがあります。そのため、UVLO ピンが 1.22V（代表値）に低下するとデバイスは UVLO 状態になります。

あるいは、次式を用いると R2 が計算できます。

$$R2 = \frac{R1}{\left(\frac{V_{\text{UVLO}}}{V_{\text{SET_UVLO}}} - 1\right)}$$

UVLO ピンの電圧が V_{SET_UVLO} を下回ると、内部 nFET が直ちにオフになり、 $\overline{FLAG}$ がアサートされます。UVLO 状態が終了すると、 V_{OUT} が V_{UVLO_OUT} スレッシュホールド未満の場合、デバイスは入力バウンス防止時間 (t_{DEB}) が経過した後、スイッチのターンオン・プロセスを開始します。内部 nFET がフォルト回復内部 nFET ターンオン時間 (t_{ON_NFET}) 後にオンになり、外付け nFET がフォルト回復外付け nFET ターンオン時間 ($t_{ON_EXTNFET}$) 後にオンになり、 $\overline{FLAG}$ がデアサートされます。 V_{OUT} が V_{UVLO_OUT} スレッシュホールドを超えている場合は、スイッチ・ターンオン・プロセス時の t_{DEB} はありません。UVLO 機能を使用しない場合、UVLO ピンは IN に接続する必要があります。UVLO ピンは無接続のままにしないでください。

過電圧ロックアウト (OVLO)

OVLO ピンの電圧が外部 OVLO 選択スレッシュホールド (V_{OVLO_SEL}) を超えた場合、このデバイスの SN ピンに 36.2V (代表値) にプリセットされた OVLO スレッシュホールドがあります。プリセットされた OVLO スレッシュホールドを選択するには、OVLO ピンを GND に接続します。OVLO ピンの電圧が V_{OVLO_SEL} を超えた場合、デバイスは調整可能 OVLO モードになります。デバイスは 6V~60V の OVLO 調整範囲を備えています。OVLO スレッシュホールド電圧を調整するには、[標準動作回路](#)のセクションに示すように、OVLO ピンに抵抗分圧器を外付けします。次式を用いて OVLO 電圧を調整できます。R3 の推奨値は 2.2M Ω です。

$$V_{OVLO} = V_{SET_OVLO} \times \left(1 + \frac{R3}{R4}\right)$$

ここで、 $V_{SET_OVLO} = 1.22V$ で、 V_{OVLO} はデバイスが OVLO 状態に入る入力電源電圧です。OVLO ピンには 70mV (代表値) のヒステリシスがあり、OVLO ピンが 1.15V (代表値) に低下するとデバイスは OVLO 状態になります。

あるいは、次式を用いると R4 が計算できます。

$$R4 = \frac{R3}{\left(\frac{V_{OVLO}}{V_{SET}} - 1\right)}$$

OVLO リファレンス電圧 (V_{SET_OVLO}) は 1.22V に設定されています。OVLO ピンの電圧が V_{SET_OVLO} より高い場合、スイッチがオフになって下段回路を保護し、 $\overline{FLAG}$ がアサートされます。OVLO 状態が終了すると、 V_{OUT} が V_{UVLO_OUT} スレッシュホールド未満の場合、デバイスは入力バウンス防止時間 (t_{DEB}) が経過した後、スイッチのターンオン・プロセスを開始します。内部 nFET がフォルト回復内部 nFET ターンオン時間 (t_{ON_NFET}) 後にオンになり、外付け nFET がフォルト回復外付け nFET ターンオン時間 ($t_{ON_EXTNFET}$) 後にオンになり、 $\overline{FLAG}$ がデアサートされます。[図 3](#) に過電圧状態での代表的な動作を示します。 V_{OUT} が V_{UVLO_OUT} スレッシュホールドを超えている場合は、スイッチ・ターンオン・プロセス時の t_{DEB} はありません。OVLO 機能を使用しない場合、OVLO ピンは GND に接続する必要があります。OVLO ピンは無接続のままにしないでください。

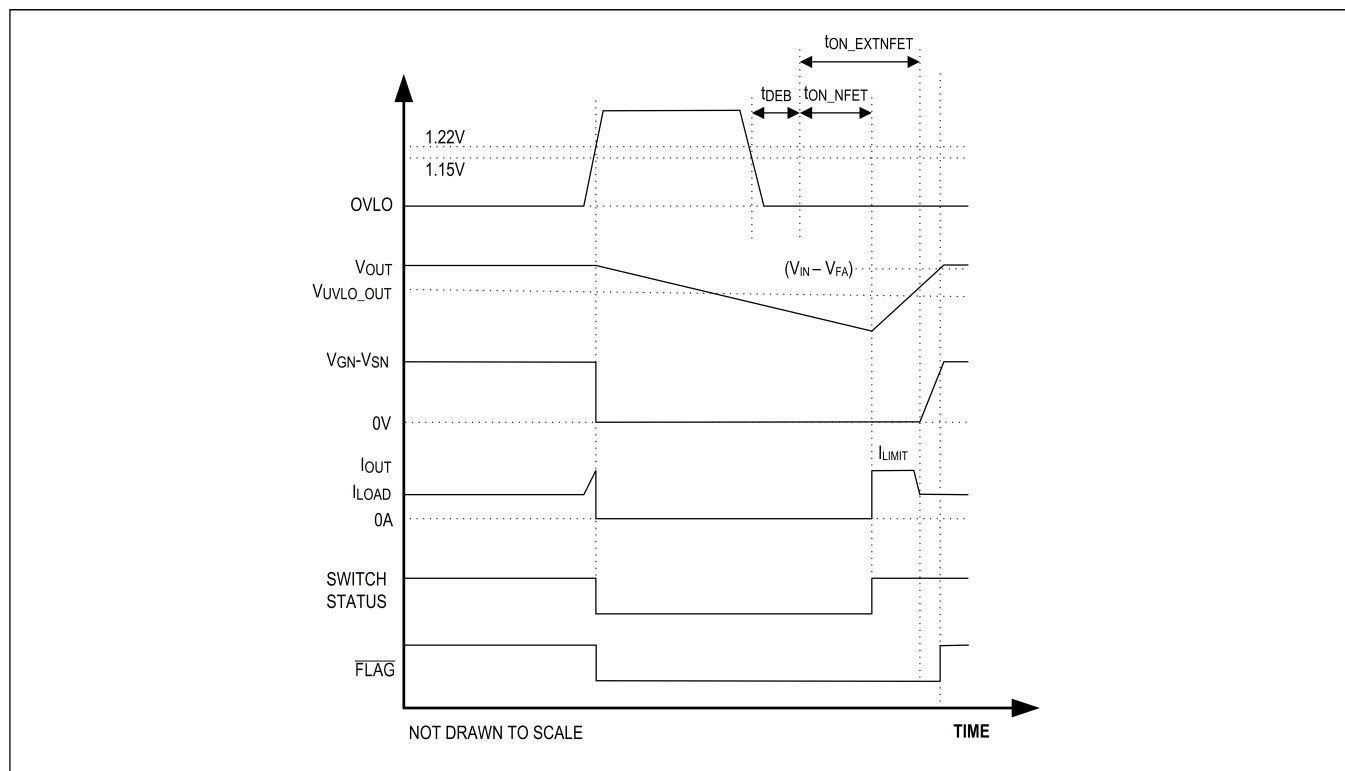
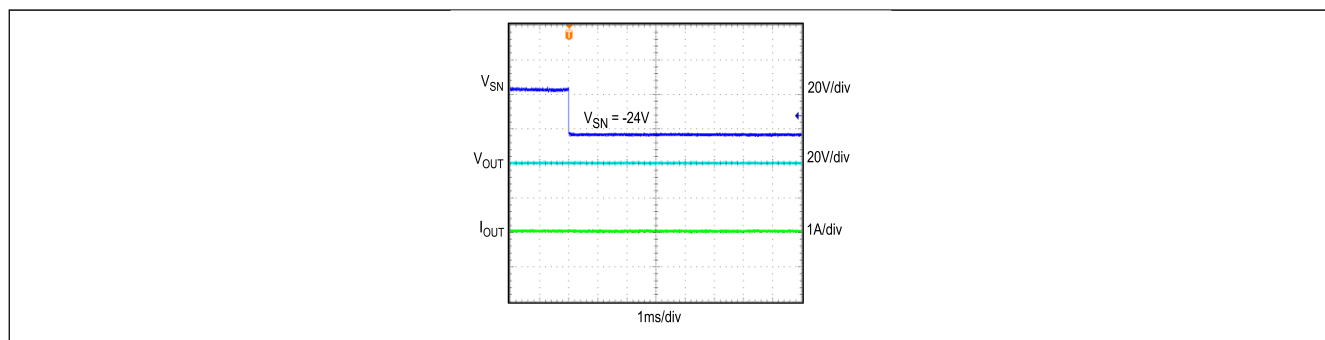


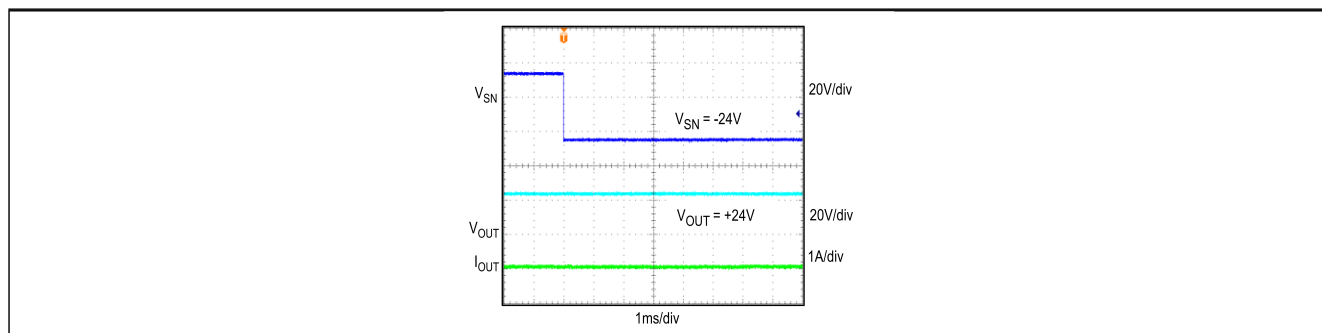
図 3. 過電圧フォルトのタイミング図

入力逆極性保護

入力の逆極性保護は、MAX17527A によって制御される外付け nFET を使用して行われます。入力電源端子への配線を誤ったことによりデバイスの入力ピンに負の電圧が印加されてしまう場合があります。標準動作回路に示すように、ソースを SN ピン、ドレインを IN ピン、ゲートを GN ピンに接続して、N チャンネル MOSFET (Q1) を外付けしてください。入力逆極性電圧フォルトが発生すると、この外付け nFET がオフになり負荷を保護します。外付け nFET は、オプションの逆電流保護にも必要となります。逆極性保護と逆電流保護が不要な場合は、SN ピンを IN ピンに接続し、GN ピンは無接続の状態にする必要があります。

逆極性電圧の保護能力は、動作中の負荷バス電圧 (V_{OUT}) と外付け nFET の電圧ブロック能力に依存します。例えば、 $V_{OUT} = 30V$ で $-55V$ の入力電圧まで保護する場合、定格 85V の外付け nFET が必要となります。MAX17527A は、ゲート・ドライブ (GN) に 4.75V (代表値) を供給します。図 4 に、 $V_{OUT} = 0V$ および $V_{SN} = -24V$ での MAX17527A の逆極性保護を示します。図 5 には、 $V_{OUT} = +24V$ および $V_{SN} = -24V$ での MAX17527A の逆極性保護を示します。

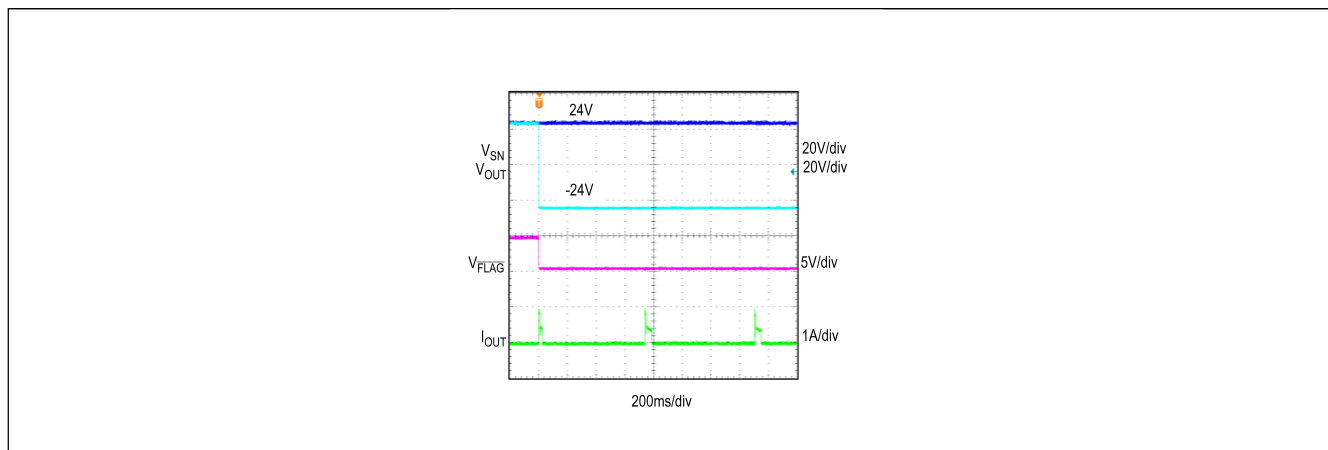
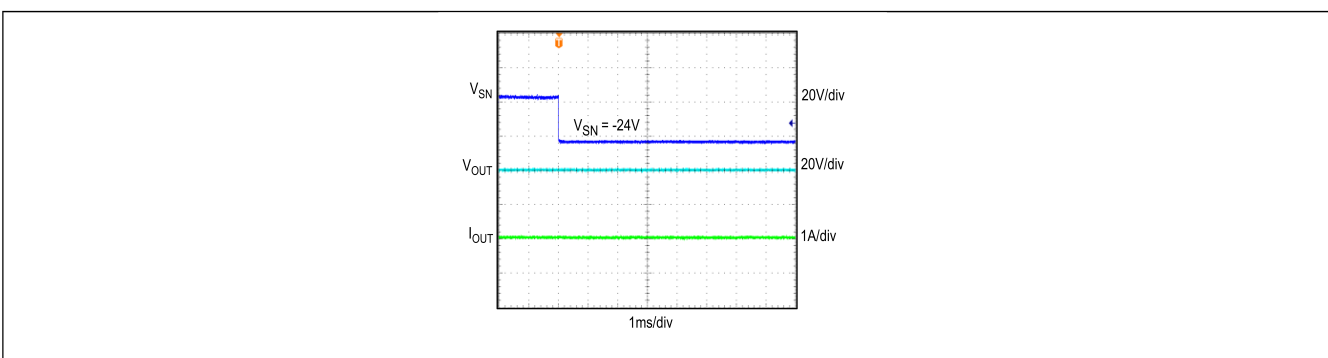
図 4. $V_{OUT} = 0V$ および $V_{SN} = -24V$ での入力逆極性保護

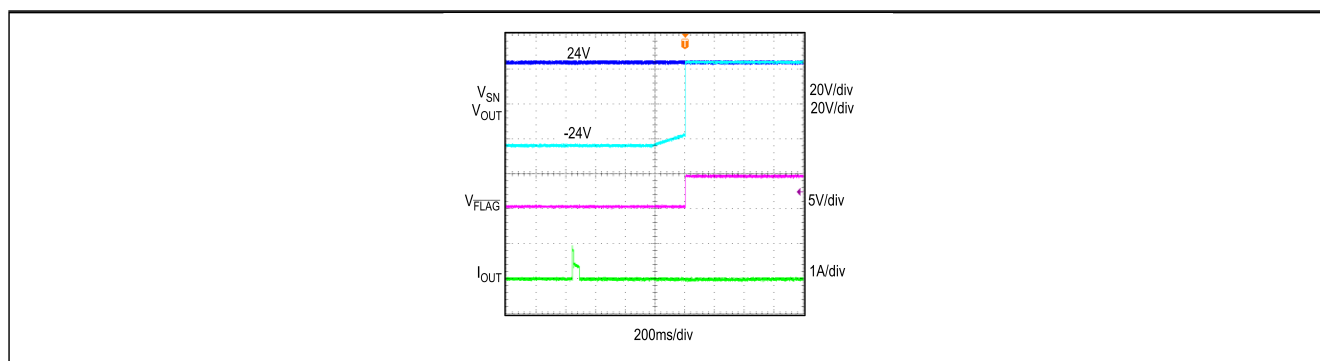
図 5. $V_{OUT} = +24V$ および $V_{SN} = -24V$ での入力逆極性保護

出力逆極性保護

MAX17527A はデバイス自体と入力電力接続を、偶然の逆出力電圧極性接続から保護します。逆出力電圧は、誘導性負荷や出力端子間の活線負荷の誤配線により、OUT ピンと GND ピンの間に生じる可能性があります。

図 6 に $V_{OUT} = -24V$ および $V_{SN} = 24V$ での MAX17527A の出力逆極性保護を、図 7 に $V_{OUT} = -24V$ および $V_{SN} = 0V$ (多くの場合、誤配線) での応答を示します。デバイスは、 $-(65 - V_{IN})V$ までの回路の負出力電圧に対して保護が可能です。図 8 に出力逆極性フォルト状態からの回復特性を示します。

図 6. $V_{OUT} = -24V$ および $V_{SN} = 24V$ での自動試行モードでの出力逆極性保護図 7. $V_{OUT} = -24V$ および $V_{SN} = 0V$ での自動試行モードでの出力逆極性保護

図 8. $V_{OUT} = -24V$ の初期条件および $V_{SN} = 24V$ での出力逆極性フォルトからの回復特性

入力バウンス防止保護

このデバイスには入力バウンス防止保護機能があります。バウンス防止時間 (t_{DEB}) より長い時間、入力電圧が UVLO スレッシュホールドより高くなった場合のみ、デバイスは動作を開始 (内部 nFET をオン) します。 t_{DEB} が経過する前に IN の電圧が UVLO スレッシュホールド未満になった場合は、スイッチはオフのままです。デバイスが UVLO/OVLO 状態を経てオンになるときに、OUT の電圧が既に出力の低電圧トリップ・レベル (V_{UVLO_OUT}) より高い場合には、 t_{DEB} 時間はありません。それは、デバイスが、 V_{UVLO_OUT} より OUT 電圧が高い状態で既にパワーオン・リセット POR 状態から脱しているためです。デバイスが EN を通じてオンになっている場合は、 t_{DEB} 時間は常に存在します。図 9 にバウンス防止の代表的なタイミング図を示します。

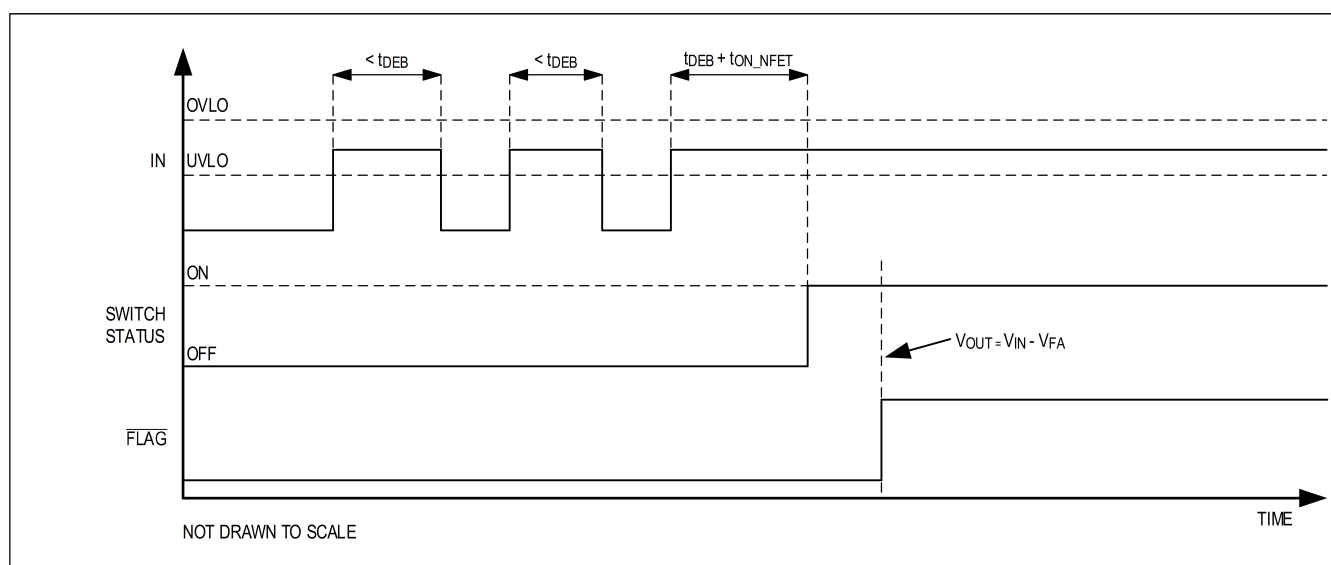


図 9. バウンス防止のタイミング図

有効化

MAX17527A は、接続された負荷への給電を制御するために、イネーブル入力ピン (EN) を使用してオンやオフを行うことができます。ラッチオフ・モードでは、フォルト状態をリセットするために、EN ピンは $30\mu\text{s}$ (代表値) 以上 0.4V 未満となっている必要があります。その後、デバイスは動作を再開します。EN ピンは内部で 1.45V までプルアップされているため、このピンがオープン状態の場合は常時オンの動作を行います。図 10 および図 11 に、EN を用いたターンオン制御およびターンオフ制御を示します。

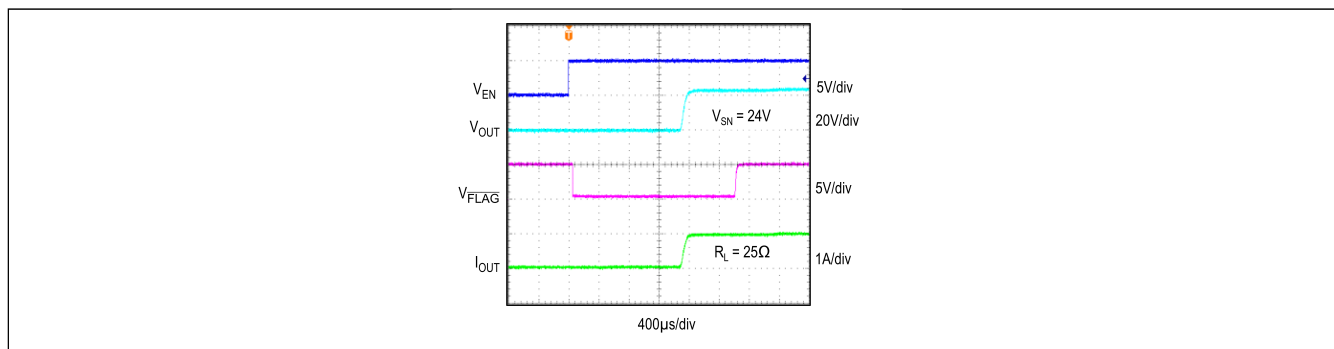


図 10. EN ピンによるターンオン制御

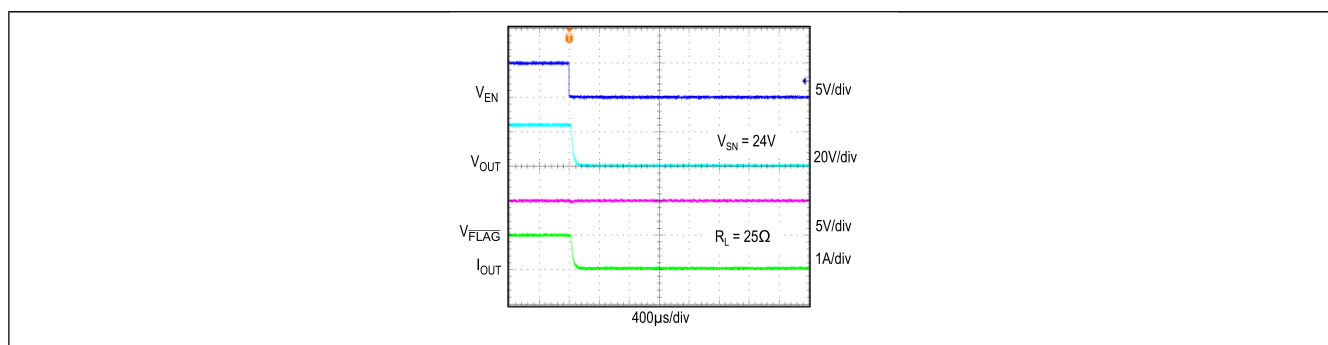


図 11. EN ピンによるターンオフ制御

起動制御

デバイスには、起動初期時間 (t_{STI}) の間に電流を電流制限設定値に継続的に制限する起動シーケンスがあり、スイッチ出力にある大きなコンデンサを短時間で充電できます。デバイスの温度がサーマル・フォールドバック・スレッシュホルド ($T_{J(FB)}$) まで上昇した場合は、デバイスは電流制限モードになります。このモードでは、デバイスはスイッチを流れる電流を熱的にレギュレーションしてデバイス自体を保護すると同時に、選択した電流制限タイプとは無関係に、引き続きできるだけ多くの電流を出力に供給します。出力が起動タイムアウト時間 (t_{STO}) 内に充電されなかった場合、スイッチはオフになり、IN または EN は通常動作を再開するよう「トグル」される必要があります。タイムアウト時間 t_{STO} は、UVLO または OVLO によるターンオフ・イベント後に再起動が行われる場合にも適用されます。出力はこの時間に $(V_{IN} - V_{FA})$ のレベルまで充電されなかった場合は、デバイスはオフになり、IN または EN は、通常動作を再開するために $30\mu\text{s}$ 以上ローになる必要があります。

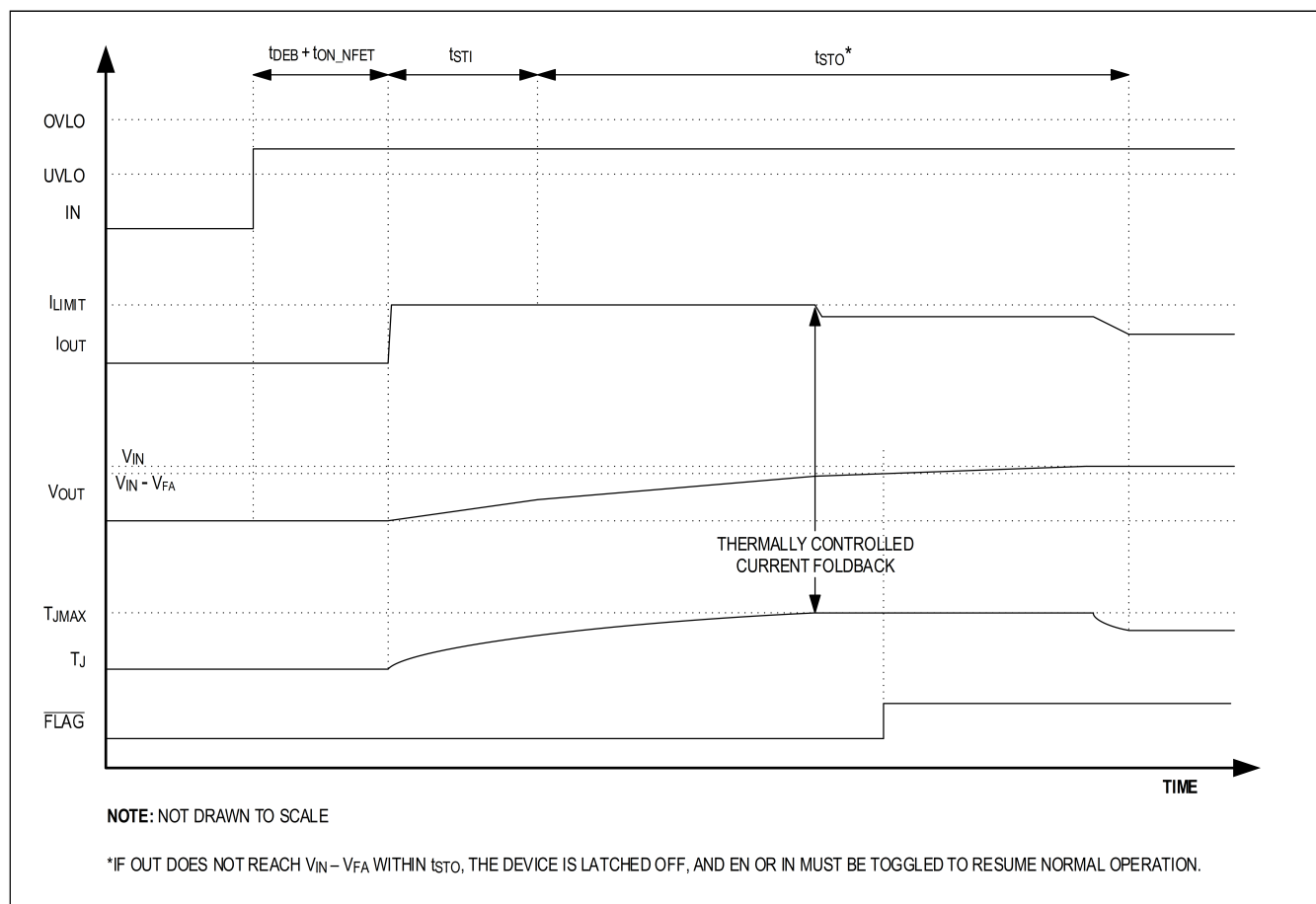


図 12. スタートアップのタイミング図

電流制限スレッシュホールドの設定

デバイスに電流制限スレッシュホールドを設定するには、SETI と GND の間に抵抗を接続します。電流設定抵抗を計算するには次の式を用います。

$$R_{SETI}(k\Omega) = \frac{37500}{I_{LIM}(mA)}$$

ここで、 I_{LIM} は目的の電流制限値で単位は mA です。

6k Ω 未満の R_{SETI} は使用しないでください。表 1 に、様々な抵抗値に対する電流制限スレッシュホールドを示します。

デバイスは、IN ピンに流れ込む電流の読出し値を SETI ピンに出力します。C_{IRATIO} の比を持つ電流ミラーが、電流検出オートゼロ・オペアンプを使用して実装されています。ミラーリングされた電流は、SETI ピンから外付け電流制限抵抗に流れます。SETI ピンの電圧は、次の関係式により IN 電流に関する情報を提供します。

$$I_{IN-OUT}(mA) = \frac{V_{SETI}(V)}{R_{SETI}(k\Omega)} \times C_{IRATIO}$$

表 1. 電流制限スレッシュホールドと SETI 抵抗値の関係

R_{SETI} (k Ω)	CURRENT LIMIT (A)
62.50	0.6
37.50	1.0
25.00	1.5
18.75	2.0
15.00	2.5
12.50	3.0
10.71	3.5
9.37	4.0
8.33	4.5
7.50	5.0
6.82	5.5
6.25	6.0

SETIが無接続のままである場合、 $V_{SETI} \geq 1.5V$ です。電流レギュレータは、いかなる電流も流しません。デバイスは、いつシャットダウン状態が終了するかを SETI ピンでチェックします。SETI ピンに配置された抵抗が 3.2k Ω 未満の場合、スイッチはオフのままになり $\overline{FLAG}$ がアサートされます。図 13 に、負荷ステップ・イベント時の SETI の応答を示します。減衰が最善の測定を行うために、SETI ピンの容量は 30pF までに制限する必要があります。

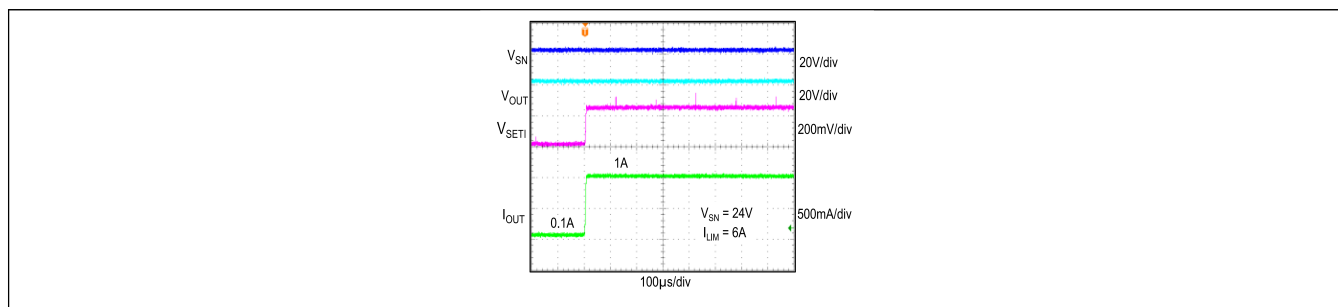


図 13. 負荷ステップ・イベント時の SETI の応答

電流制限機能

MAX17527A には、過負荷フォルトおよび短絡フォルト時に正確な電流制限を行うことができます。デバイスの電流が R_{SETI} 抵抗で設定された電流制限を超えた場合、デバイスは t_{BLANK} の時間、電流値を I_{LIM} にレギュレーションします。その後のデバイス動作は選択した電流制限タイプによって異なります。図 14 に、過負荷状態での MAX17527A の特性を示します。また、図 15 に、自動再試行モードでの過負荷状態からの回復を示します。

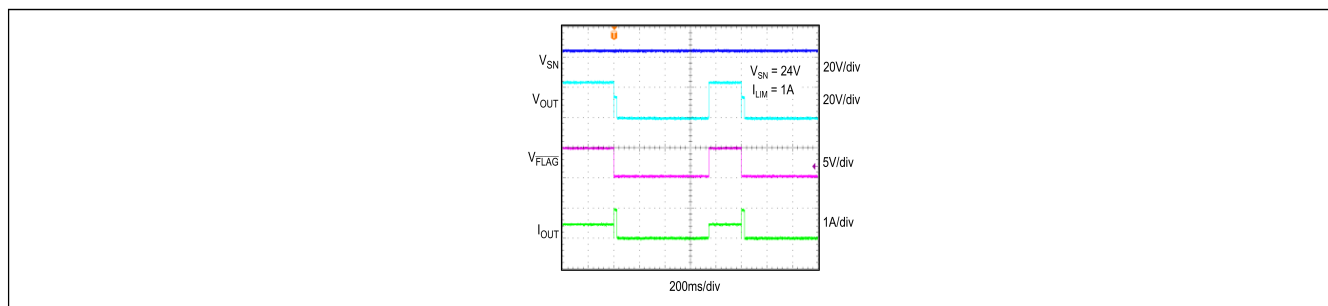


図 14. 自動再試行モードでの過負荷フォルト応答

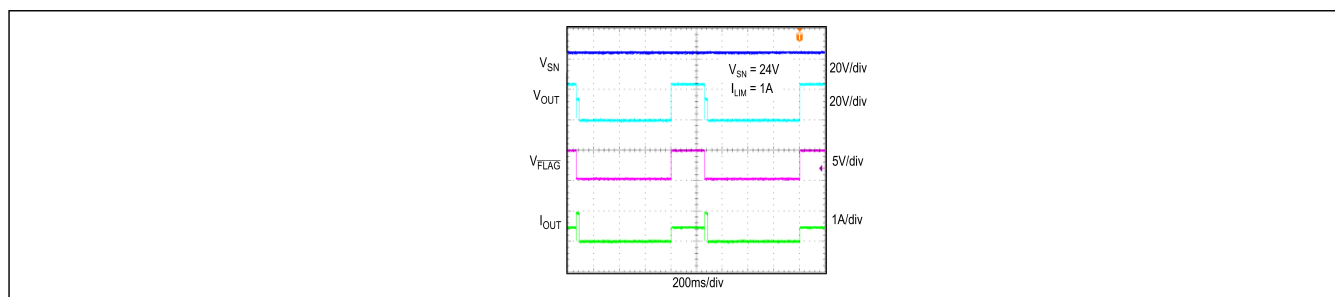


図 15. 自動再試行モードでの過負荷フォルトからの回復応答

電流制限タイプの選択

このデバイスでは、3 種類の電流制限モードが選択できます。パワーアップ時、デバイスはデフォルトで連続モードになり、[起動制御](#)のセクションで説明したプロシージャに従います。デバイスがパワーオンに成功し t_{STO} の時間が経過すると、デバイスは CLMODE ピンの状態をセンシングします。CLMODE ピンは、デバイスの過電流応答を次の 3 つのモードの 1 つに設定するために用いられます。

- 連続モード：CLMODE は無接続のまま
- 自動再試行モード：CLMODE は GND に接続
- ラッチオフ・モード：220k Ω の抵抗を CLMODE と GND の間に接続

連続電流制限

連続電流モードでは、デバイスを流れる電流が電流制限スレッシュホールドに達した場合、デバイスは電流を設定済みの電流制限値に制限します。内部スイッチの電圧降下が V_{FA} を超えると $\overline{FLAG}$ ピンがアサートされ、 V_{FA} を下回るとデアサートされます。[図 16](#) に連続電流制限モードの代表的な動作を示します。

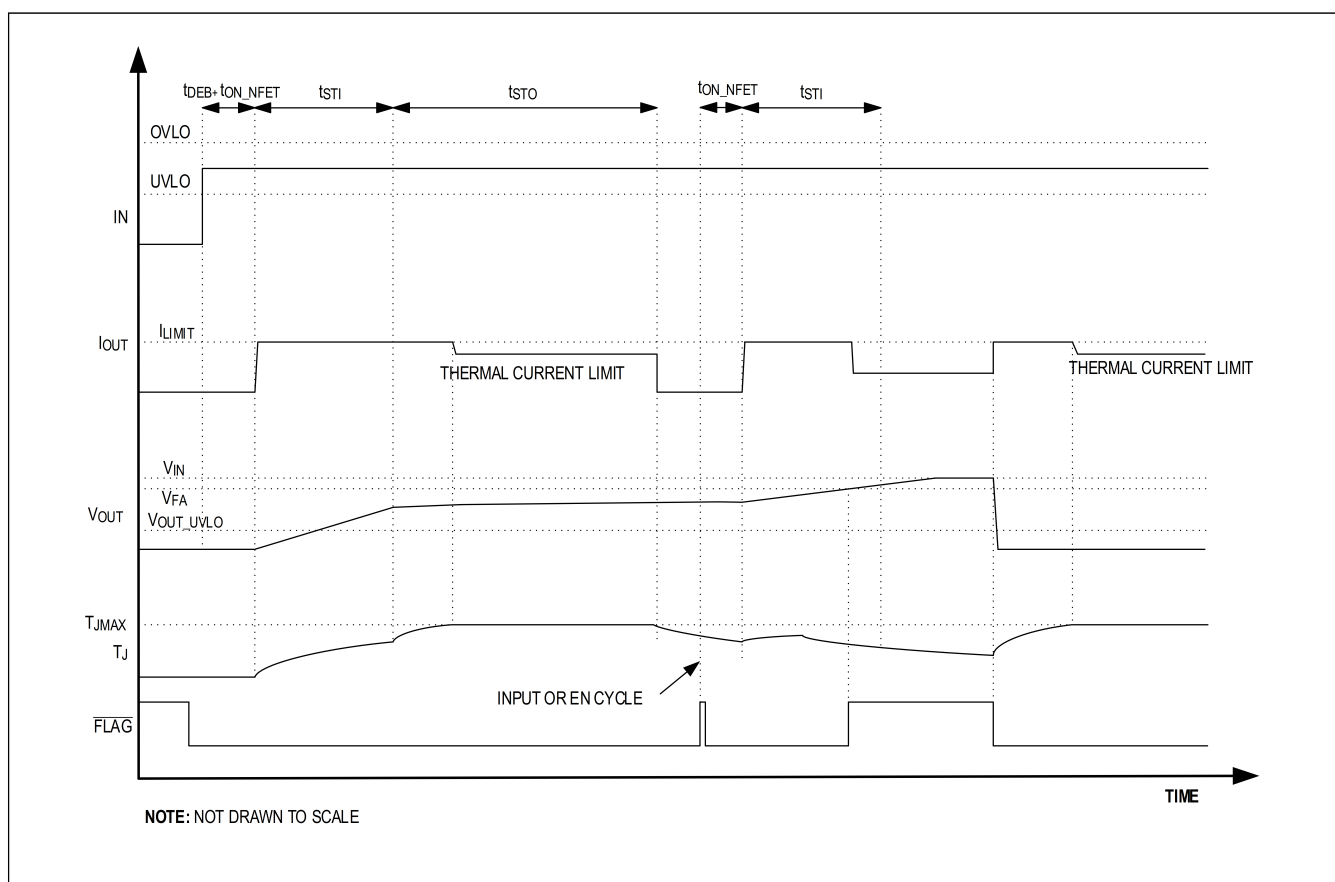


図 16. 連続フォルトのタイミング図

自動再試行電流制限

自動再試行電流制限モードでは、デバイスを流れる電流が電流制限スレッシュホールドに達した場合、 t_{BLANK} タイマーがカウントを開始します。内部スイッチの電圧降下が V_{FA} を超えると $\overline{FLAG}$ ピンがアサートされ V_{FA} を下回るとデアサートされます。 t_{BLANK} の時間が経過する前に過電流状態が解除されるとタイマーはリセットします。 t_{BLANK} の時間過電流状態が続くと、 t_{BLANK} 経過後直ちに、再試行時間遅延 (t_{RETRY}) が開始されます。 t_{RETRY} の間、スイッチはオフのままです。 t_{RETRY} の時間が経過すると、スイッチは再びオンに戻ります。フォルトが依然として存在している場合、このサイクルが繰り返され、 $\overline{FLAG}$ はアサートされたままになります。過電流状態が終了すると、スイッチはオン状態を続けます。

この自動再試行機能により、過電流状態または短絡状態の場合のシステム電力を削減できます。 t_{BLANK} の間スイッチがオンである場合、電源電流は電流制限値に維持されます。 t_{RETRY} の間は、スイッチに電流は流れません。したがって、平均出力電流は、設定された電流制限値よりはるかに小さくなります。平均出力電流は次の式で計算できます。

$$I_{LOAD} = I_{LIM} \left[\frac{t_{BLANK} + t_{STI}}{t_{BLANK} + t_{STI} + t_{RETRY}} \right]$$

24ms (代表値) の t_{BLANK} 、24ms (代表値) の t_{STI} 、720ms (代表値) の t_{RETRY} 、6.25% のデューティ・サイクルを仮定すると、全時間スイッチがオンであった場合と比較して 93.75% の電力削減となります。図 17 に自動再試行電流制限モードの代表的な動作を示します。

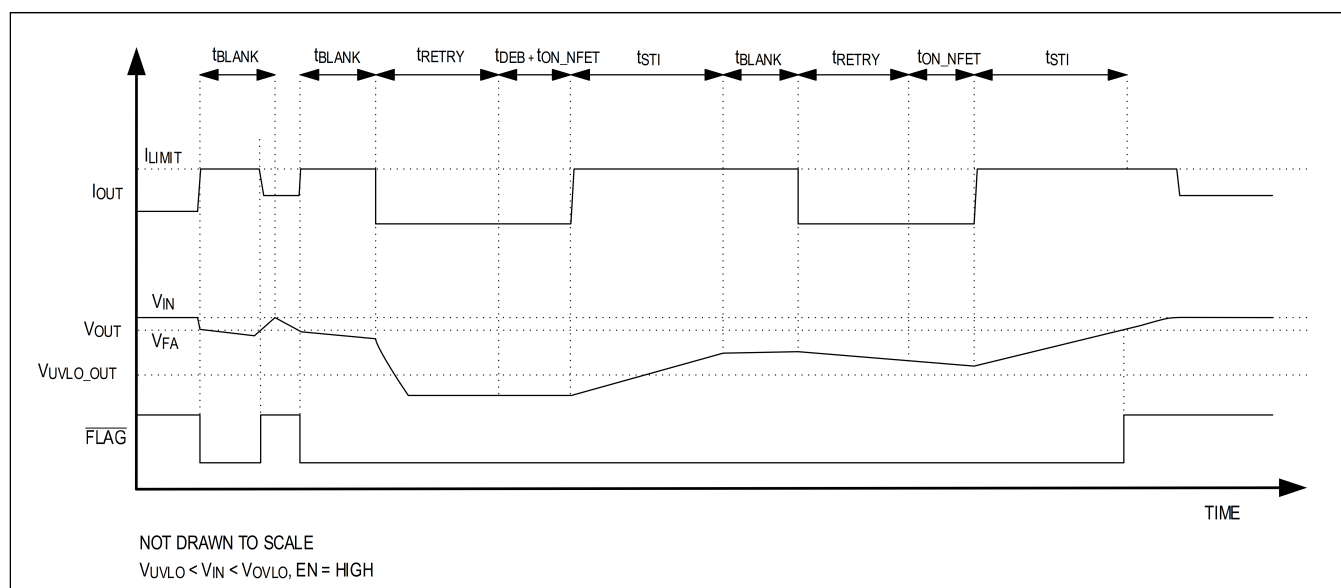


図 17. フォルトのタイミング図

ラッチオフ電流制限

ラッチオフ電流制限モードでは、デバイスを流れる電流が電流制限スレッシュホールドに達した場合、 t_{BLANK} タイマーがカウントを開始します。内部スイッチの電圧降下が V_{FA} を超えると $\overline{FLAG}$ ピンがアサートされ V_{FA} を下回るとデアサートされます。 t_{BLANK} の時間が経過する前に過電流状態が解消するとタイマーはリセットします。過電流状態が t_{BLANK} を超えて継続する場合は、スイッチはオフになりその状態を維持します。スイッチをリセットするには、コントロール・ロジック (EN) を $30\mu s$ (代表値) 以上の間 0.4V 未満に維持するか、入力電圧の投入を繰り返します。図 18 にラッチオフ電流制限モードの代表的な動作を示します。

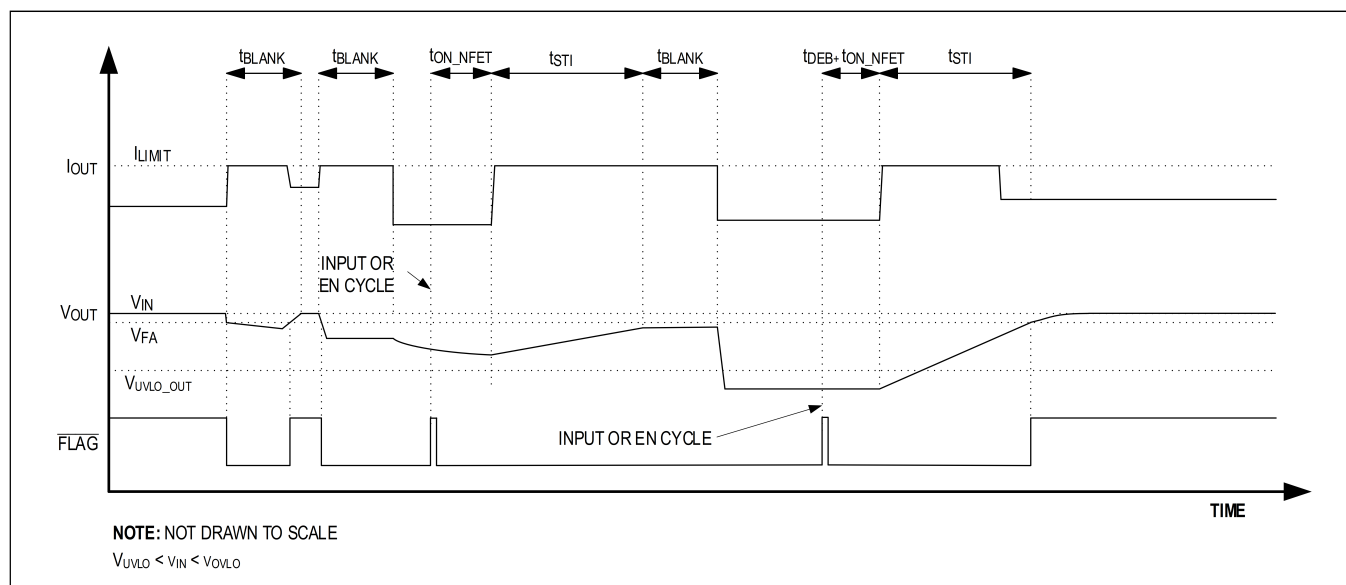


図 18. ラッチオフ・フォルトのタイミング図

短絡保護

出力短絡イベントの間、デバイスを流れる電流は極めて急速に増加します。このデバイスには高速トリップ電流コンパレータが備わっており、出力短絡時のピーク電流を制限できます。内部 nFET を流れる電流が過電流保護スレッショルド (I_{OCP}) を超えると、 $3\mu s$ (t_{DELAY1}) 以内に高速トリップ電流コンパレータが内部 nFET をオフにします。 I_{OCP} は内部で 24A (代表値) に設定されています。 $200\mu s$ (t_{DELAY2}) の時間遅延後、内部 nFET はオン状態に戻り、出力電流を設定された電流制限値に制限し、上述の電流制限モードの各セクションで説明したように動作します。短絡イベント時、外付けの nFET はオンのままです。図 19 および図 20 に、電流が I_{OCP} スレッショルドを超えた場合のシステムの動作を示します。

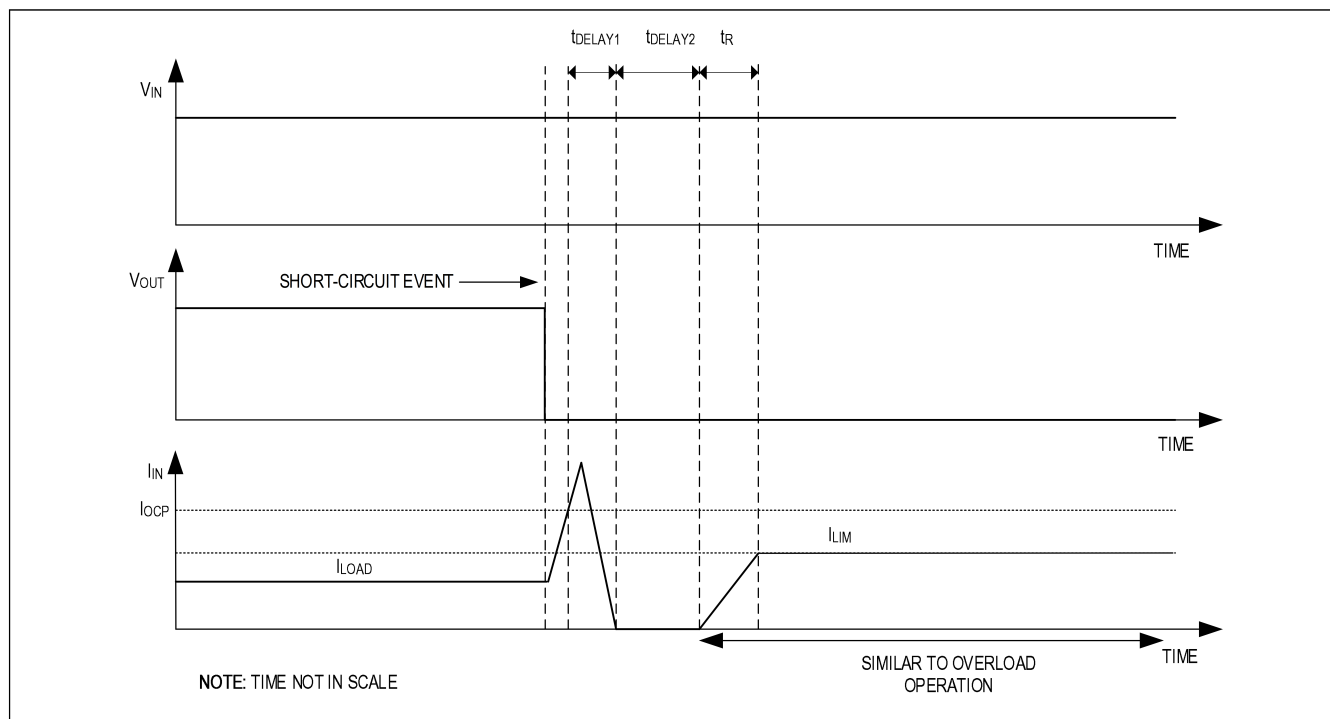


図 19. 高速過電流トリップのタイミング図

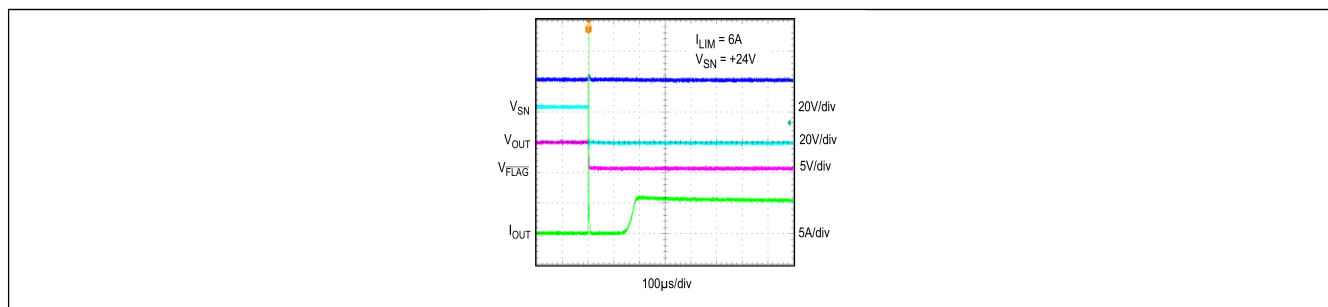


図 20. 短絡応答

逆電流保護

逆電流保護機能は、外付け nFET を用いる場合に有効化されます。デバイスは、OUT ピンから IN ピンへ逆電流が流れることを防止します。

逆電流状態が検出された場合 ($V_{IN} - V_{OUT} < V_{RIB_}$)、外付け nFET はオフになります。逆電流状態が解消されると ($(V_{SN} - V_{OUT}) > V_{RIB_RISING}$) 外付け nFET は $t_{ON_EXTNFET}$ の時間が経過した後オンに戻ります。逆電流状態が唯一のフォルトである場合 (UVLO、OVLO、サーマル・フォルト、順方向過電流フォルトのいずれも存在しない場合) は、内部 nFET はオン状態を維持しますが、それ以外の場合は、内部 nFET もオフになります。図 21 に、低速または高速逆電流状態の代表的な動作を示します。

デバイスには、逆電流保護のための低速 (代表値 17μs) と高速 (代表値 108ns) の応答時間を持つ 2 つの逆電流スレッシュホールドがあります。低速逆電圧のスレッシュホールドは 5.4mV (代表値) で、高速の場合は 100mV (代表値) です。この機能により、ノイズの多い環境でも堅牢な動作が実現できると同時に、入力短絡や出力ピンでのホット・プラグインなどの厳しいフォルトに対する高速保護が可能となります。逆電流状態時には、FLAGピンはアサートされません。

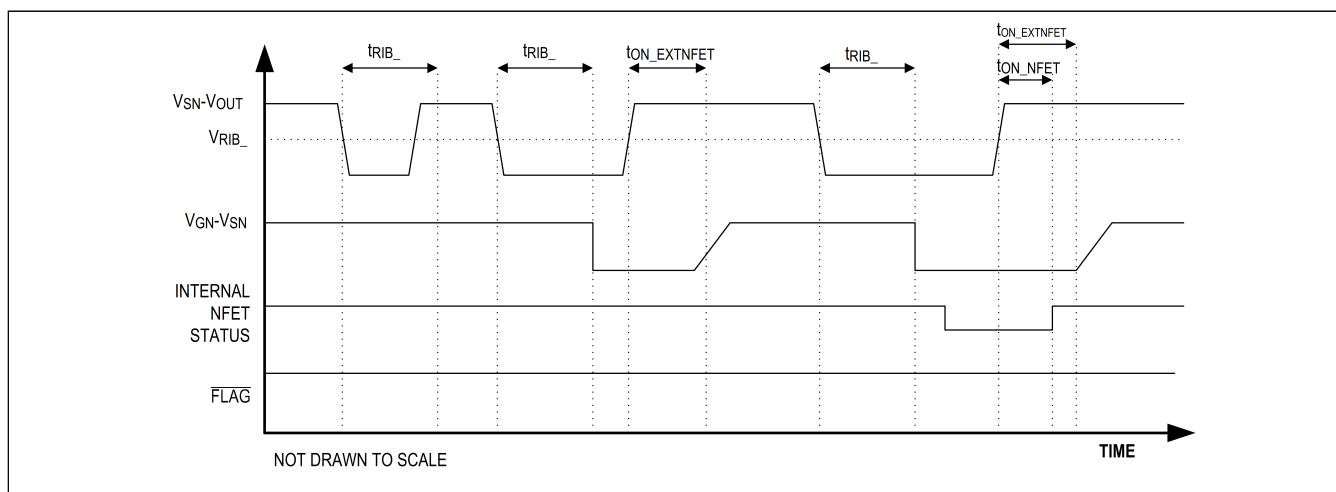


図 21. 逆電流フォルトのタイミング図

電力制限

MAX17527A には独特の電力制限機能があり、これを利用すると電流制限値を外部電圧 (V_{EXT}) に応じて自動的に変更できます。MAX17527A はこの電圧の一部を PLIM ピンでモニタし、SETI ピンの抵抗で設定される電流制限値を次の関係に基づいて動的に調整します。

$V_{PLIM} \leq V_{PLIM_TH}$ の場合、

電流は R_{SETI} で設定される I_{LIM} 値に制限されます

$V_{PLIM} > V_{PLIM_TH}$ の場合、

電流は $\frac{I_{LIM} \times V_{PLIM_TH}}{V_{PLIM}}$ に制限されます。

標準動作回路に示すように構成された抵抗 R_5 および R_6 による抵抗分圧器の分圧比を K と仮定すると、外部電圧源が供給する電力 (P) は上記の基準により以下のように制限されます。

$$V_{PLIM} = V_{EXT} \times K$$

$$P = \frac{V_{EXT} \times I_{LIM} \times V_{PLIM_TH}}{V_{PLIM}}$$

$$\text{したがって、} P = \frac{I_{LIM} \times V_{PLIM_TH}}{K}$$

ここで、 I_{LIM} 、 K 、 V_{PLIM_TH} は本質的には一定ですが、設計によって決まる許容誤差が含まれます。デバイスは、 $V_{PLIM_TH} < V_{PLIM} < 3 \times V_{PLIM_TH}$ の範囲で $\pm 7\%$ の電力制限精度を持つよう設計されています。この電圧範囲は、外部電圧 (V_{EXT}) の変動幅の 3 倍の大きさとなっています。

出力電力制限値 (P) の設計条件が 100W であることと電流制限値が 4A であることを考慮してください。

抵抗分圧比 K は次のように計算できます。

$$K = \frac{R_6}{R_6 + R_5} = \frac{I_{LIM} \times V_{PLIM_TH}}{P}$$

ここで、 $V_{PLIM_TH} = 0.8$ です。 R_6 が $10k\Omega$ とすると、 R_5 の計算値は $301k\Omega$ となります。

入力電力を制限するアプリケーションでは、 V_{IN} は V_{EXT} に等しく、PLIM の抵抗分圧器は電流制限値が減少し始める入力電圧を決定するよう設定されます。この電圧を設定し、最大電流制限値を設定することで、そのアプリケーションの最大「入力電力制限」が設定されます。電流制限値は、 V_{EXT} に等しい V_{OUT} を用いることで出力電圧に応じて動的に変更することもできます。この機能には「出力電力制限」機能が備わっており、この機能によって、過剰な電力消費による熱的な制限がない限り、より大きな出力電流を供給し、「給電停止」後に入力電力が回復した後に生じる低出力電圧状態での出力リザーバ・コンデンサを充電することができます。この電力制限機能は、PLIM ピンを GND に接続することで無効化できます。PLIM の簡略化したブロック図を図 22 に示します。図 23 に 100W クラス 2 の出力電力制限応答を示します。

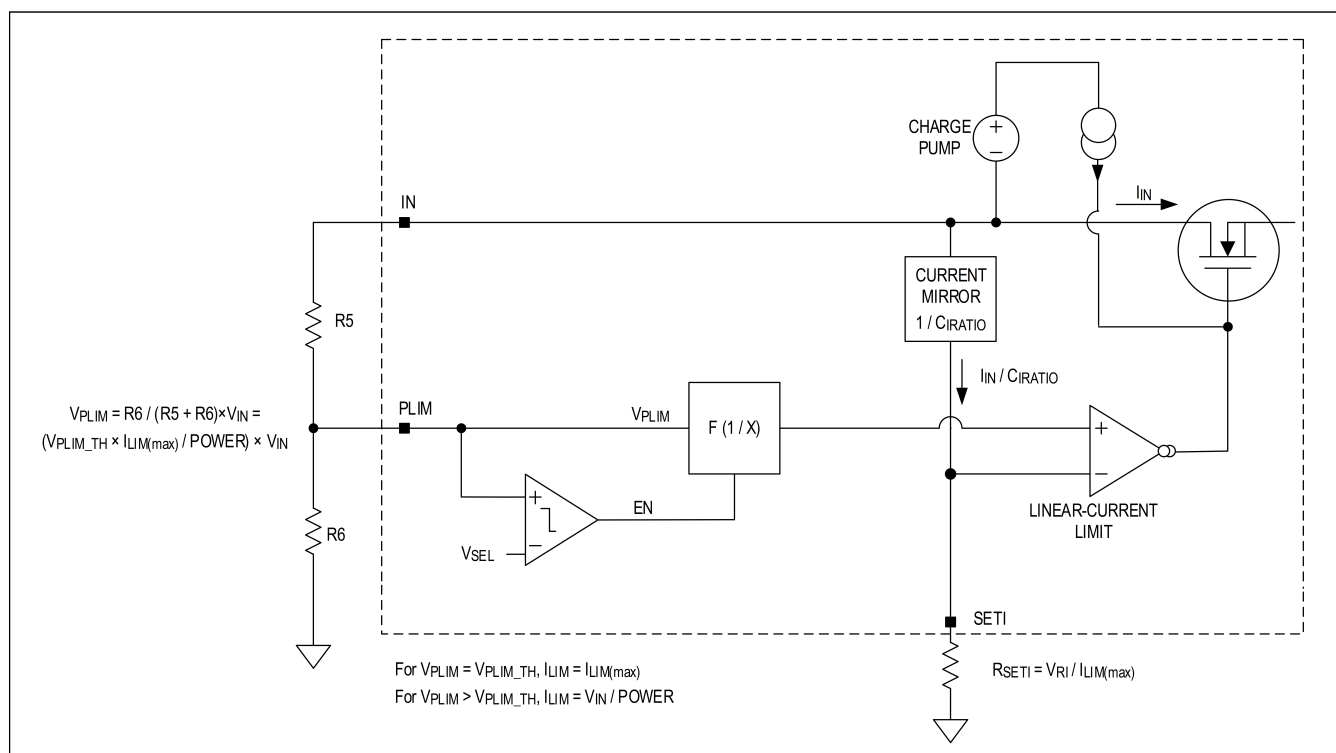


図 22. 電力制限回路

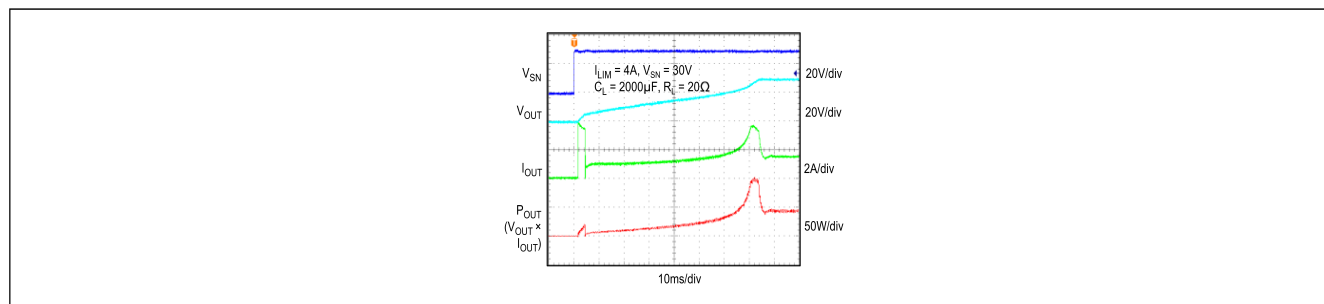


図 23. 100W クラス 2 出力電力制限

フォルト出力

デバイスは、オープンドレインのフォルト・インジケータ出力 ($\overline{FLAG}$) を備えています。この出力には DC 電源との間に外付けプルアップ抵抗を接続する必要があります。下記のいずれかの状態が生じると、 $\overline{FLAG}$ はローになります。

- $V_{IN} - V_{OUT} > V_{FA}$
- ダイ温度が +165°C を超過
- R_{SETI} が 3.2kΩ (最大値) 未満
- 入力電圧が UVLO スレッシュホールド未満
- 入力電圧が OVLO スレッシュホールドを超過

MAX17527A

OV、UV、逆極性、接地喪失に対する
保護機能を備えた 5.5V~60V、6A 電力リミッタ

表 2 に nFET の状態と各種フォルト状態を示します。FLAGピンには 60V の許容値もあるため、オープンドレインがオンの場合、このピンには電流が 4mA を超えた場合にオープンドレインをオフにする電流保護機能が備わっています。その後、フォルト状態が最初の状態に戻るとオープンドレインはオン状態に戻ります。

表 2. フォルト時の nFET のステータス

CONDITION	INTERNAL nFET STATUS	EXTERNAL nFET STATUS	FLAG STATUS
No Fault	ON	ON	HIGH
UVLO	OFF	OFF	LOW
OVLO	OFF	OFF	LOW
Reverse Current with No Other Fault	ON	OFF	HIGH
Overcurrent Protection (I _{OC} , 24A)	OFF	OFF	LOW
Thermal Shutdown	OFF	OFF	LOW
SETI Grounded*	OFF	OFF	LOW
V _{IN} - V _{OUT} > V _{FA}	X**	X**	LOW

*この状態は最初のパワーオン時にのみチェックされます。
**この状態での nFET のステータスは、タイミングおよび選択した電流制限モードによって異なります。

接地喪失

このデバイスは、接地喪失イベント時に、内部 nFET および外付け nFET をオフにして負荷を保護します。接地喪失イベントは、システム制御のグランド・リファレンスと MAX17527A 周辺の IC グランド・ネットワークの間の断線が原因となる場合があります。この機能があることで、接地喪失イベントから保護するための外部回路を追加する必要がなくなります。信号ピン（EN、SETI、FLAG）を保護するには部品を追加する必要があります。図 24 に接地喪失イベント時の代表的な動作を示します。

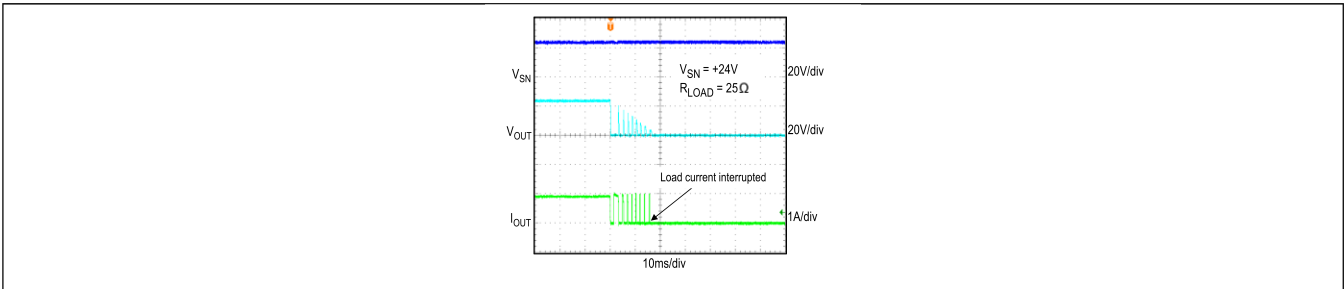


図 24. 接地喪失時の負荷電流の瞬時低下

サーマル・シャットダウン保護

このデバイスには、サーマル・フォールドバック電流制限制御機能の他、加熱から保護するためのサーマル・シャットダウン機能があります。ジャンクション温度が 150°C（代表値）に達すると、電流制限値が内部で低下し、これによって内部 nFET の消費電力を低減させ、ジャンクション温度を約 150°C にレギュレーションします。ジャンクション温度が 165°C（代表値）を超える過酷な状況の場合は、デバイスがオフになり、FLAGピンをアサートします。ジャンクション温度が 10°C（代表値）低下するとデバイスはサーマル・シャットダウンを終了し通常動作を再開します。ただし、ラッチオフ・モードの場合は、デバイスはラッチオフ状態を維持します。

サーマル・シャットダウンの動作は電流制限と同じです。自動再試行モードでは、サーマル・シャットダウンは自動再試行タイマーと連携します。ジャンクション温度が立下がりサーマル・シャットダウン・スレッシュホールド未満になると、デバイスは t_{RETRY} の時間後にオンになります。ラッチオフ・モードでは、入力電力が再投入されるか EN ピンがトグルされるまで、デバイスはラッチオフします。連続モードでは、温度が制限値を超えた場合デバイスはオフになるだけで、温度が立下がりサーマル・シャットダウン・スレッシュホールドに達すると、t_{DEB} の時間後にオンに戻ります。過熱保護にはブランキング時間はありません。図 16、図 17、図 18 に、各種電流制限モードでの代表的な動作を示します。

アプリケーション情報

IN コンデンサ

負荷電流の突然の変動時に入力電圧を維持するために、IN ピンと GND の間に 1μF のコンデンサを接続することを推奨します。

IN 端子でのホット・プラグイン

多くの電力アプリケーションでは、放射エミッションを低減し ESD 能力を強化するために入力フィルタリング・コンデンサが必要です。ホット・プラグイン・アプリケーションでは、活線ケーブルが入力端子に接続された場合に、この入力コンデンサと共に寄生ケーブル・インダクタンスがオーバーシュートとリングングの原因となります。

この効果により、保護デバイスにはほぼ 2 倍の電圧が印加されます。こうした状態からシステムを保護するために、工業用アプリケーションでは多くの場合、電圧トランジェント圧縮 (TVS) が用いられます。保護能力を高めるには、サージ電圧を最大 60V に制限できる TVS を入力端子の近くに配置する必要があります。

入力ハード地絡

多くのシステム・アプリケーションでは入力短絡保護が必要です。このデバイスは、逆方向電流が OUT ピンに流入し IN ピンから流出するのを検知し、外付け nFET をオフにします。逆方向電流の大きさは、入力回路のインダクタンスと IN ピン近くに配置された容量によって異なります。

瞬時電圧低下応答

MAX17527A には、入力電源ブラウンアウト・テスト時の瞬時電圧低下からの高速回復機能があります。ブラウンアウト・フォルトからの回復時、デバイスは、内部 nFET をオンにするのに 200μs (代表値)、外付け nFET をオンにするのに 1.2ms (代表値) を要します。図 25 に、MAX17527A の瞬時電圧低下と回復応答の特性を示します。

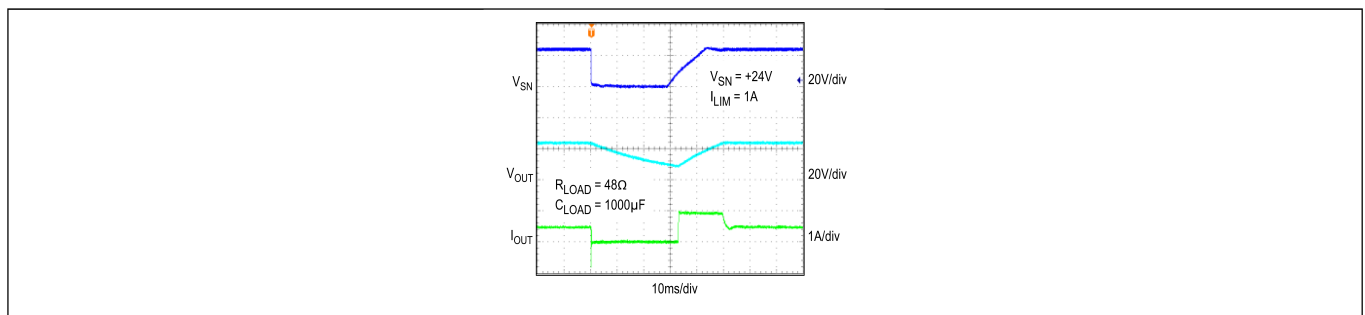


図 25. 瞬時電圧低下と回復応答

OUT コンデンサ

接続可能な最大コンデンサ負荷 (C_{MAX}) は、電流制限設定値 (I_{LIM} (A))、起動初期時間 (t_{STI} (ms))、起動タイムアウト (t_{STO} (ms))、入力電圧の関数です。 C_{MAX} は次の関係式を用いて計算できます。

$$C_{MAX}(mF) = I_{LIM}(A) \times \left(\frac{t_{STI}(ms) + t_{STO}(ms)}{V_{IN}(V)} \right)$$

例えば、 $V_{IN} = 24V$ 、 $t_{STO}(typ) = 1200ms$ 、 $t_{STI}(typ) = 24ms$ 、 $I_{LIM} = 3A$ の場合、 C_{MAX} は 153mF です。

出力コンデンサ値が C_{MAX} を超えると、過電流状態を誤ってトリガする可能性があります。なお、上の式では、OUT ピンからは負荷電流が流れていないことを前提としている点に注意してください。引き出される負荷電流はすべてコンデンサの充電電流をオフセットするため充電時間が長くなり、それによって過電流状態を誤判定する可能性が生じます。

実際のアプリケーションでは、 C_{MAX} の値は PCB の熱性能によって制限されます。熱設計が不十分な場合、デバイスのサーマル・フォールドバック電流制限が必要以上に早く開始され、充電可能な最大容量が更に制限されることになる可能性があります。そのため、大きなコンデンサ・バンクを充電するには PCB の良好な熱設計が必須です。

OUT 端子でのホット・プラグイン

アプリケーションによっては、入力電圧の有無に関わらず、デバイスの OUT 端子に外部電圧を印加する可能性があります。こうした条件下では、デバイスは、逆方向電流が OUT ピンに流入し IN ピンから流出するのを検知し、外付け nFET をオフにします。外部電圧が OUT 端子に印加された場合に、入力コンデンサおよび出力コンデンサと共に寄生ケーブル・インダクタンスがオーバーシュートとリングングの原因となります。これにより、デバイスに最大 2 倍の電圧が印加されることになり、デバイスを損傷させる可能性があります。各ピンの電圧が絶対最大定格を超えることのないように過電圧を維持することを推奨します。

誘導性ハード地絡に備える OUT クランピング・ダイオード

誘導性負荷や長いケーブルがあり、突然の地絡からの保護を要するアプリケーションには、出力クランプを推奨します。このクランプは、標準動作回路のセクションに示すように、TVS とダイオードを備えています。これは、出力短絡イベント時の誘導性キックバックによる OUT ピンの負方向のスパイクを安全な動作領域にクランプするために必要なものです。V_{INMAX} の最大入力電圧に対する TVS の負の最大クランピング電圧は、IN ピンと OUT ピンの間の電圧が 60V を超えることのないようにするため、(60 - V_{INMAX})V に制限されます。

レイアウトと放熱

出力短絡状態に対するスイッチ応答を最高のものにするには、すべてのパターンをできるだけ短くして不要な寄生インダクタンスによる影響を低減することが重要です。入力コンデンサと出力コンデンサをデバイスのできるだけ近く (5mm 以下) に配置します。IN と OUT は、幅広で短いパターンを用いて電力バスに接続する必要があります。定常状態での動作では、消費電力は一般的に小さく、パッケージの温度変化は通常、最小限に抑えられます。PCB レイアウト設計では、次の 2 つの課題を満足する必要があります。つまり、(a) 入力および出力バスでの大電流、および (b) 放熱です。4 層構成では FR4 アイソレータ上に 70μm の銅を用いることを推奨します。レイヤ・スタックは上から順に、トップ (ルーティング)、GND (プレーン)、電力 (プレーン、V_{OUT} に接続)、ボトム (ルーティング) とすることが必要です。IC は、GND プレーンへのビアを 5 個以上備えた 2.54mm × 2.54mm 以上の面積の露出パッドに実装します。ビアは直径が 0.8128mm、メッキ・ホールが 0.4064mm とする必要があります。ホールのメッキは 17.5μm 以上の銅を用います。4 層すべての上に 25.4mm × 25.4mm 以上の面積の銅プレーンを設けてください。内層プレーンは FR4 アイソレーションのために放熱にはそれほど寄与しませんが、電気的な観点から重要であるという点を忘れないことが重要です。可能であれば、トップとボトムの銅領域ははんだマスクが付かないようにしてください。それによって放熱が大幅に向上します。同様の面積銅領域を OUT ピンに直接接続します。この場合も 25.4mm × 25.4mm の大きさを推奨します。電流バス条件に対しては過大であるように思われるかもしれませんが、放熱には必須です。熱は内部 nMOS パス FET のドレイン・ジャンクションで発生し、この熱が 5 個の OUT ピンを通じて除去され、同じ銅領域で放散される必要がある点に注意してください。

5 個すべての IN ピンは 3.8mm 以上の幅の銅領域に接続します。70μm の銅を用いるとこの条件は 2.54mm に緩和されます。外付け nMOS パス FET (ソースを IN ピンに接続) を用いる場合、ソース接続にはこれと同じ幅の銅領域を用いる点に注意してください。IN ピンと OUT ピンにデカップリング・コンデンサを配置する場合は特別な注意が必要です。IC ピンのできるだけ近くに接続しようとすると、上述の最小パターン幅条件と競合する可能性があります。リターン負荷電流は IC を流れないことに注意することが重要です。そのため、入出力のグラウンド・パターンと同じかそれ以上の幅を持つ外部グラウンド・パターンを用意することが重要です。GND プレーンを使用することを推奨します。入力グラウンドと出力グラウンドを、それぞれ 4 個以上のメッキ・ビアを用いてこのプレーンに接続してください。ビアの直径は 2.1336mm (正方形の場合は、1.524mm × 1.524mm)、メッキ・ホールは 0.889mm とします。

ESD 保護

IN での $\pm 2\text{kV}$ （代表値）（HBM）ESD にはコンデンサは不要です。すべてのピンに $\pm 2\text{kV}$ （HBM）ESD の保護があります。外付け nFET を用いるアプリケーションでは、[IN コンデンサ](#)のセクションを参照してください。

[図 26](#) に人体モデルを示します。また、[図 27](#) に低インピーダンスへの放電時に生成される電流波形を示します。このモデルは、目的の ESD 電圧に充電され、 $1.5\text{k}\Omega$ の抵抗を通じてデバイスに放電する 100pF のコンデンサで構成されています。

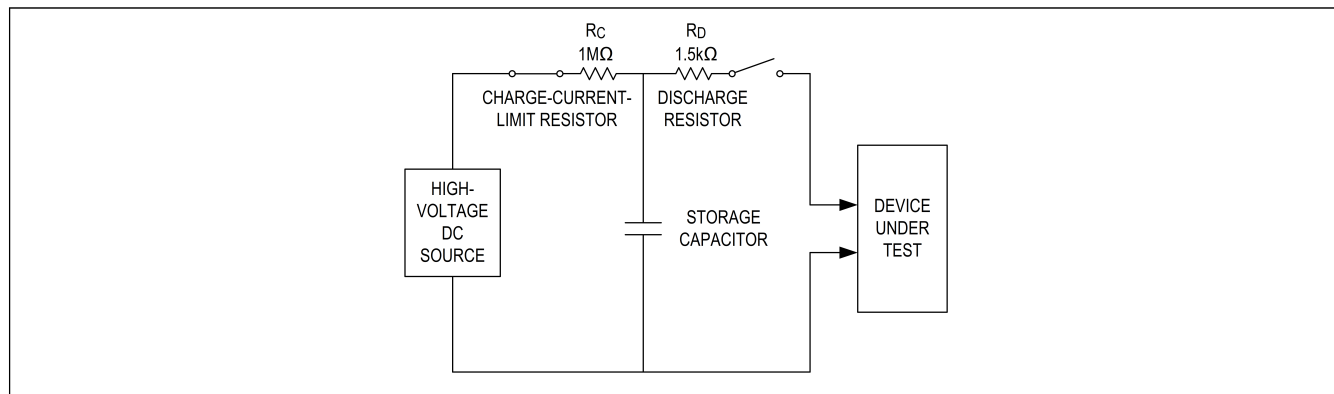


図 26. 人体 ESD テスト・モデル

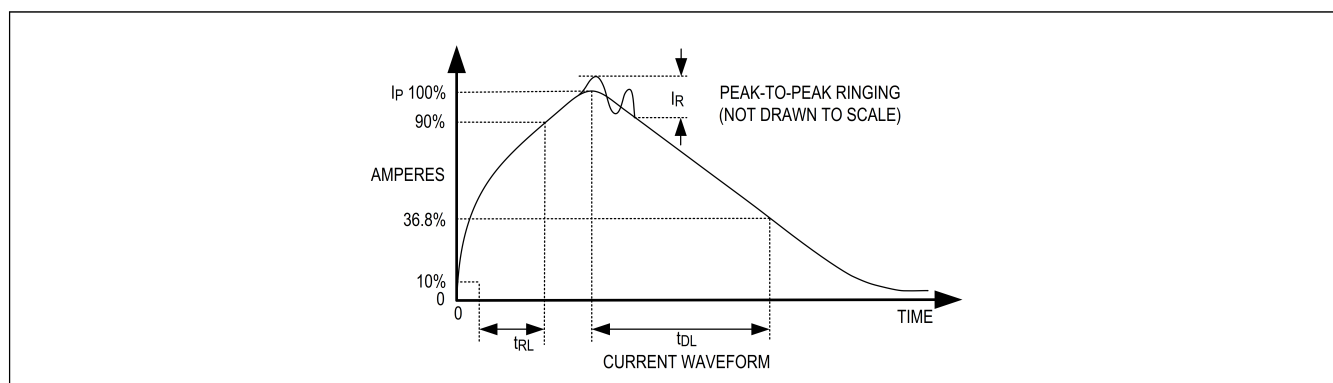
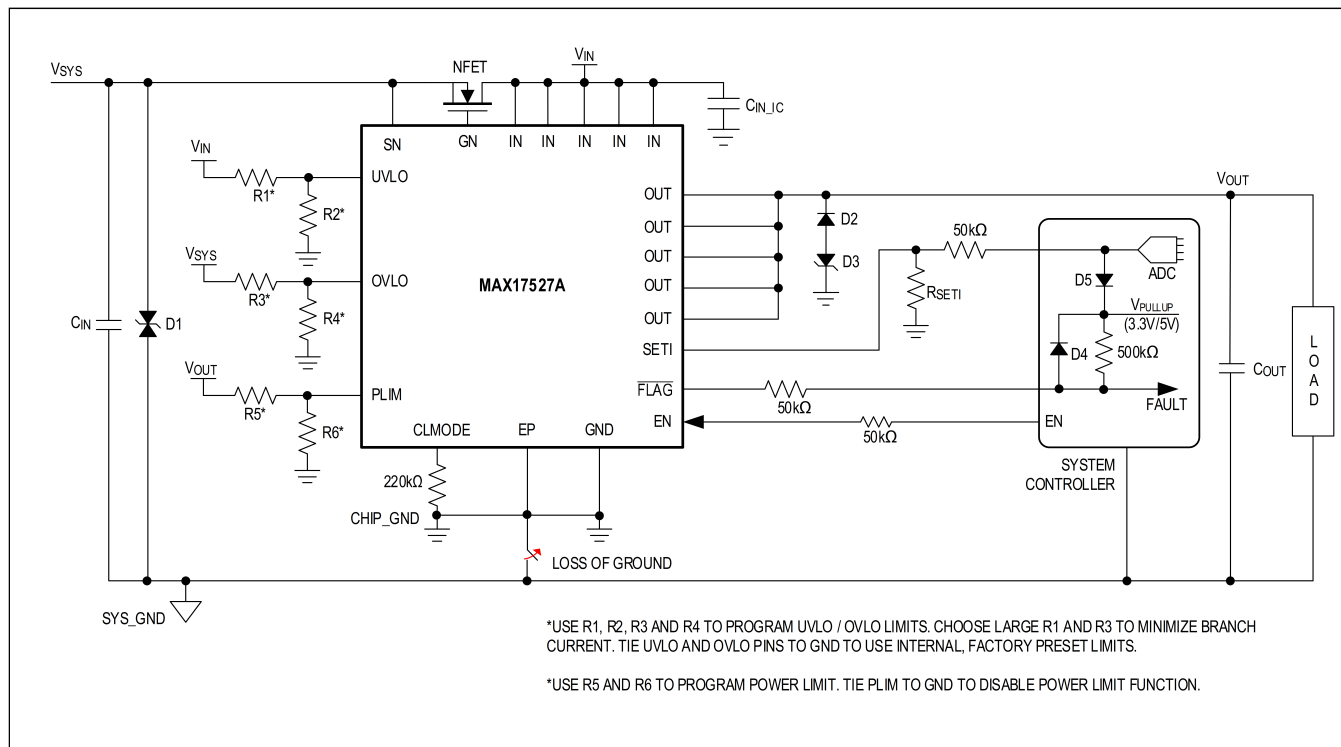


図 27. 人体電流波形

標準動作回路



オーダー情報

PART	TEMP RANGE	PIN-PACKAGE
MAX17527AATP+	-40°C to +125°C	20 TQFN-EP*
MAX17527AATP+T	-40°C to +125°C	20 TQFN-EP*

+は鉛 (Pb) フリー/ROHS 準拠のパッケージであることを示します。

T = テープ & リール。

*EP = 露出パッド。

改訂履歴

版数	改訂日	説明	改訂ページ
0	11/22	市場投入のためのリリース	—