正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 20 日
製品名： MAX17614
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：2 ページ、3 ページ、4 ページ、5 ページ　各スペックの表の最上段、条件の文

【誤】
…V_{IN} = V_{IN} = +4.5V～+60V…

【正】
…V_{IN} = +4.5V～+60V…

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋1-9-1
東京汐留ビルディング23F

大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー

日本語参考資料
最新版英語データシートはこちら

ANALOG DEVICES

MAX17614

電流制限、低電圧保護、過電圧保護内蔵の 4.5V～60V、3A、理想ダイオード／電源セレクタ

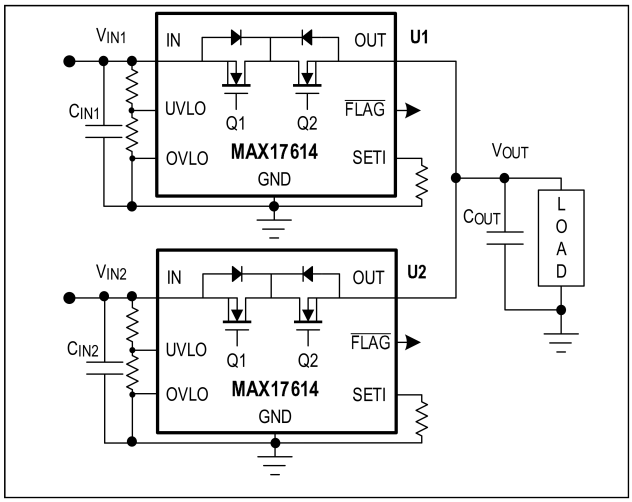
製品のハイライト

- 理想ダイオード動作
  - 高速逆電流ブロック保護（140ns）
  - シームレスな電源切り替え
- 堅牢な保護機能によりシステムのダウンタイムを低減
  - 広い入力電源範囲：+4.5V～+60V
  - ホット・プラグイン耐性があり、35V の入力電源までトランジェント電圧抑制回路（TVS）不要
  - −65V までの逆電圧耐性
  - 低 R_{ON}：130mΩ（代表値）
  - サーマル・シャットダウン保護
  - プログラマブルな立上がりブランキング時間
  - −40ºC～+125ºC の拡張温度範囲
- 柔軟な設計オプションにより設計の再利用が可能で適格性再確認の必要性が減少
  - 調整可能な入力低電圧ロックアウト（UVLO）と過電圧ロックアウト（OVLO）スレッショルド
  - プログラマブルな順方向電流制限：全温度範囲にわたり、0.15A～0.3A の範囲は+3.6%/−3.3%精度、0.3A～3A は ±3.3%精度
  - プログラマブルな電流制限フォルト応答：自動リトライ・モード、連続モード、ラッチオフ・モード
  - 内蔵のフォルト提示信号：UVOV および$\overline{\text{FLAG}}$
- 基板スペースを節約し、外付けの部品数を削減
  - 20 ピン TQFN-EP パッケージ（4mm × 4mm）
  - 内蔵の対向 nFET ペア

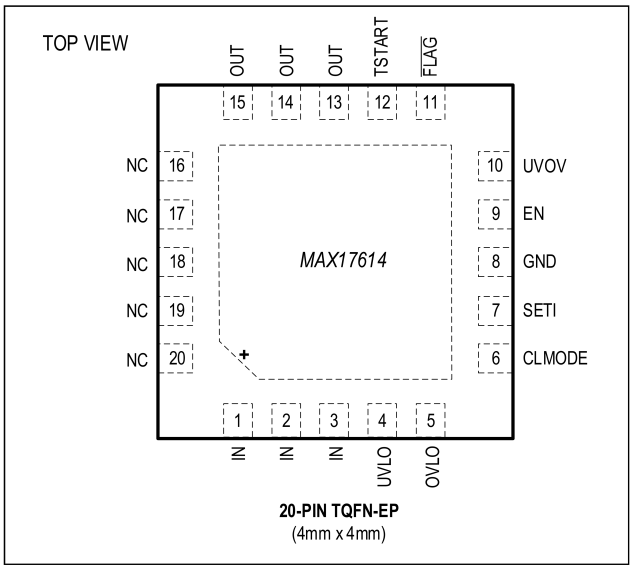
主なアプリケーション

- ソリューション・サイズ全体の小型化
  MAX17614 は nFET ペアを組み込んでいるため、空間の制約が厳しい機器に向けて最大 40%ソリューション・サイズの小型化が可能です。アプリケーションには理想ダイオード機能と電源セレクタが含まれており、複数の電源から負荷に電力を供給する必要がある最終製品に使用できます。
- 高速応答時間
  フォルト解消応答時間が高速であるため、最終機器の入力電源が高優先度の電源とバックアップ電源の間で切り替わるような、優先度付き電源セレクタのアプリケーションに対し、MAX17614 では、出力ホールドアップ・コンデンサのサイズを最大 50%縮小できます。
- 厳密な電流制限精度
  バッテリ駆動の電子機器やバッテリ・チャージャでは、過電流フォルトからの保護のため、厳密な精度の電流制限が必要です。MAX17614 の電流制限精度は±3.3%と厳密なので、こうしたアプリケーションに対して安定した過電流保護が可能です。

簡略アプリケーション回路図



端子説明



オーダー情報はデータシート末尾に記載されています。

©2023 Analog Devices, Inc. All rights reserved.　商標および登録商標は各社の所有に属します。

19-101707 Rev 0; 04/23

本　　社／〒105-7323 東京都港区東新橋 1-9-1　東京汐留ビルディング 23F
大　阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F

絶対最大定格

IN～GND ..... −70V～+65V
IN～OUT ..... −65V～+65V
OUT～GND ..... −0.3V～+65V
UVLO、OVLO～GND ..... −0.3V～(max(V_{IN}, V_{OUT}) + 0.3)V
EN、CLMODE、TSTART～GND ..... −0.3V～+6.0V
UVOV、$\overline{FLAG}$～GND ..... −0.3V～+6.0V
IN 電流（DC） 3.3A
SETI～GND（Note 1） ..... −0.3V～+1.6V
連続消費電力（T_A = +70ºC、+70ºC を超えると 30.3mW/ºC でディレーティング） 2424.2mW
動作温度範囲（Note 2） ..... −40°C～+125°C
ジャンクション温度範囲 ..... −40°C～+150°C
保存温度範囲 ..... −65°C～+150°C
リード温度（ハンダ処理、10 秒） ..... +300°C

Note 1 : SETI 端子は内部でクランプされています。この端子に 5mA を超える電流をかけると、デバイスを損傷する可能性があります。

Note 2 : ジャンクション温度が+125ºC より高くなると動作寿命が短くなります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

PACKAGE TYPE: 20 TQFN	
Package Code	T2044+4C
Outline Number	21-100172
Land Pattern Number	90-0409
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ_{JA})	33°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	2°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、https://www.analog.com/jp/design-center/packaging-quality-symbols-footprints/package-index.html で確認してください。パッケージ・コードの「+」、「#」、「−」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、https://www.analog.com/jp/technical-articles/thermal-characterization-of-ic-packages.html を参照してください。

電気的特性

（特に指定のない限り、V_{IN} = V_{IN} = +4.5V～+60V、V_{UVLO} = 1.8V、V_{OVLO} = 1V、R_{SETI} = 1.5kΩ、C_{IN} = 1µF、C_{OUT} = 0.47µF、EN = TSTART = CLMODE = OUT = $\overline{FLAG}$ = UVOV = 未接続、T_A = −40ºC～+125ºC。代表値は V_{IN} = +24V、T_A= +25ºC での値です。電圧は全て、特に指定のない限り GND を基準としています。（Note 3））

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IN Voltage Range	V_{IN}		4.5		60	V
Shutdown Input Current	I_{SHDN}	V_{EN} = 0V		33	75	µA
Shutdown Output Current	I_{OFF}	V_{EN} = 0V, V_{OUT} = 0V	-10			µA
Reverse Input Current	I_{IN_RVS}	V_{IN} = -60V, V_{OUT} = 0V	-100	-58		µA
Supply Current	I_{IN}	V_{IN} = 24V		1.02	1.35	mA
Internal Undervoltage Trip Level	V_{INT_UVR}	V_{IN} rising	3.46	4.20	4.50	V
	V_{INT_UVF}	V_{IN} falling	3.20	3.46	4.00	
UVLO Threshold	V_{UVR}	V_{UVLO} rising	1.47	1.50	1.53	V
	V_{UVF}	V_{UVLO} falling	1.42	1.45	1.48	

（特に指定のない限り、V_{IN} = V_{IN} = +4.5V～+60V、V_{UVLO} = 1.8V、V_{OVLO} = 1V、R_{SETI} = 1.5kΩ、C_{IN} = 1µF、C_{OUT} = 0.47µF、EN = TSTART = CLMODE = OUT = $\overline{FLAG}$ = UVOV = 未接続、T_A = −40ºC～+125ºC。代表値は V_{IN} = +24V、T_A= +25ºC での値です。電圧は全て、特に指定のない限り GND を基準としています。（Note 3））

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OVLO Threshold	V_{OVR}	V_{OVLO} rising	1.47	1.50	1.53	V
	V_{OVF}	V_{OVLO} falling	1.42	1.45	1.48	
UVLO, OVLO Leakage Current	I_{LEAK}	V_{UVLO} = V_{OVLO} = 0 to 2V	-100		+100	nA
OVLO Adjustment Range		(Note 4)	5.5		60	V
UVLO Adjustment Range		(Note 4)	4.5		59	V
INTERNAL FETs						
Internal FETs On-Resistance	R_{ON}	I_{LOAD} = 100mA, V_{IN} > 8V, T_J = +25°C		130	155	mΩ
		I_{LOAD} = 100mA, V_{IN} > 8V, T_J = +85°C			200	
		I_{LOAD} = 100mA, V_{IN} > 8V, -40°C ≤T_J ≤ +125°C			230	
Current Limit Adjustment Range	I_{LIM}	(Note 5)	0.15		3	A
Current Limit Accuracy		0.15A ≤ I_{LIM} ≤ 0.3A (Note 7)	-3.3		+3.6	%
		0.3A ≤ I_{LIM} ≤ 3A (Note 7)	-3.3		+3.3	
Overcurrent Protection Threshold	I_{OCP}	(Note 6)	4.0	8.5	15.0	A
$\overline{FLAG}$ Assertion Drop Voltage Threshold	V_{FA}	Increase (V_{IN} - V_{OUT}) drop until $\overline{FLAG}$ asserts, V_{IN} = 24V	410	470	550	mV
Slow Reverse Current Blocking Threshold	V_{RIBS}	(V_{IN} - V_{OUT}) (Note 6)	-8.6	-4.5	-0.3	mV
Slow Reverse Current Blocking Debounce Blanking Time	t_{DEBRIB}	(Note 8)	10	17	35	µs
Fast Reverse Current Blocking Threshold	V_{RIBF}	(V_{IN} - V_{OUT}) (Note 8)	-130	-102	-68	mV
Fast Reverse Current Blocking Response Time	t_{RIB}	(Note 6)	90	140	220	ns
Reverse Blocking Exit Threshold	V_{RIB_RISING}	(V_{IN} - V_{OUT}) (Note 8)	67	100	123	mV
Q1 Turn-On Time	t_{Q1_ON}	I_{LOAD} = 3A, ΔV_{OUT} = 150mV		8		µs
Reverse Blocking Supply Current	I_{RBL}	Current into OUT when (V_{OUT} - V_{IN}) > 130mV		1.06	1.40	mA
SETI						
R_{SETI} x I_{LIM}	V_{RI}			1.5		V
Current Mirror Output Ratio	C_{IRATIO}	0.15A ≤ I_{IN} ≤ 0.3A (Note 7)	2952	3032	3117	A/A
		0.3A ≤ I_{IN} ≤ 3A (Note 7)	2964	3032	3128	
Internal SETI Clamp	V_{SETI_MAX}	5mA into SETI	1.6		2.2	V
SETI Leakage Current		V_{SETI} = 1.6V	-0.1		+0.1	µA
LOGIC INPUT						
EN Input Logic High	V_{IH}		1.4			V
EN Input Logic Low	V_{IL}				0.4	V

（特に指定のない限り、V_{IN} = V_{IN} = +4.5V～+60V、V_{UVLO} = 1.8V、V_{OVLO} = 1V、R_{SETI} = 1.5kΩ、C_{IN} = 1µF、C_{OUT} = 0.47µF、EN = TSTART = CLMODE = OUT = $\overline{FLAG}$ = UVOV = 未接続、T_A = −40ºC～+125ºC。代表値は V_{IN} = +24V、T_A= +25ºC での値です。電圧は全て、特に指定のない限り GND を基準としています。（Note 3））

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EN Pull-Up Voltage		EN pin unconnected. V_{IN} = 60V		1.4	2.0	V
EN Input Current		V_{EN} = 5.5V		13	40	µA
EN Pull-Up Current		V_{EN} = 0.4V	1.0	6.2	15.0	µA
CLMODE Input Logic High			2.0	4.2	4.9	V
CLMODE Input Logic Low			0.25	0.60	0.95	V
CLMODE Pull-Up Input Current			8	10	12	µA
$\overline{FLAG}$, UVOV OUTPUTs						
$\overline{FLAG}$, UVOV Output Logic Low Voltage		I_{SINK} = 1mA			0.4	V
$\overline{FLAG}$, UVOV Output Leakage Current		V_{IN} = $V_{\overline{FLAG}}$ = V_{UVOV} = 5V, $\overline{FLAG}$ and UVOV pins are deasserted			1	µA
TSTART STARTUP						
TSTART Reference Voltage	$V_{TSTART-REF}$		1.43	1.50	1.57	V
TSTART Output Current	I_{START}		4.5	5.0	5.5	µA
TSTART Internal Shunt Discharge Resistance	R_{START}	Discharging Resistance			300	Ω
TSTART Unconnecting Check Time Interval	$t_{START-UNCONNECTED}$			100		µs
TSTART Default Interval	$t_{START-DEFAULT}$		90	100	110	ms
TIMING CHARACTERISTICS						
Q2 Turn-On Delay	$t_{Q2_ON_OVLO}$	I_{LOAD} = 3A, From V_{OVLO} < V_{OVF} to I_{OUT} = 95%. (Note 6)		18	26	µs
	$t_{Q2_ON_UVLO}$	I_{LOAD} = 3A, From V_{UVLO} > V_{UVR} I_{OUT} = 95%. (Note 6)		1.15	1.80	ms
OVLO Rising Edge Delay	t_{OVR_DLY}	From V_{OVLO} > V_{OVR} to V_{OUT} = 90%; R_{LOAD} = 1kΩ, C_{LOAD} = 0pF. (Note 8)		0.86	1.50	µs
UVLO Falling Edge Delay	t_{UVF_DLY}	From V_{UVLO} < V_{UVF} to V_{OUT} = 90%; R_{LOAD} = 1kΩ, C_{LOAD} = 0pF		10		µs
UVLO Rising Edge Delay	t_{UVR_DLY}	From V_{UVLO} > V_{UVR} to V_{OUT} = 10%; R_{LOAD} = 1kΩ, C_{LOAD} = 0pF		0.77		ms
Overcurrent Protection Response Time	t_{OCP_RES}	I_{LIM} = 3A, C_{LOAD} = 0µF, R_{LOAD} step from 16Ω to 6Ω. Time to regulate I_{OUT} within 10% of current limit value.		32		µs
IN Debounce Time	t_{DEB}	From (V_{IN_UVR} < V_{IN} < V_{IN_OVR}) and (EN = High) to V_{OUT} = 10% of V_{IN}. Elapses only at power-up. V_{IN} = 24V. (Note 6)	0.75	1.25	2.00	ms
Current Limit Blanking Time	t_{BLANK}	(Note 9)	18	20	22	ms
Current Limit Autoretry Time	t_{RETRY}	After blanking time from I_{OUT} > I_{LIM} to $\overline{FLAG}$ deasserted (Note 10)	900	1000	1100	ms
THERMAL PROTECTION						

（特に指定のない限り、V_{IN} = V_{IN} = +4.5V～+60V、V_{UVLO} = 1.8V、V_{OVLO} = 1V、R_{SETI} = 1.5kΩ、C_{IN} = 1µF、C_{OUT} = 0.47µF、EN = TSTART = CLMODE = OUT = $\overline{FLAG}$ = UVOV = 未接続、T_A = −40ºC～+125ºC。代表値は V_{IN} = +24V、T_A= +25ºC での値です。電圧は全て、特に指定のない限り GND を基準としています。（Note 3））

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Thermal Shutdown	T_J			155		˚C
Thermal Shutdown Hysteresis	$T_{J(HYS)}$			15		˚C

Note 3 : 全てのデバイスは T_A = +25ºC で 100%出荷テストしています。動作温度範囲を超える制限値は設計により裏付けられており、出荷テストは行っておりません。

Note 4 : ユーザー設定可能。方法については入力過電圧ロックアウトと入力低電圧ロックアウトのセクションを参照してください。

Note 5 : 精度は低下しますが、電流制限値を 150mA 未満とすることも可能です。

Note 6 : これらの仕様については出荷テストを行っていませんが、設計により裏付けられています。

Note 7 : 出荷テストは 600mA で実施。全範囲については設計により裏付けられています。

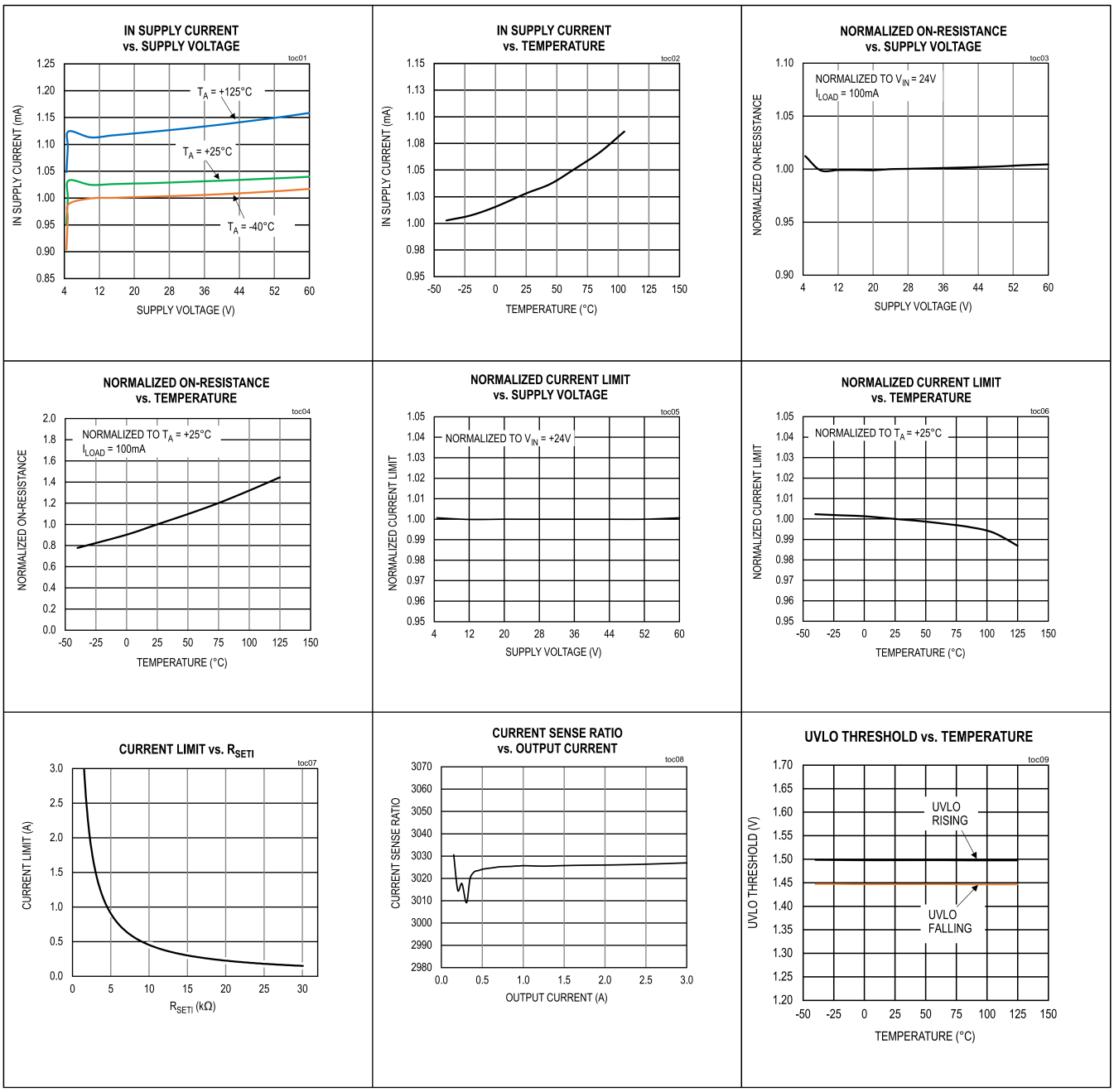
Note 8 : 出荷テストは V_{IN} = 24V で実施。V_{IN} = 4.5V～60V に範囲については設計により裏付けられています。

Note 9 : 過負荷や短絡の条件下では、デバイスの消費電力は増加します。ジャンクション温度がサーマル・シャットダウン・スレッショルド（T_J）を超過すると、デバイスはサーマル・シャットダウン保護に入ります。

Note 10 : 自動リトライ時間とブランキング時間の比は 50 に固定されています。

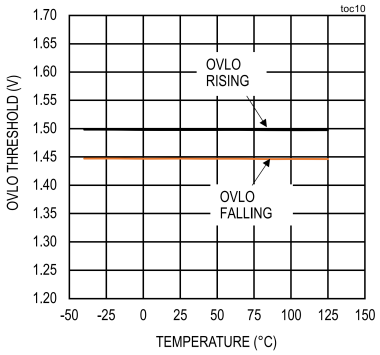
標準動作特性

特に指定のない限り、代表値は V_{IN} = +24V、V_{IN_UVF} = 4.5V、EN = OPEN、T_A = +25ºC、C_{IN} = 1µF、C_{OUT} = 4.7µF、R_{SETI} = 1.5kΩ での値です。

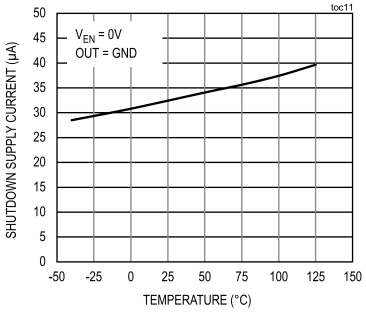


特に指定のない限り、代表値は V_{IN} = +24V、V_{IN_UVF} = 4.5V、EN = OPEN、T_A = +25ºC、C_{IN} = 1µF、C_{OUT} = 4.7µF、R_{SETI} = 1.5kΩ での値です。

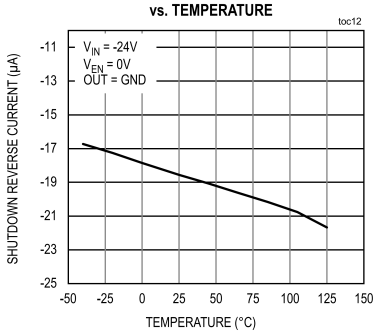
OVLO THRESHOLD vs. TEMPERATURE



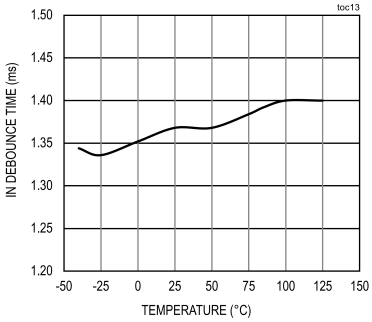
SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE



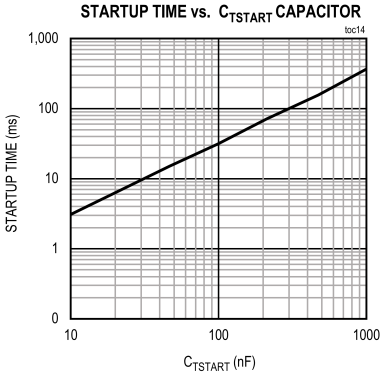
SHUTDOWN REVERSE CURRENT INTO IN PIN vs. TEMPERATURE



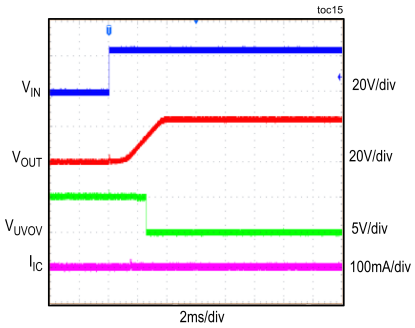
IN DEBOUNCE TIME vs. TEMPERATURE



STARTUP TIME vs. C_{TSTART} CAPACITOR

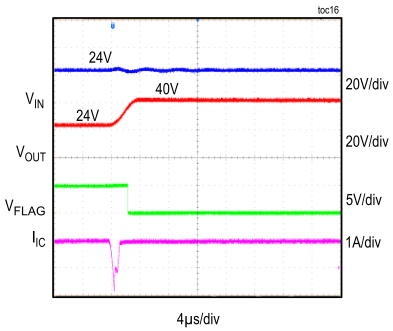


POWER-UP RESPONSE



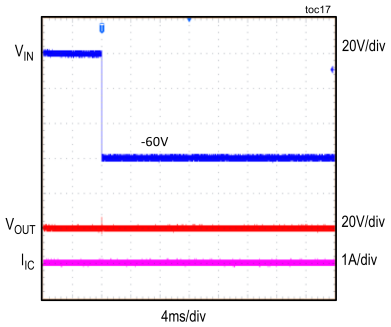
CONDITIONS: UVOV IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

REVERSE-BLOCKING RESPONSE

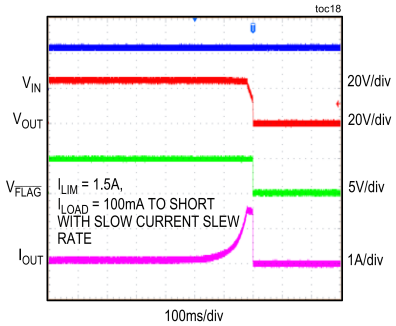


CONDITIONS: $\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

REVERSE INPUT SUPPLY PROTECTION



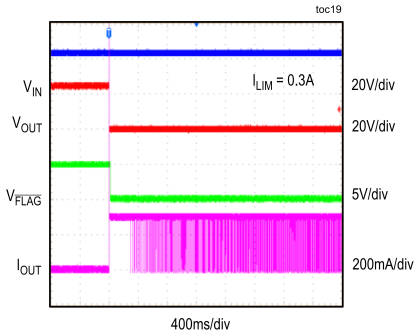
CURRENT-LIMIT RESPONSE



CONDITIONS: $\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

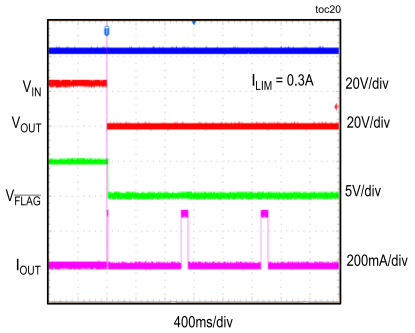
特に指定のない限り、代表値は V_{IN} = +24V、V_{IN_UVF} = 4.5V、EN = OPEN、T_A = +25ºC、C_{IN} = 1µF、C_{OUT} = 4.7µF、R_{SETI} = 1.5kΩ での値です。

CONTINUOUS CURRENT-LIMIT MODE RESPONSE



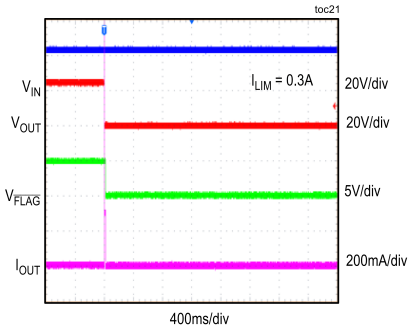
CONDITIONS: $\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

AUTORETRY CURRENT-LIMIT MODE RESPONSE



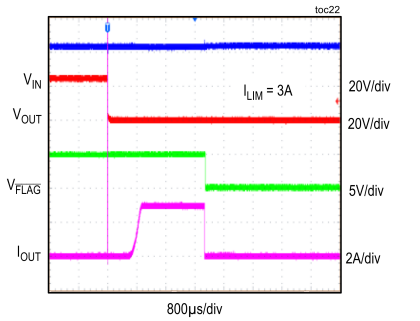
CONDITIONS: $\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

LATCH-OFF CURRENT-LIMIT MODE RESPONSE



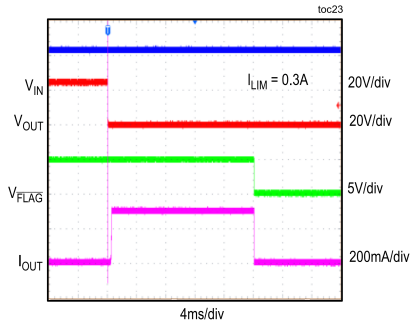
CONDITIONS: $\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

THERMAL SHUTDOWN DUE TO OUTPUT SHORT-CIRCUIT



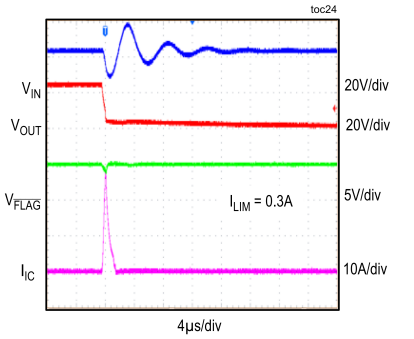
CONDITIONS: CLMODE = OPEN OR CONNECTED TO 150kΩ TO GND
$\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

OUTPUT SHORT-CIRCUIT RESPONSE



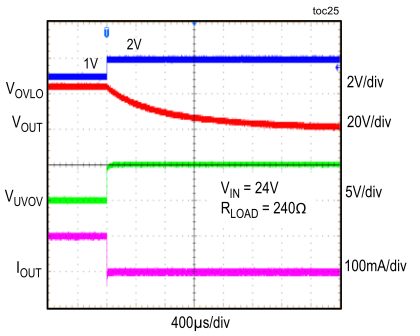
CONDITIONS: CLMODE = OPEN OR CONNECTED TO 150kΩ TO GND
$\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

OUTPUT SHORT-CIRCUIT FAST TRIP RESPONSE



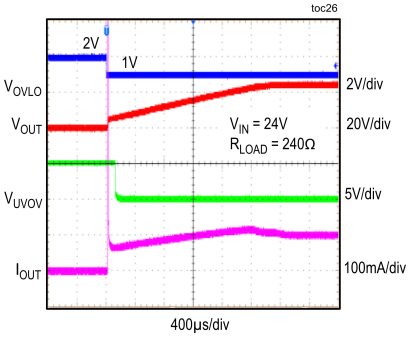
CONDITIONS: $\overline{FLAG}$ IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

OVLO OVERVOLTAGE CUT-OFF RESPONSE



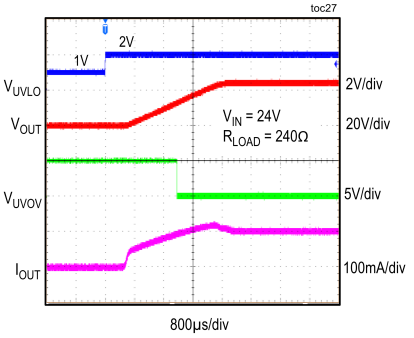
CONDITIONS: UVOV IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

OVLO FALLING RESPONSE



CONDITIONS: UVOV IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

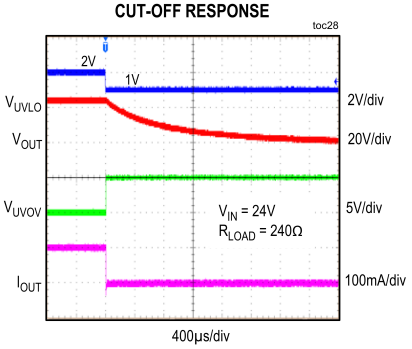
UVLO RISING RESPONSE



CONDITIONS: UVOV IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

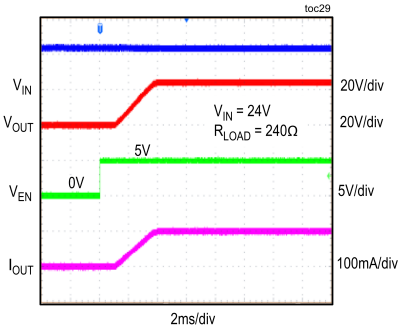
特に指定のない限り、代表値は V_{IN} = +24V、V_{IN_UVF} = 4.5V、EN = OPEN、T_A = +25ºC、C_{IN} = 1µF、C_{OUT} = 4.7µF、R_{SETI} = 1.5kΩ での値です。

UVLO UNDERVOLTAGE CUT-OFF RESPONSE

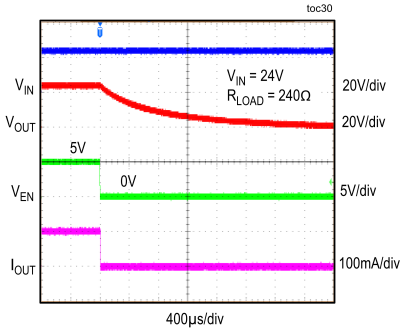


CONDITIONS: UVOV IS PULLED UP TO 5V WITH A 10kΩ RESISTOR

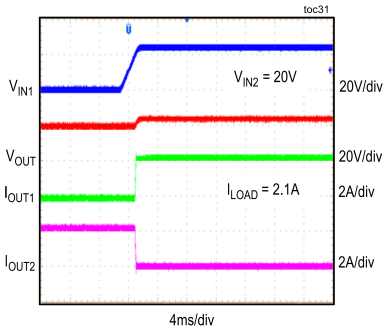
TURN-ON THROUGH EN



TURN-OFF THROUGH EN

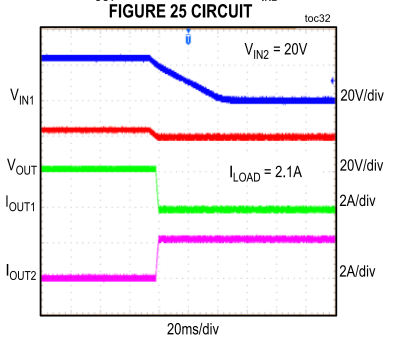


IDEAL DIODE APPLICATION, V_{OUT} SWITCHOVER TO V_{IN1} FIGURE 25 CIRCUIT



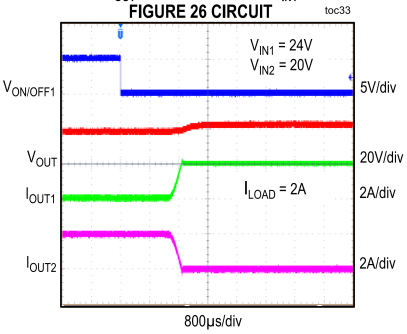
CONDITIONS: V_{IN1} = 0V to 24V

IDEAL DIODE APPLICATION, V_{OUT} SWITCHOVER TO V_{IN2} FIGURE 25 CIRCUIT

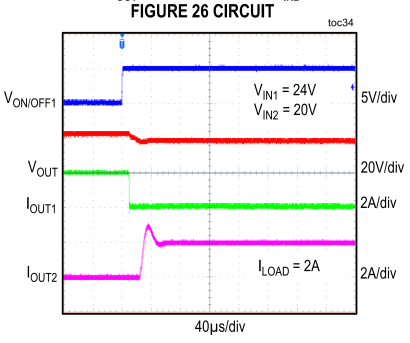


CONDITIONS: V_{IN1} = 24V to 0V

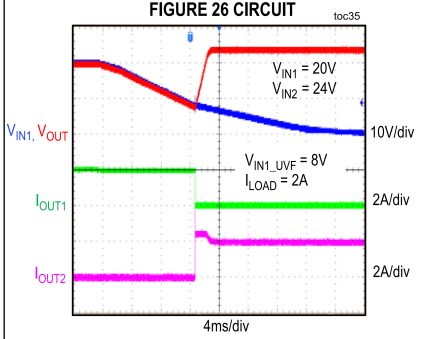
POWER SOURCE SELECTOR, V_{OUT} SWITCHOVER TO V_{IN1} FIGURE 26 CIRCUIT



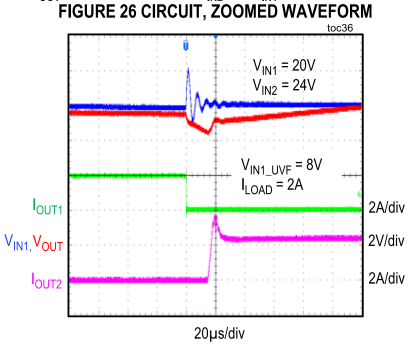
POWER SOURCE SELECTOR, V_{OUT} SWITCHOVER TO V_{IN2} FIGURE 26 CIRCUIT



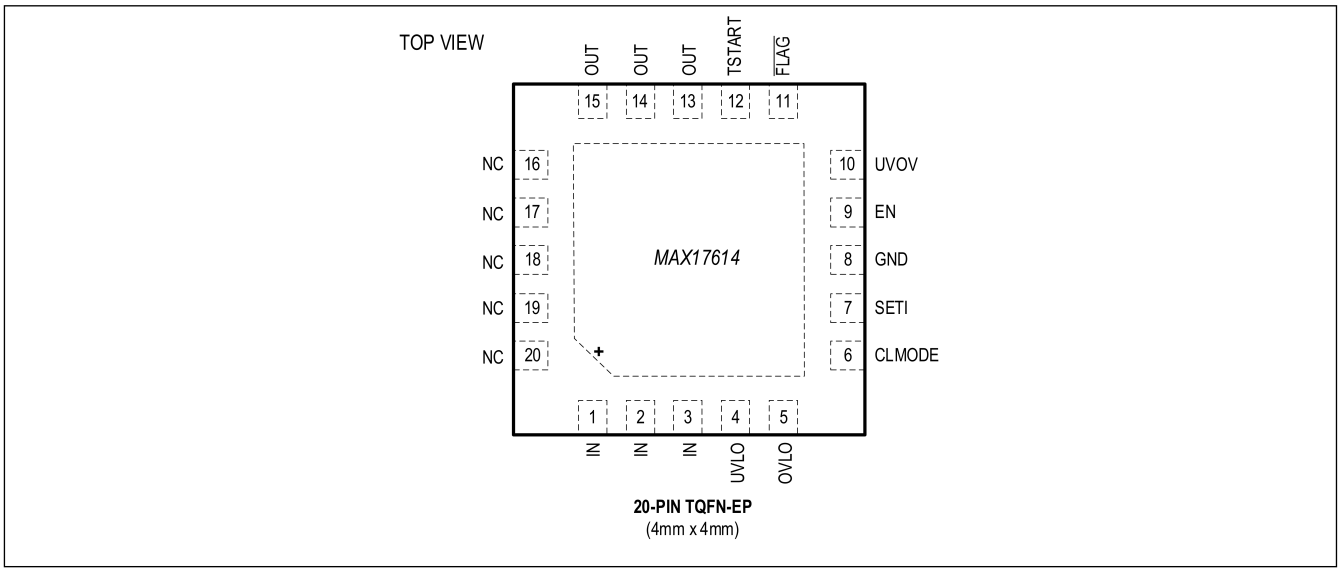
PRIOITIZED POWER SOURCE SELECTOR, V_{OUT} SWITCHOVER TO V_{IN2} AT V_{IN1} FALLING UVLO FIGURE 26 CIRCUIT



PRIOITIZED POWER SOURCE SELECTOR, V_{OUT} SWITCHOVER TO V_{IN2} AT V_{IN1} FALLING UVLO, FIGURE 26 CIRCUIT, ZOOMED WAVEFORM



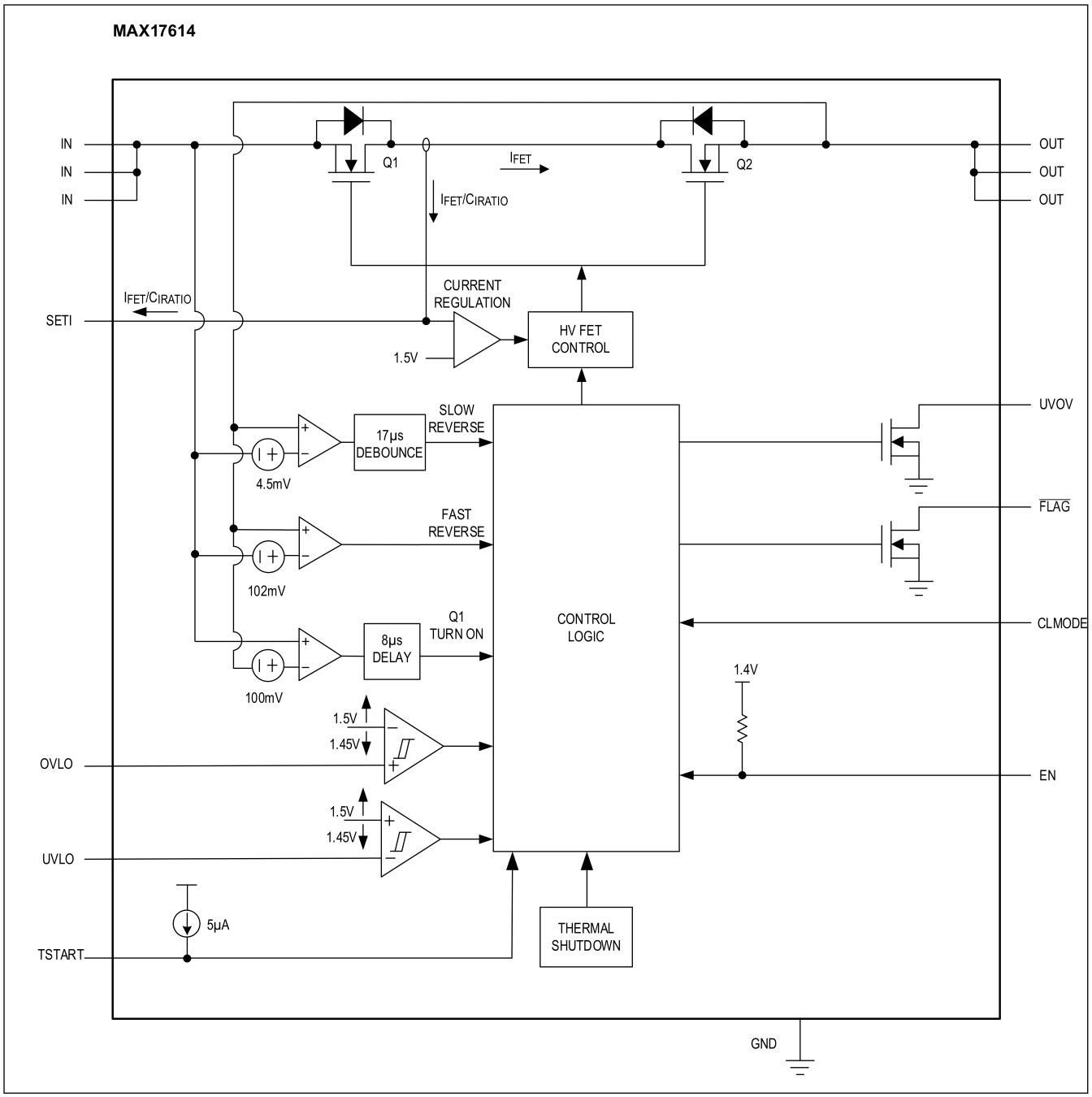
ピン配置


TOP VIEW
OUT
OUT
OUT
TSTART
FLAG
15
14
13
12
11
NC
16
NC
17
NC
18
NC
19
NC
20
MAX17614
10
UVOV
9
EN
8
GND
7
SETI
6
CLMODE
1
2
3
4
5
IN
IN
IN
UVLO
OVLO
20-PIN TQFN-EP
(4mm x 4mm)

端子説明

ピン	名称	説明
1-3	IN	入力端子。ESD 保護を強化するために、低 ESR のセラミック・コンデンサを接続します。ホット・プラグイン・アプリケーションについては、アプリケーション情報のセクションを参照してください。
4	UVLO	入力 UVLO 調整。IN と GND の間に配置した抵抗分圧器の中点に UVLO を接続して入力 UVLO スレッショルドを設定します。
5	OVLO	入力 OVLO 調整。IN と GND の間に配置した抵抗分圧器の中点に OVLO を接続して OVLO スレッショルドを設定します。
6	CLMODE	電流制限モード選択。CLMODE を GND に接続すると連続モードになります。CLMODE と GND の間に 150kΩ の抵抗を接続するとラッチオフ・モードになります。CLMODE を未接続の状態にすると自動リトライ・モードになります。
7	SETI	過電流制限調整および電流モニタ出力。SETI と GND の間に抵抗を接続して過電流制限値を設定します。電流制限値／スレッショルドの設定（SETI）のセクションを参照してください。SETI には 10pF を超える容量を接続しないでください。
8	GND	グランド。
9	EN	アクティブ・ハイのイネーブル入力。内部で 1.4V にプルアップされています。未接続のままにすると常時オン動作します。
10	UVOV	オープンドレインのフォルト表示出力。UVOV は以下の条件のときにハイになります。 • 入力電圧が UVLO の立下がりスレッショルド未満に低下。 • 入力電圧が OVLO の立上がりスレッショルドを超えて上昇。
11	$\overline{\text{FLAG}}$	オープンドレインのフォルト表示出力。$\overline{\text{FLAG}}$は以下の条件でローになります。 • 通常動作中に、過電流制限期間がブランキング時間を超過。 • 出力電圧が起動ブランキング時間内に（V_{IN} – V_{FA}）に達しない。 • 逆電流が検出された。 • サーマル・シャットダウンが発生した。 • R_{SETI} が 1.5kΩ（最大値）より小さい。
12	TSTART	起動ブランキング時間設定入力。TSTART と GND の間にコンデンサを接続して、目的とする起動ブランキング時間を設定します。TSTART 端子を未接続のままにすると、100ms のデフォルト起動ブランキング時間になります。詳細については、起動ブランキング時間の設定（TSTART）のセクションを参照してください。
13-15	OUT	出力端子。出力ケーブルが長い場合や誘導性負荷に対しては、アプリケーション情報のセクションを参照してください。
16-20	NC	無接続とします。
–	EP	露出パッド。熱性能を最適化するため、EP を面積の広い GND プレーンに数個のサーマル・ビアを使用して接続します。リファレンスのレイアウト設計については、MAX17614 の評価キットのデータシートを参照してください。

機能図


MAX17614
IN
IN
IN
Q1
IFET
Q2
OUT
OUT
OUT
IFET/CIRATIO
IFET/CIRATIO
SETI
CURRENT
REGULATION
1.5V
HV FET
CONTROL
SLOW
REVERSE
17µs
DEBOUNCE
4.5mV
FAST
REVERSE
102mV
Q1
TURN ON
8µs
DELAY
100mV
CONTROL
LOGIC
UVOV
FLAG
CLMODE
1.4V
EN
1.5V
1.45V
OVLO
1.5V
1.45V
UVLO
5µA
TSTART
THERMAL
SHUTDOWN
GND

詳細

MAX17614 理想ダイオード／電源セレクタ・デバイスを用いることで、システムに対し、正負の入力電圧フォルトについては+60V～−65V、出力負荷電流については最大 3A までの範囲で、調整可能な保護限度が得られます。このデバイスには累積 R_{ON} が 130mΩ（代表値）と低い 2 つの内蔵 nFET が直列に接続されており、理想ダイオード機能を実現するよう使用して、高いシステム効率で逆入力電圧および逆電流に対する保護を実現できます。入力低電圧保護は 4.5V～59V の範囲で設定でき、これと独立に過電圧保護を 5.5V～60V の範囲で設定可能です。更に、このデバイスには内蔵のデフォルト UVLO 立上がりスレッショルドがあり、4.2V（代表値）に設定されています。

このデバイスは、上位の管理システムによる EN 端子操作でイネーブルまたはディスエーブルされます。これによりスイッチが動作し、接続された負荷への電力供給をオンまたはオフに切り替えます。

デバイス内を流れる電流は電流制限を設定することにより制限されますが、この設定は SETI と GND の間に接続した抵抗によって行います。電流制限値は 0.15A～3A の範囲で設定可能です。デバイスの電流が設定電流制限値に達するかこれを超過すると、内蔵 nFET の Q2 を制御して電流を設定値に制限します。このデバイスには、電流制限モードが 3 つあり、自動リトライ・モード、連続モード、ラッチオフ・モードを選択できます。また、SETI 端子の GND を基準とした電圧は、通常動作時にはデバイスの電流に比例します。SETI 端子に現れる電圧をモニタリング・システムのアナログ・デジタル・コンバータ（ADC）で読み取ると、デバイスの瞬時電流を記録できます。

このデバイスには$\overline{\text{FLAG}}$と UVOV の状態表示信号があり、様々な動作状態やフォルトの信号を提示します。状態表示端子自体はオープンドレインであり、外付け抵抗で適切なシステム・インターフェース電圧にプルアップすることが必要です。

過度な電力消費に対してはサーマル・シャットダウン保護機能を内蔵しています。

入力低電圧ロックアウト

UVLO 端子に外付けの抵抗分圧器を図 1 に示すように接続して、入力 UVLO スレッショルド電圧を調整します。入力 UVLO の立下がりスレッショルド（V_{UVF}）の調整には、次式を使用します。R1 の推奨値は 2.2MΩ です。

$$V_{IN_UVF} = V_{UVF} \times \left(1 + \frac{R1}{R2}\right)$$

ここで V_{IN_UVF} は、デバイスが UVLO 状態に入る入力電源電圧です。

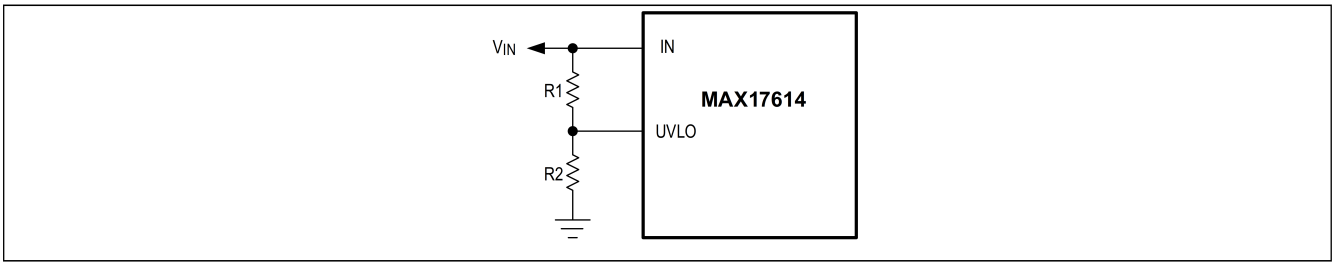


図 1. 調整可能な入力 UVLO

UVLO 端子の電圧が V_{UVF} を下回ると、出力 nFET の Q2 のみが 10µs（t_{UVF_DLY}）後にオフになり、UVOV がハイにアサートされますが、入力 nFET の Q1 はオンのままです。UVLO の条件がなくなると、0.77ms（t_{UVR_DLY}）待った後にスイッチをオンにする手順を開始します。Q2 は 1.15ms（$t_{Q2_ON_UVLO}$）以内にオンに戻り、UVOV のアサートが解除されてローになります。図 2 は、入力低電圧の立上がりと立下がりの動作を示しています。

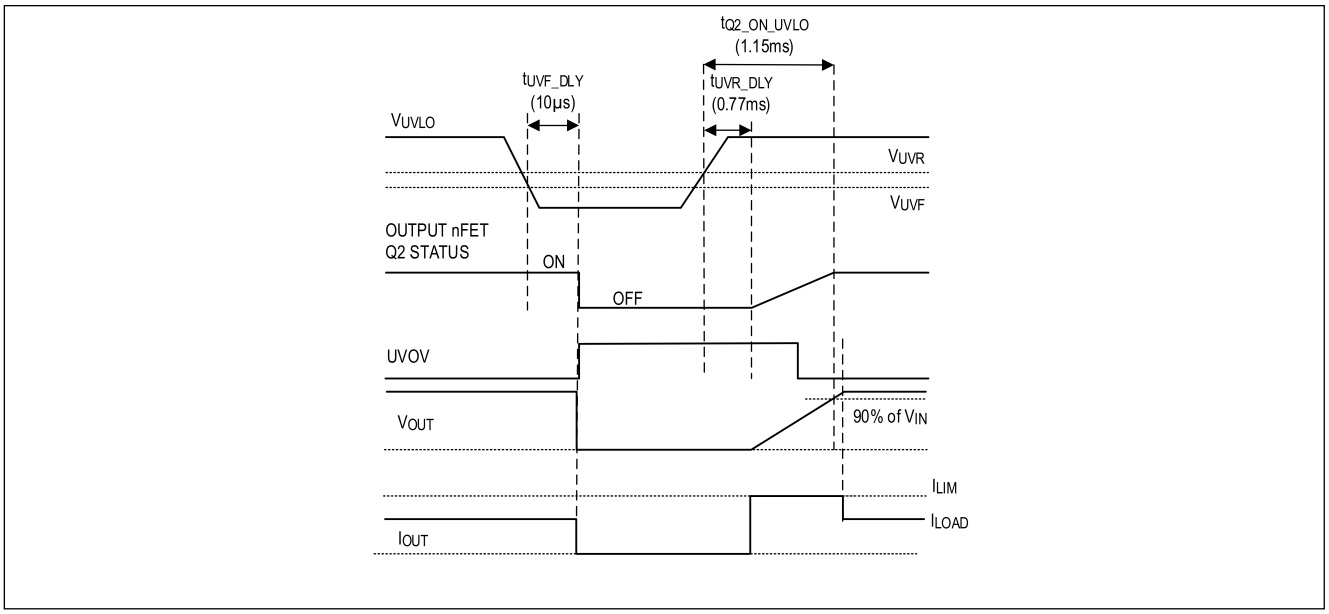


図 2. 入力低電圧フォルトのタイミング図

入力過電圧ロックアウト

OVLO 端子に外付けの抵抗分圧器を図 3 に示すように接続すると、入力 OVLO の立上がりスレッショルド電圧を調整できます。入力 OVLO の立上がりスレッショルド（V_{OVR}）の調整には、次式を使用します。R3 の推奨値は 450kΩ～500kΩ です。

$$V_{IN_OVR} = V_{OVR} \times \left(1 + \frac{R3}{R4}\right)$$

ここで V_{IN_OVR} は、デバイスが OVLO 状態に入る入力電源電圧です。

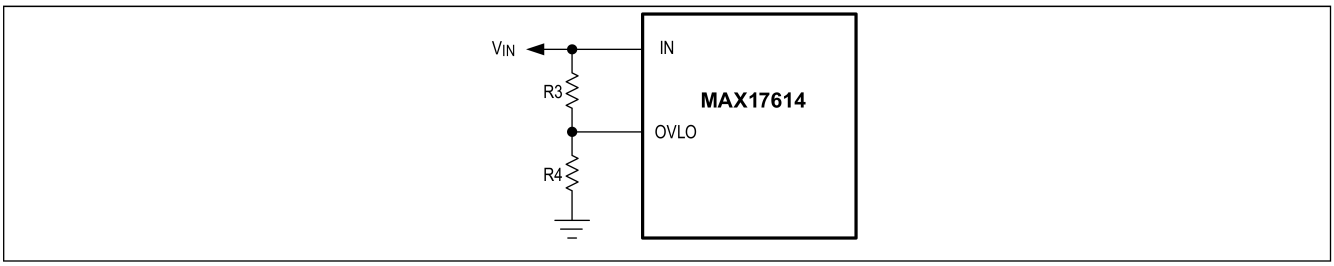


図 3. 調整可能な入力 OVLO

OVLO 端子の電圧が V_{OVR} を超過すると、出力 nFET の Q2 のみが 0.86µs（t_{OVR_DLY}）後にオフになり、UVOV がハイにアサートされますが、入力 nFET の Q1 はオンのままです。OVLO の条件がなくなると、Q2 は 18µs（$t_{Q2_ON_OVLO}$）以内にオンに戻り、UVOV のアサートが解除されてローになります。図 4 は、入力過電圧の立上がりと立下がりの動作を示しています。

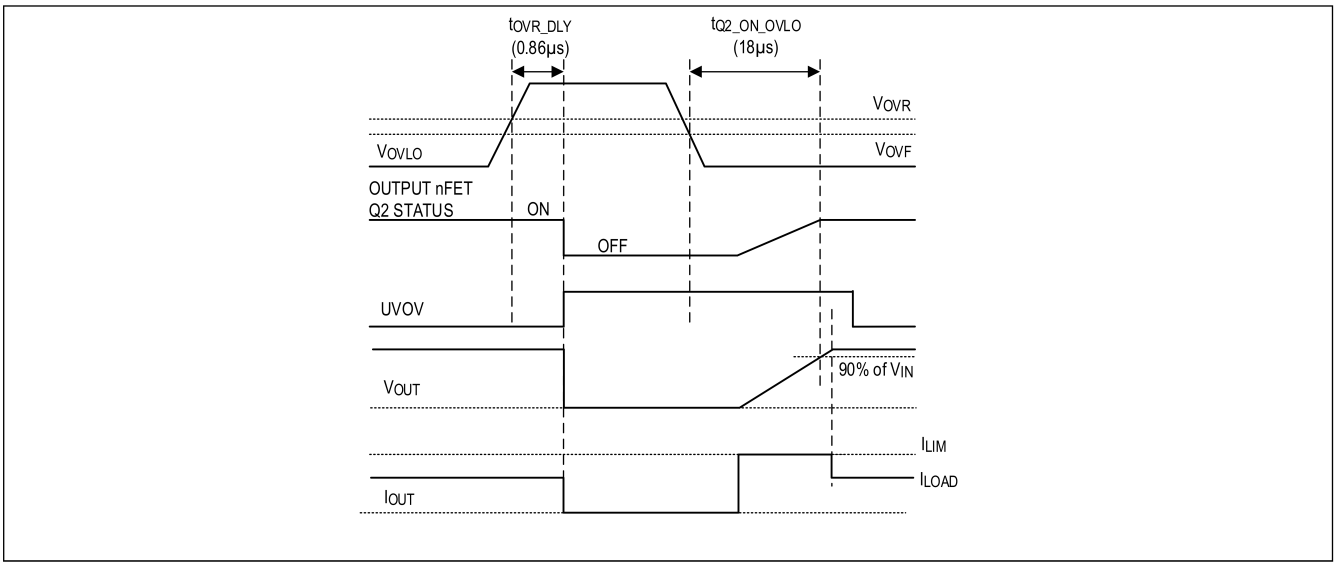


図 4. 入力過電圧フォルトのタイミング図

入力デバウンス保護

MAX17614 には入力デバウンス保護機能があります。入力電圧が約 4.2V（V_{INT_UVR}）を超えて上昇すると、200µs（t_{Q1_DLY}）後に入力 nFET の Q1 をオンにします。出力 nFET の Q2 は、入力電圧が 1.25ms（t_{DEB}）より長い期間入力 UVLO スレッショルドより高くなったときに初めてオンになります。このデバウンス時間（t_{DEB}）は、デバイスの起動時のみに適用されます。この機能は、電源供給のランプアップ時に EN 信号が有効になっているアプリケーションで使用することを意図しています。図 5 は、入力デバウンスのタイミング図を示しています。

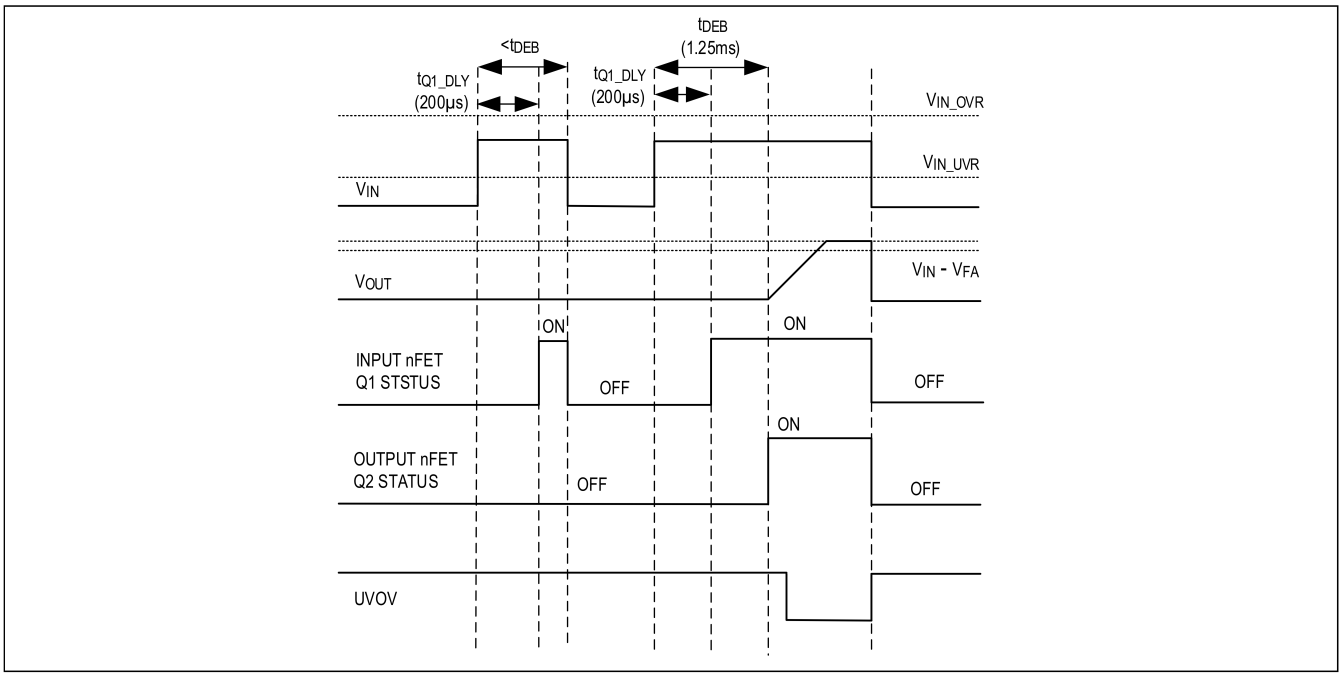


図 5. 入力デバウンスのタイミング図

イネーブル（EN）

MAX17614 は、EN 端子を EN スレッショルド電圧より高く、あるいは低くすることによってイネーブルあるいはディスエーブルされますが、これにより、接続された負荷への電力供給を EN 端子を使用してオン／オフする用途に使用できます。EN がローのときには両方の内蔵 nFET をオフにします。ラッチオフ・モードでは、EN 端子を最短で 5.2µs かけてトグルすると、フォルト状態をリセットし、動作を再開します。EN 端子は内部で 1.4V にプルアップされていて、オープンにしておくと常時オン・オプションになります。デバイスが EN 端子でオンにされたときには、入力デバウンス時間（t_{DEB}）が有効です。

電流制限値／スレッショルドの設定（SETI）

過電圧状態の間、MAX17614 は、デバイスの電流が SETI 端子に接続した抵抗 R_{SETI} で設定される電流制限値（I_{LIM}）になるよう継続的に安定化します。電流制限値は 0.15A～3A の範囲で設定可能です。電流制限設定抵抗の値は、次式を使用して計算します。

$$R_{SETI} = \frac{4548}{I_{LIM}}$$

ここで I_{LIM} は mA 単位の設定しようとする電流制限値、R_{SETI} は kΩ 単位です。

R_{SETI} の最小許容値は 1.5kΩ です。表 1 には様々な抵抗値に対する電流制限スレッショルドを示しています。

過負荷状態、短絡時、起動中に大きな出力容量を充電している間などに、デバイスの電流が設定された電流制限値に達したとき、内蔵 nFET の Q2 のみを制御して電流を I_{LIM} に制限します。

表 1. 電流制限スレッショルドと SETI の抵抗値の関係

R_{SETI}(kΩ)	CURRENT LIMIT I_{LIM}(A)
30.10	0.15
15.00	0.3
4.53	1.0
2.26	2.0
1.82	2.5
1.50	3.0

SETI 端子では IN から OUT に流れる電流のモニタリングも可能です。IN から OUT への電流は 3032 の比率（C_{IRATIO}）で電流ミラーされ、SETI 端子経由で外付けの電流制限抵抗に向けて流れ出します。SETI 端子の電圧は、IN から OUT への電流についての情報を以下の関係によって示します。

$$I_{IN-OUT} = \frac{3.032 \times V_{SETI}}{R_{SETI}}$$

ここで、

I_{IN-OUT} はアンペア（A）単位の IN から OUT に流れる電流、
V_{SETI} は SETI 端子の電圧（V）、
R_{SETI} は kΩ 単位。

SETI が未接続状態のとき、V_{SETI} は SETI のクランプ・レベル（V_{SETI_MAX}）まで上昇し、デバイスは電流を一切流しません。起動中はこの作用で内蔵 nFET がオフのままになり、t_{BLANK} が経過した後に$\overline{FLAG}$がアサートされます。R_{SETI} が 350Ω より低ければ、起動中にはスイッチはオフのままになり、$\overline{FLAG}$がアサートされます。測定の減衰特性を最適にするため、SETI 端子の容量は 10pF までに制限します。

逆電流保護

MAX17614 の逆電流保護機能は、OUT 端子から IN 端子に電流が流れるのを防止します。デバイスは V_{IN} と V_{OUT} をモニタすることにより、逆電流のブロックを行います。2 つの電流保護機能が実装されています。

17µs（t_{DEBRIB}）の間（$V_{IN} - V_{OUT}$）＜−4.5mV（V_{RIBS}）になると、低速逆電流状態として検出されます。この状態では、入力 nFET の Q1 のみがオフになって$\overline{FLAG}$がアサートされ、出力 nFET の Q2 はオンのままです。この期間およびその後、デバイスは OUT 端子と IN 端子の電圧差をモニタし、逆電流が引き続き発生するかを判定します。逆電流ブロック・モードから抜けると、すなわち($V_{IN} - V_{OUT}$) > +100mV（V_{RIB_RISING}）が検出されると、8µs（t_{Q1_ON}）後に入力 nFET の Q1 がオンに戻り、$\overline{FLAG}$端子のアサートが解除されます。図 6 は低速逆電流ブロックの動作を示しています。

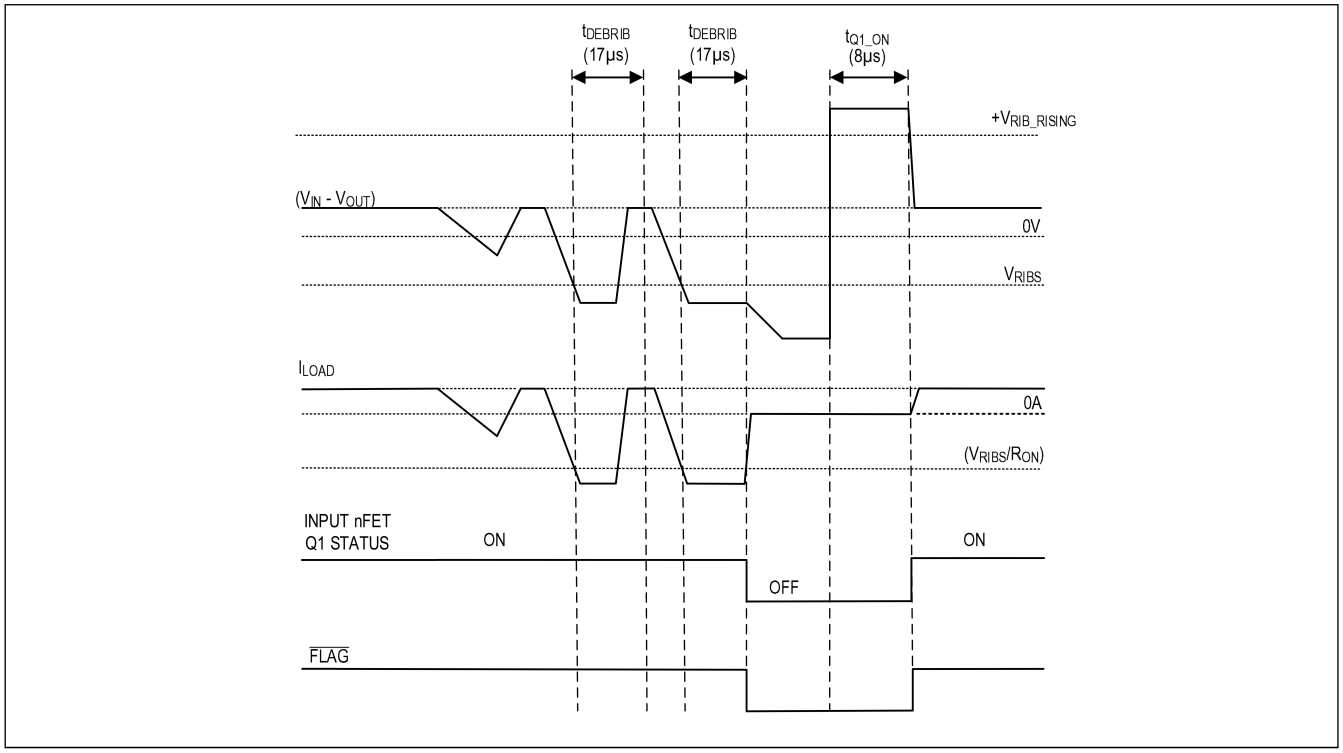


図 6. 低速逆電流フォルトのタイミング図

入力の短絡などの高速逆電圧状態では、MAX17614 は、$(V_{IN} - V_{OUT}) < -102mV$（$V_{RIBF}$）を検出した後 140ns（$t_{RIB}$）以内に内蔵 nFET の Q1 をオフにします。この状態では、入力 nFET の Q1 のみがオフになって$\overline{FLAG}$がアサートされ、出力 nFET の Q2 はオンのままです。この期間およびその後、デバイスは OUT 端子と IN 端子の電圧差をモニタし、逆電流が引き続き発生するかを判定します。逆電流ブロック・モードから抜けると、すなわち$(V_{IN} - V_{OUT}) > +100mV$（$V_{RIB_RISING}$）が検出されると、8µs（$t_{Q1_ON}$）後に入力 nFET の Q1 がオンに戻り、$\overline{FLAG}$端子のアサートが解除されます。図 7 は高速逆電流ブロックの動作を示しています。

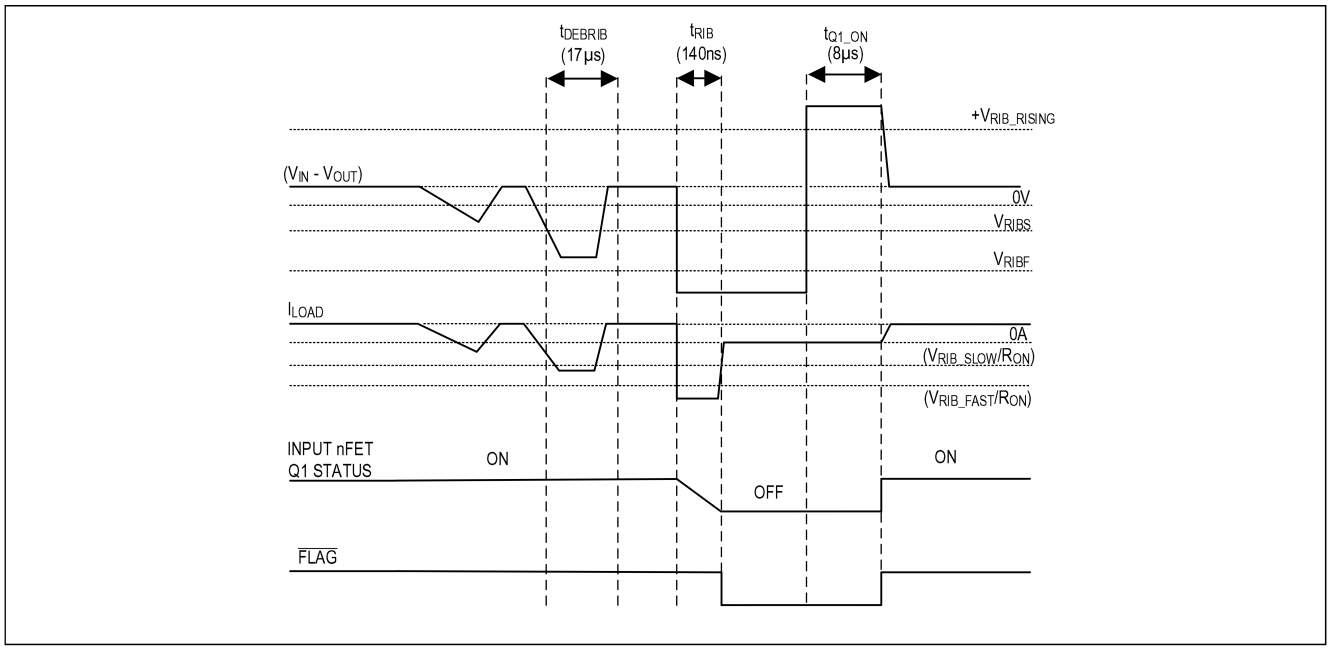


図 7. 高速逆電流フォルトのタイミング図

起動ブランキング時間の設定（TSTART）

TSTART 端子と GND の間にコンデンサを接続すると、起動ブランキング時間を設定できます。t_{TSTART}は、V_{OUT}が所定の値（$V_{IN}-V_{FA}$）に到達するまでに許されている時間で、これを過ぎるとデバイスはフォルト・モードに入ります。設定された時間（t_{TSTART}）のうちに出力電圧が（$V_{IN}-V_{FA}$）にならなければ、$\overline{FLAG}$がアサートされます。大きな出力容量を充電しているときには、サーマル・シャットダウン保護のセクションに示すように、この部品はサーマル・シャットダウンになり、オン／オフを繰り返す可能性があります。t_{TSTART} を設定するために、TSTART 端子に接続されたコンデンサ C_{TSTART} は 5µA（代表値）の定電流で充電されます。このコンデンサの電圧が 1.5V に達したとき、t_{TSTART} の時間が経過したとみなされ、コンデンサはグランドまで放電されます。

$$t_{TSTART} = \frac{C_{TSTART}}{5\mu} \times 1.5$$

次の表は、様々な t_{TSTART} の長さの設定に必要な C_{TSTART} を示しています。

表 2. C_{TSTART} と t_{TSTART} の関係

t_{TSTART} (ms)	C_{TSTART} (nF)
15	50
60	200
300	1000
100	Unconnected

TSTART 端子が未接続のままか、非常に低い値のコンデンサが接続されている場合、1.5V の電圧スレッショルドに 100µs（$t_{TSTART-UNCONNECTED}$）より早く到達します。この場合、この端子は未接続とみなされ、デバイスは事前設定の起動時間である 100ms（$t_{TSTART-DEFAULT}$）を適用します。図 8 は TSTART 端子にコンデンサが存在する場合と存在しない場合の起動時の動作を示しています。

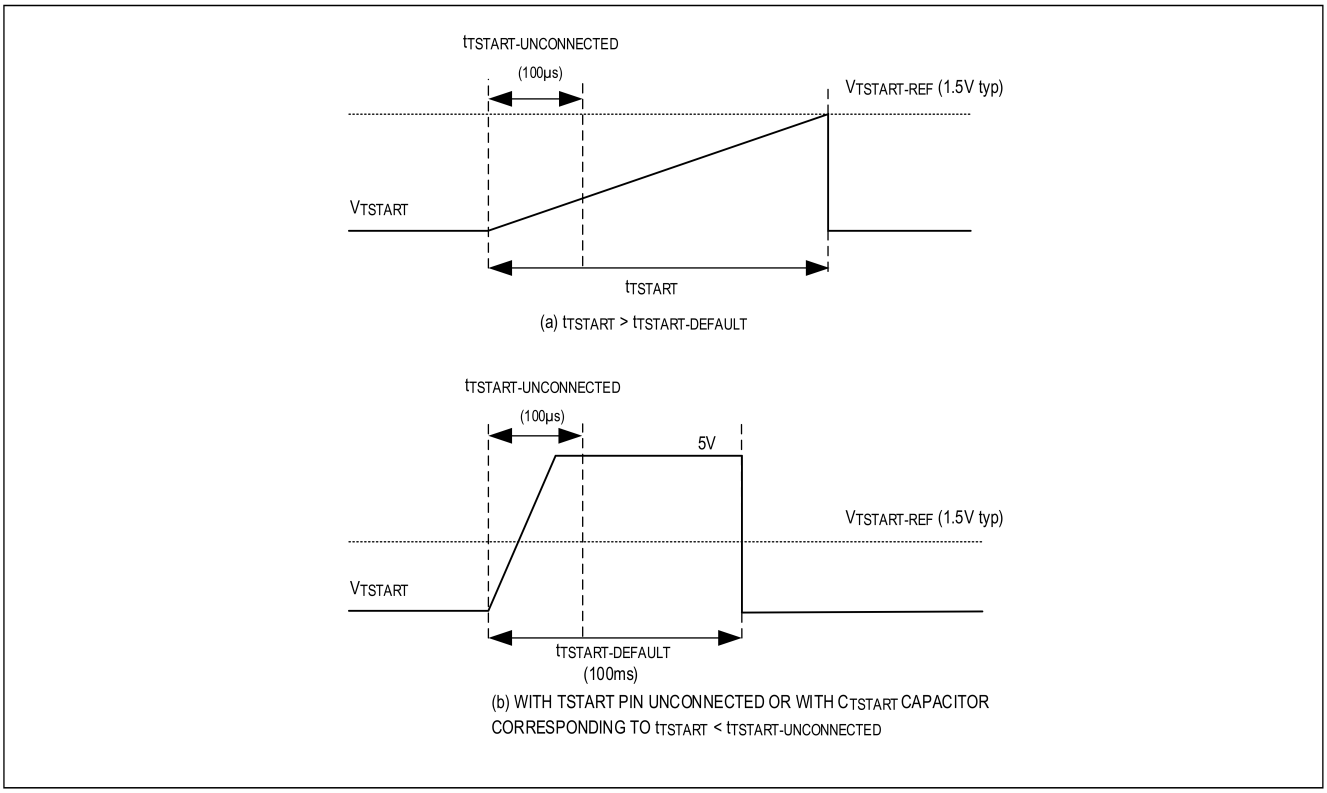


図 8. C_{TSTART} による起動ブランキング時間の設定

起動の条件

起動中は、IN のデバウンス時間（t_{DEB}）後には内蔵の nFET がオンになります。SETI 抵抗による電流制限で決まる入力電流によって、出力コンデンサの充電が開始します。出力負荷が存在しない場合の出力コンデンサ充電プロファイルは、次式によって決定します。

$$V_{OUT}(t) = \frac{I_{LIM} \times t}{C_{OUT}}$$

出力容量の充電時間は次のように計算されます。

$$t_{charg} = \frac{C_{OUT} \times V_{IN(MAX)}}{I_{LIM}}$$

図 9 は負荷が存在しない場合の出力コンデンサに対する起動動作を示しています。V_{OUT} 充電のスルー・レートは 10V/ms（代表値）に制限されていることに注意してください。起動動作中は、過度の電力消費によってサーマル・シャットダウンに入り、オン／オフを繰り返す可能性があります。これについてはサーマル・シャットダウン保護のセクションに示しています。

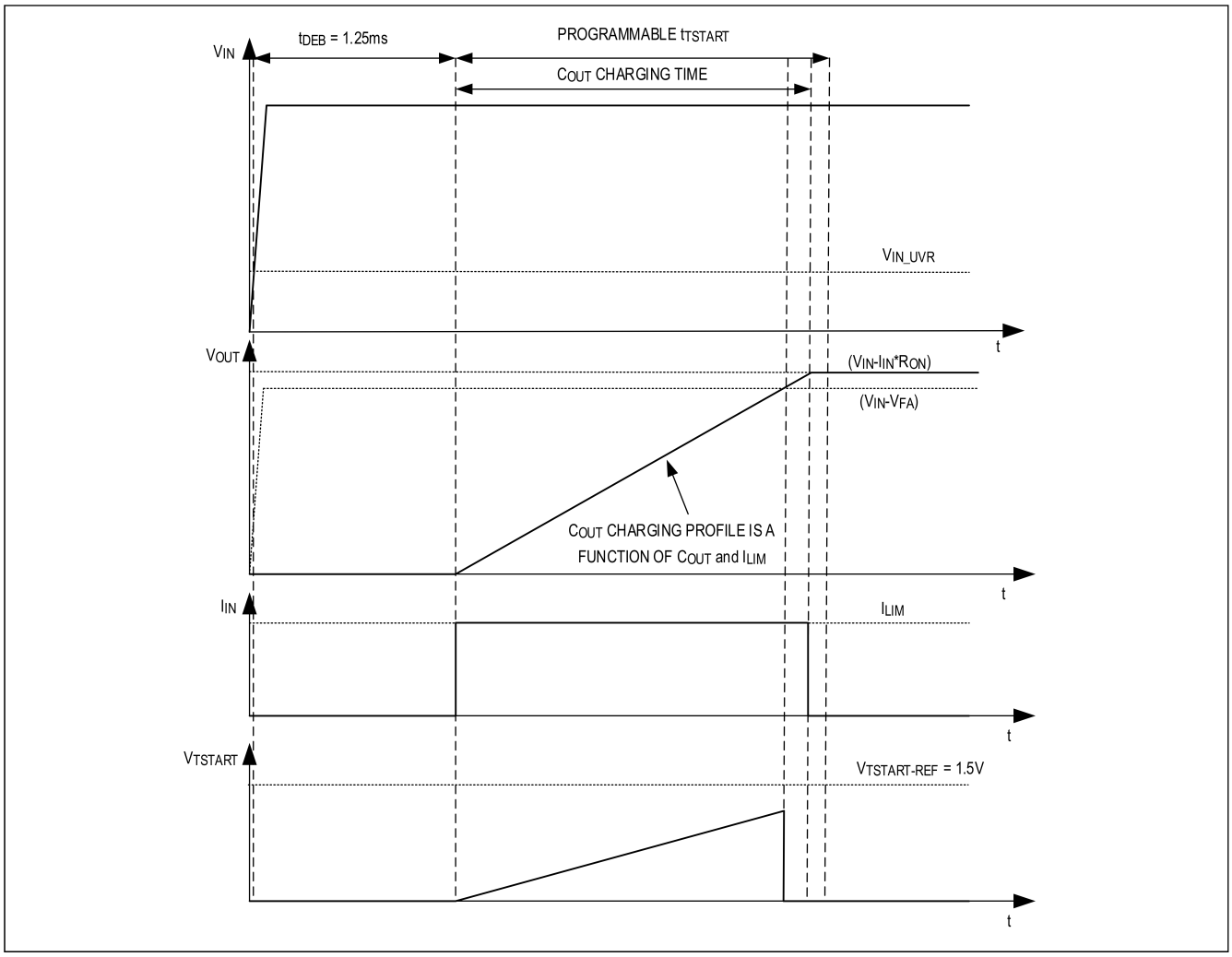


図 9. 負荷が存在しない場合の出力コンデンサに対する起動のタイミング図

出力に負荷が存在し、負荷抵抗がある場合の出力コンデンサ充電プロファイルは次式によって決定できます。

$$V_{OUT}(t) = I_{LIM} \times R_{OUT}\left(1 - e^{-\left(\frac{t}{R_{OUT} * C_{OUT}}\right)}\right)$$

出力容量の充電時間は次のように計算されます。

$$t_{CHARGE} = R_{OUT} \times C_{OUT} \times \ln\left(\frac{1}{1-\left(\frac{V_{IN(MAX)}}{I_{LIM} * R_{OUT}}\right)}\right)$$

図 10 は負荷抵抗が存在する場合の出力コンデンサに対する起動動作を示しています。V_{OUT} 充電のスルー・レートは 10V/ms（代表値）に制限されていることに注意してください。起動動作中は、過度の電力消費によってサーマル・シャットダウンに入り、オン／オフを繰り返す可能性があります。これについてはサーマル・シャットダウン保護のセクションに示しています。

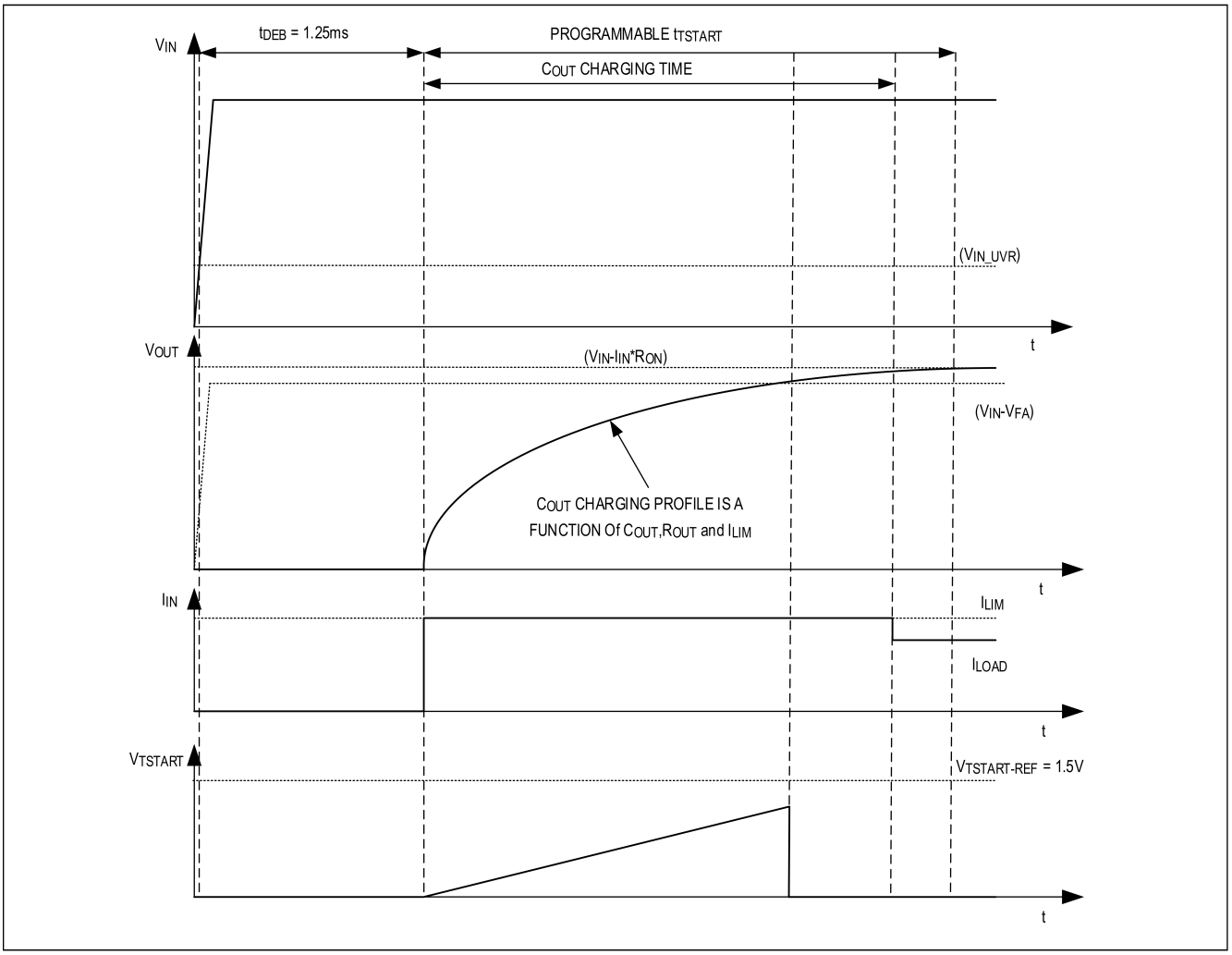


図 10. 負荷が存在する場合の出力コンデンサに対する起動のタイミング図

起動ブランキング時間のフォルト条件を避けるために、C_{TSTART} は次式によって選択します。

$$C_{TSTART} \geq 3.3 \times t_{CHARGE}$$

ここで、

C_{TSTART} の単位は nF、
C_{OUT} は µF 単位の最大出力容量、
$V_{IN(MAX)}$はボルト（V）単位の最大入力電圧、
t_{CHARGE} の単位は ms。

t_{TSTART} の時間内に V_{OUT} が所定の（$V_{IN} - V_{FA}$）に到達すると、t_{START} タイマーはリセットします。

起動中のサーマル・シャットダウンを避けるために、デバイスのジャンクション温度はサーマル・シャットダウン・スレッショルドより低く維持することが必要です。起動中のデバイスの消費電力は、安定動作状態の消費電力よりも通常は大きく、入力電圧、負荷抵抗、出力容量、電流制限の設定の関数となります。起動中のジャンクション温度は、起動中の消費電力、熱抵抗、デバイス・パッケージの熱容量の関数ですが、これはプリント回路基板の熱容量がはるかに大きいことを前提としています。実用環境ではほとんどの場合この前提が成立します。これらの条件によって、与えられた電流制限（I_{LIM}）の設定に対して OUT 端子に配置できる最大の出力容量が決定します。

電流制限タイプの選択（CLMODE）

CLMODE 端子を使用して、過電流制限時のデバイスの反応を、以下の 3 つの電流制限モードのいずれかに設定できます。

- 自動リトライ・モード：CLMODE 端子を未接続とする
- 連続モード：CLMODE を GND に接続する
- ラッチオフ・モード：CLMODE と GND の間に 150kΩ の抵抗を配置する

これらの 3 つの電流制限モードの全てにおいて、デバイスを流れる電流が電流制限スレッショルドに達すると、内蔵 nFET の Q2 の制御により、設定されている電流制限値以内に出力電流が制限されます。以下のセクションでは、それぞれのモードでの、起動フェーズと定常動作状態における MAX17614 の電流制限動作を示します。

連続電流制限モード

入力デバウンス時間（t_{DEB}）が終了した後、デバイスは出力コンデンサの充電を開始し、起動ブランキング時間（t_{TSTART}）にわたり電流 I_{LIM} で充電します。出力電圧 V_{OUT} が t_{TSTART} 以内に所定の値（$V_{IN} - V_{FA}$）に到達すると、t_{TSTART} タイマーがリセットし、通常動作が継続します。出力の過負荷のために V_{OUT} が t_{TSTART} 以内に（$V_{IN} - V_{FA}$）に到達しなければ、t_{TSTART} はリセットし、$\overline{FLAG}$端子がアサートされ、動作が継続します。V_{OUT} が所定の値（$V_{IN} - V_{FA}$）に達すると$\overline{FLAG}$はアサート解除されます。図 11 は連続電流制限モードにおける起動時の挙動を示しています。

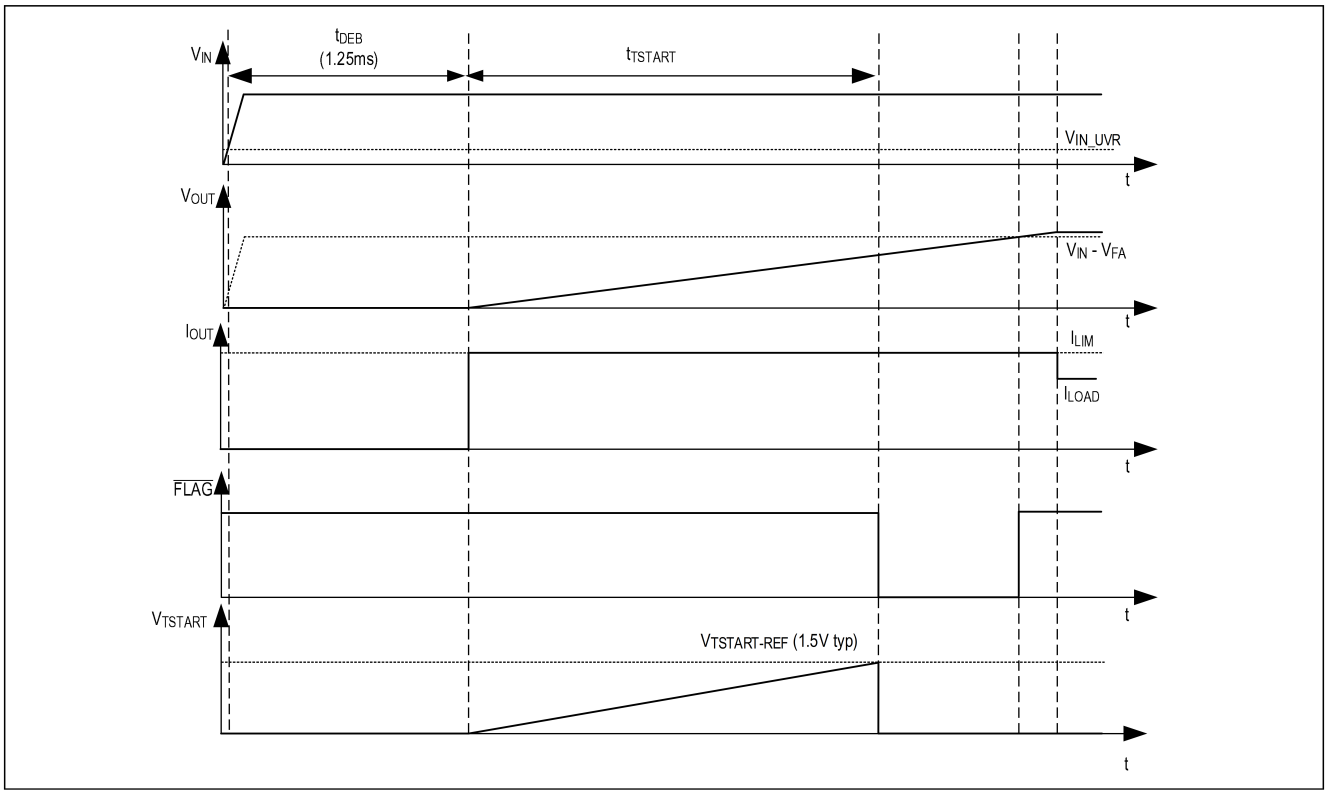


図 11. 連続電流制限モードでの起動フォルトのタイミング図

連続電流制限モードでは、デバイスが通常動作中に電流制限状態に入ると、t_{BLANK} タイマーが起動します。t_{BLANK} タイマーは、t_{BLANK} の期間が経過するより早く電流制限条件が解消するとリセットし、通常動作を継続します。電流制限条件が t_{BLANK} の期間中継続していれば、t_{BLANK} タイマーはリセットし、$\overline{FLAG}$端子がアサートされ、動作は継続します。V_{OUT} が所定の値（$V_{IN} - V_{FA}$）に達すると$\overline{FLAG}$はアサート解除されます。図 12 は通常動作中の過負荷発生時の連続電流制限モードの動作を示しています。

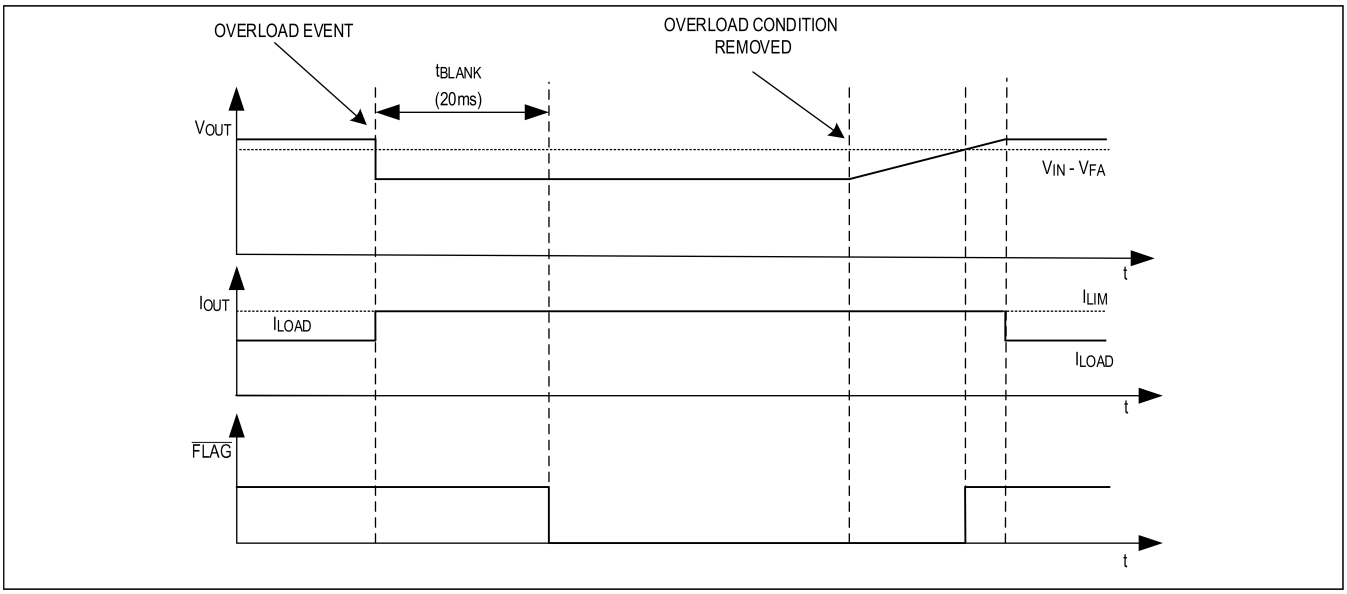


図 12. 連続電流制限モードでの過負荷フォルトのタイミング図

起動動作中および通常動作状態での電流制限条件では、過度の電力消費によってサーマル・シャットダウンに入り、オン／オフを繰り返す可能性があります。これについてはサーマル・シャットダウン保護のセクションに示しています。

自動リトライ電流制限モード

自動リトライ電流制限モードでは、t_{TSTART} まで連続電流制限モードで動作します。出力の過負荷のために V_{OUT} が t_{START} 以内に（$V_{IN} - V_{FA}$）に到達しなければ、出力 nFET の Q2 がオフになり、t_{TSTART} タイマーはリセットし、$\overline{FLAG}$端子がアサートされますが、入力 nFET の Q1 はオンのままです。t_{TSTART} が経過した後に、リトライ時間遅延（t_{RETRY}）が開始します。この t_{RETRY} の期間中、Q2 はオフのままです。t_{RETRY} の時間が経過すると、デバイスは再度起動サイクルを開始します。出力の過負荷がまだ継続していれば、自動リトライ・サイクルを繰り返し、$\overline{FLAG}$端子はアサートされたままになります。過負荷条件が解消し、出力電圧（V_{OUT}）が所定の値（$V_{IN} - V_{FA}$）に達すると、Q2 はオンのままで$\overline{FLAG}$端子はアサート解除されます。図 13 は自動リトライ電流制限モードにおける起動時の挙動を示しています。

自動リトライ電流制限モードでは、デバイスが電流制限状態に入ると、t_{BLANK} タイマーが起動します。t_{BLANK} タイマーは、t_{BLANK} の期間が経過するより早く電流制限条件が解消するとリセットし、通常動作を継続します。電流制限条件が t_{BLANK} の間存在していれば、出力 nFET の Q2 がオフになり、t_{BLANK} タイマーがリセットし、$\overline{FLAG}$がアサートされ、入力 nFET の Q1 はオンのままです。t_{BLANK} が経過した後に t_{RETRY} 遅延が開始します。この t_{RETRY} の期間中、Q2 はオフのままです。t_{RETRY} が経過すると、デバイスは起動サイクルを開始します。図 14 は通常動作中の過負荷発生時の自動リトライ電流制限モードの動作を示しています。

起動動作中および通常動作状態での電流制限条件では、過度の電力消費によってサーマル・シャットダウンに入り、オン／オフを繰り返す可能性があります。これについてはサーマル・シャットダウン保護のセクションに示しています。

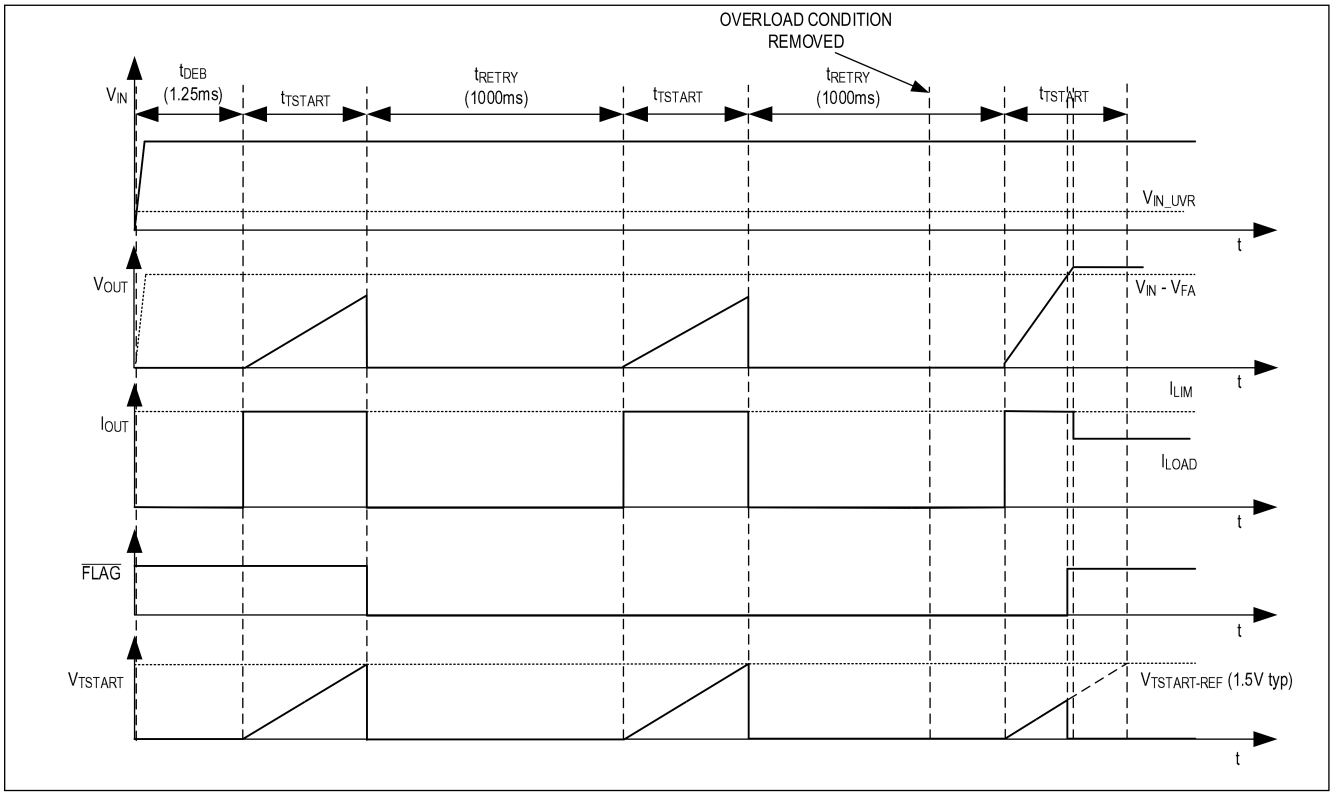


図 13. 自動リトライ電流制限モードでの起動フォルトのタイミング図

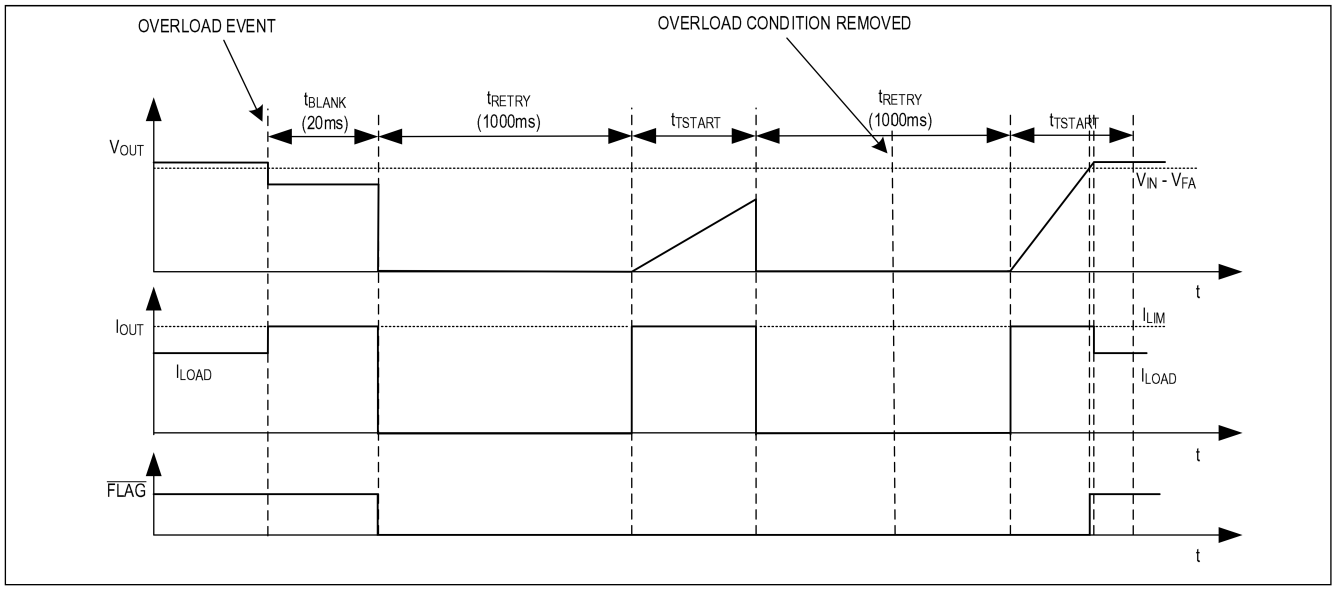


図 14. 自動リトライ電流制限モードでの過負荷フォルトのタイミング

自動リトライ機能では、過負荷や短絡の条件が発生した場合の平均消費電力が、連続電流制限モードに比較して低減されます。出力短絡条件でのデバイスの平均消費電力は、次式で計算できます。

$$P_D \cong V_{IN} \times I_{LIM} \times \left[\frac{t_{START}}{t_{START} + t_{RETRY}}\right]$$

電流制限スレッショルドの設定が 1A、出力電圧が 24V、出力容量が 100µF のとき、t_{TSTART} 時間の設定は 4.5ms です。t_{RETRY} 時間を 1000ms（代表値）とすると、デューティ・サイクルが 0.45%となり、平均消費電力は 108mW のみになります。

ラッチオフ電流制限モード

ラッチオフ電流制限モードでは、t_{TSTART} まで連続電流制限モードで動作します。出力の過負荷のために V_{OUT} が t_{START} 以内に（V_{IN} − V_{FA}）に到達しなければ、出力 nFET の Q2 がオフになってラッチされ、t_{TSTART} はリセットし、$\overline{FLAG}$端子がアサートされ、入力 nFET の Q1 はオンのままになります。デバイスをリセットするためには、イネーブル制御信号（EN）をトグルするか、入力電圧のパワーサイクルを行います。図 15 はラッチオフ電流制限モードでの起動時の挙動を示しています。

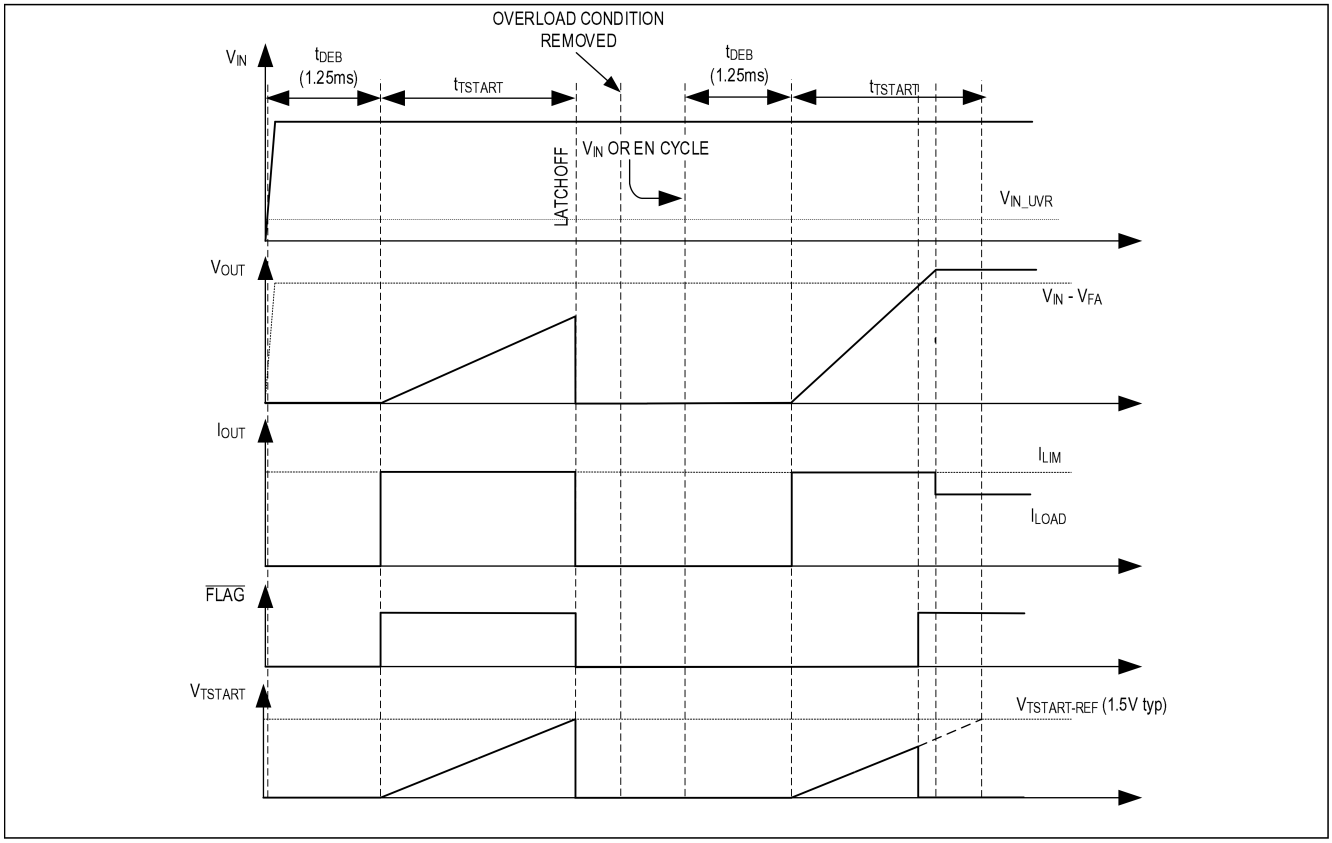


図 15. ラッチオフ電流制限モードでの起動フォルトのタイミング図

通常動作中のラッチオフ電流制限モードでは、デバイスが電流制限状態に入ると、t_{BLANK} タイマーが起動します。電流制限条件が t_{BLANK} の間存在していれば、出力 nFET の Q2 がオフになってラッチされ、t_{BLANK} タイマーがリセットし、$\overline{FLAG}$端子がアサートされ、入力 nFET の Q1 はオンのままです。デバイスをリセットするためには、イネーブル制御信号（EN）をトグルするか、入力電圧のパワーサイクルを行います。図 16 は通常動作中の過負荷発生時のラッチオフ電流制限モードの動作を示しています。

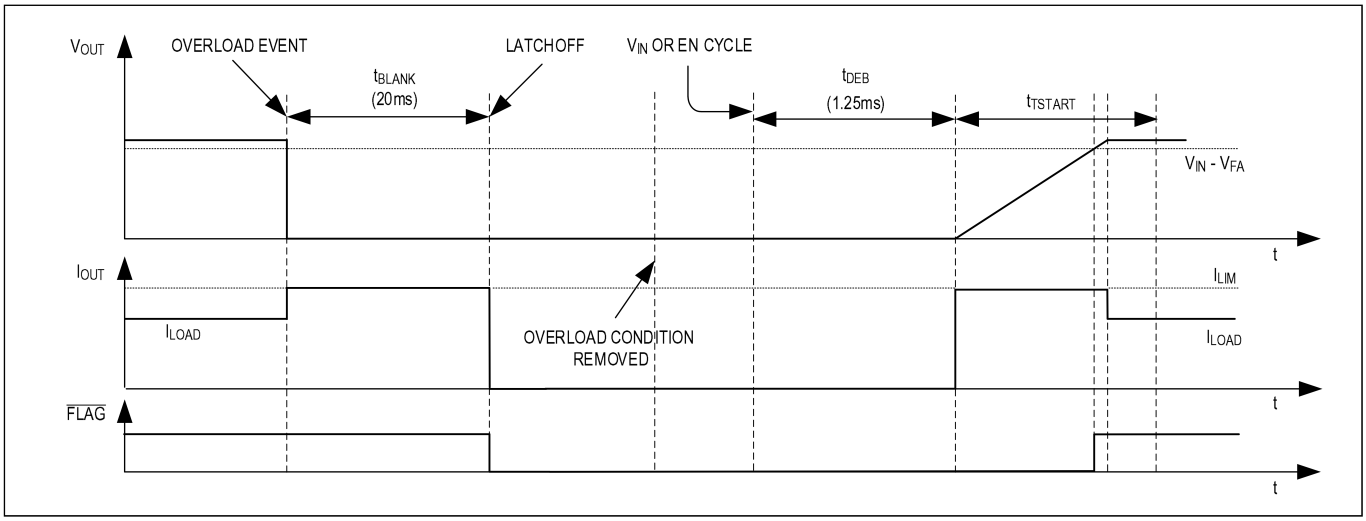


図 16. ラッチオフ電流制限モードでの過負荷フォルトのタイミング図

起動動作中および通常動作状態での電流制限条件では、過度の電力消費によってサーマル・シャットダウンに入り、オン／オフを繰り返す可能性があります。これについてはサーマル・シャットダウン保護のセクションに示しています。

短絡保護

出力の短絡が発生したときには、デバイスを流れる電流は非常に速く増加します。MAX17614 は、出力短絡ピーク電流を制限するために、高速トリップ電流コンパレータを備えています。この高速トリップ電流コンパレータは、nFET を流れる電流が I_{OCP} を上回ると、1.5µs（t_{DELAY1}）以内に内蔵 nFET の Q2 のみをオフにします。I_{OCP} は 8.5A（代表値）に内部設定されています。580µs（t_{DELAY2}）の遅延時間の後、デバイスはオン状態に戻り、360µs（t_R）以内に出力電流を設定された電流制限値に制限して、先述の電流制限モードのセクションに示したように動作します。図 17 には、電流が I_{OCP} スレッショルドを超過したときのシステム挙動を図示しています。

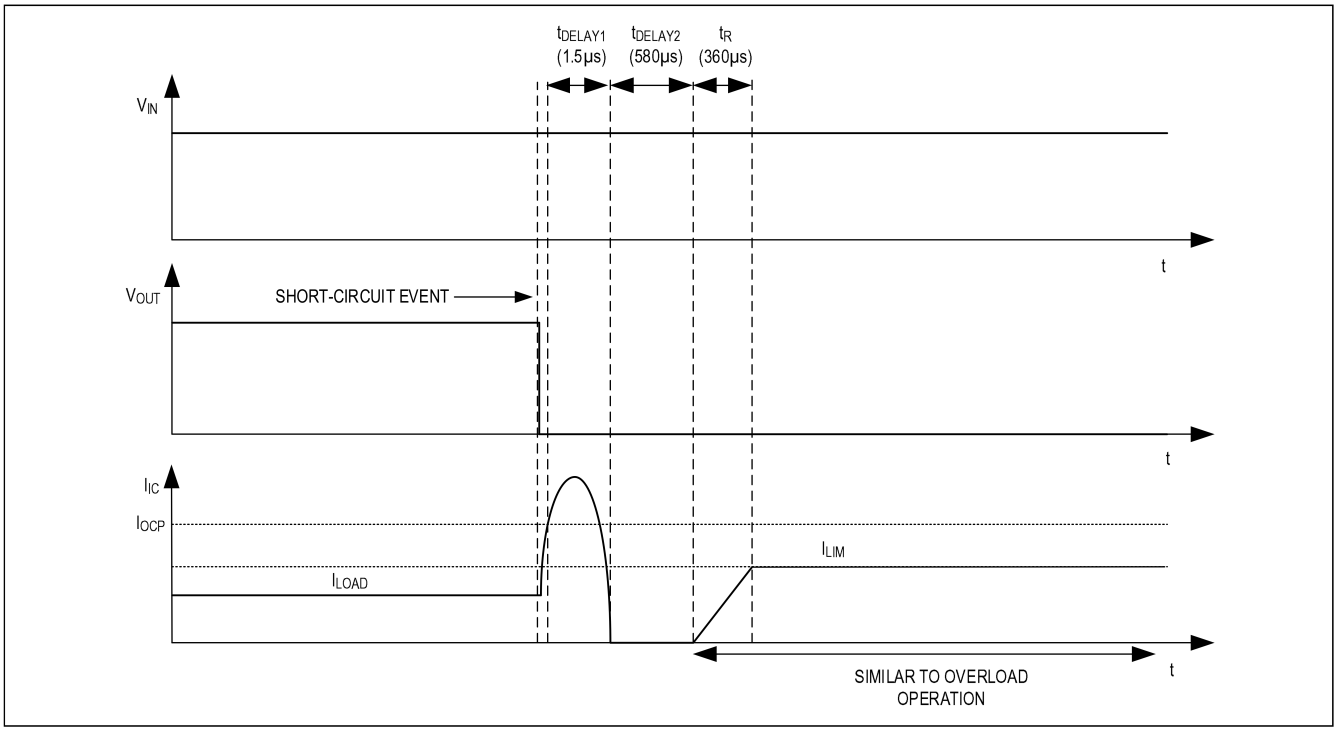


図 17. 高速過電流トリップのタイミング図

出力が短絡した状態で MAX17614 が起動されたときは、設定された電流制限値に負荷電流を制限し、過負荷条件と同様の挙動を示します。

フォルト出力

MAX17614 デバイスには$\overline{\text{FLAG}}$と UVOV という 2 つのオープンドレインのフォルト出力があります。下記の条件の少なくとも 1 つが満たされると、$\overline{\text{FLAG}}$端子がローになります。

- 通常動作中に電流制限時間がブランキング時間 t_{BLANK} の期間を超過した。
- 出力電圧が起動ブランキング時間（t_{TSTART}）以内に（$V_{IN} - V_{FA}$）に達しない。
- 逆電流が検出された。
- サーマル・シャットダウンが発生した。
- R_{SETI} が 1.5kΩ（最大値）より小さい。

UVOV の機能については、入力低電圧ロックアウトと入力過電圧ロックアウトのセクションを参照してください。

以下の表に、様々なフォルト条件での内蔵 nFET の状態を示しています。

表 3. フォルト時の内蔵 FET の状態

CONDITION	Q1 STATUS	Q2 STATUS	$\overline{\text{FLAG}}$ STATUS	UVOV STATUS
No Fault	ON	ON	HIGH	LOW
Input UVLO below V_{UVF}	ON	OFF	HIGH	HIGH
Input OVLO above V_{OVR}	ON	OFF	HIGH	HIGH
Reverse Current Blocking With no other fault	OFF	ON	LOW	LOW
Current limit duration exceeds t_{BLANK} during normal operation	ON	X (Note 11)	LOW (Note 11)	LOW
Overcurrent Protection (I_{OCP}, 8.5A)	ON	OFF (Note 12)	LOW (Note 12)	LOW
EN is low	OFF	OFF	HIGH	HIGH
Thermal Shutdown	ON	OFF	LOW	LOW
SETI Grounded (Note 13)	OFF	OFF	LOW	LOW
Current limit duration exceeds t_{TSTART} during startup operation	ON	X (Note 14)	LOW (Note 14)	LOW

Note 11 : 連続電流制限モード：Q2 がオン、t_{BLANK} 後に$\overline{\text{FLAG}}$がローにプルダウン。ラッチオフ電流制限モード、自動リカバリ電流制限モード：Q2 がオフ、t_{BLANK} 後に$\overline{\text{FLAG}}$がローにプルダウン。

Note 12 : 連続電流制限モード：Q2 は即時オフになり、t_{DELAY2}（580µs）後にオンに戻って電流制限が t_R（360µs）かけてランプアップし、$\overline{\text{FLAG}}$は t_{BLANK} 後にローにプルダウンされます。ラッチオフ電流制限モード、自動リカバリ電流制限モード：Q2 は即時オフになり、t_{DELAY2}（580µs）後にオンに戻って電流制限が t_R（360µs）かけてランプアップし、Q2 はオフになり、$\overline{\text{FLAG}}$は t_{BLANK} 時間後も過負荷条件が存在していればローにプルダウンされます。

Note 13 : この条件は電源オン時にのみ確認されます。

Note 14 : 連続電流制限モード：Q2 がオン、t_{TSTART} 後に$\overline{\text{FLAG}}$がローにプルダウン。ラッチオフ電流制限モード、自動リカバリ電流制限モード：Q2 がオフ、t_{TSTART} 後に$\overline{\text{FLAG}}$がローにプルダウン。

サーマル・シャットダウン保護

MAX17614 は、過熱に対する保護のため、サーマル・シャットダウン機能を備えています。ジャンクション温度が T_J（代表値+155ºC）を超過したとき、デバイスは出力 nFET の Q2 のみをオフにし、$\overline{\text{FLAG}}$端子をアサートします。ジャンクション温度が $T_{J(HYS)}$（代表値 15ºC）だけ低下すると、サーマル・シャットダウン状態を脱し動作を再開しますが、ラッチオフ・モードは例外で、再起動のためには EN もしくは入力電圧のサイクル動作が必要となります。温度保護にはブランキング時間はありません。サーマル・シャットダウンは、過負荷、短絡、大きな出力容量に向けての動作開始時、デバイスの消費電力が高くなった場合に発生の可能性があります。

アプリケーション情報

理想ダイオード／電力多重化アプリケーション

電源遮断を許容できない負荷に対応するための旧来の冗長電力アーキテクチャでは、2 つの電源をショットキー・ダイオードで OR 結合していました。この方法では、電源のうち 1 つが機能しなくなっても、もう 1 つの電源に滑らかに切り替わり、途切れなく負荷に電力を供給できます。しかし、ショットキーによるソリューションでは電力損失の問題があり、温度上昇が大きくなります。また、電流制限、低電圧ロックアウト、過電圧ロックアウトなどの重要な保護機能を実装するために、多数のディスクリート部品が必要となります。

MAX17614 デバイスは対向 nFET ペアを内蔵しており、集積度が高く、高効率かつ信頼性の高い理想ダイオードソリューションが実現できて、高速でシームレスな切り替え応答が得られる一方、部品点数や設計複雑度は大幅に削減できます。図 18 に 2 個の MAX17614 を使用した理想ダイオードの実装を示します。

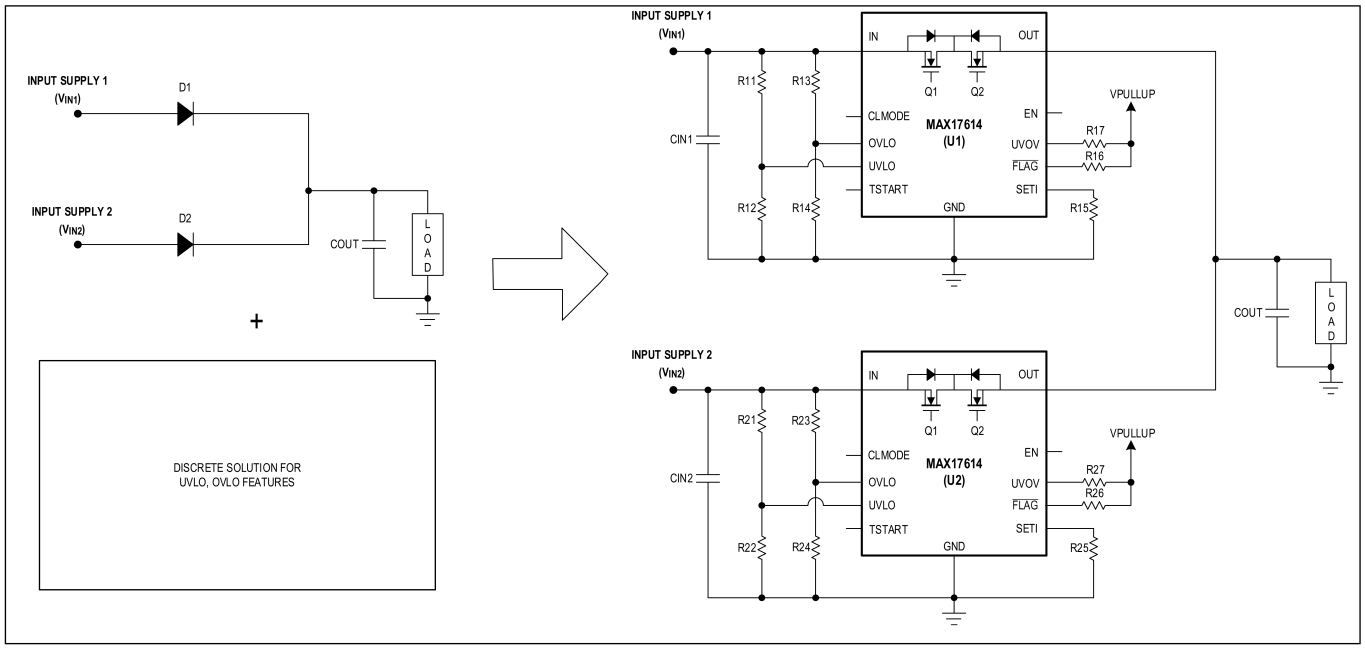


図 18. 2 個の MAX17614 を使用した理想ダイオード／電源多重化実装

MAX17614 の高速反転コンパレータは IN-OUT 間の電圧降下をモニタし、内蔵 nFET の Q1 を制御して、図 19 に示すようにヒステリシス付きで Q1 をオン／オフします。

1) 高速逆電流条件が検出されると、すなわち（$V_{IN} - V_{OUT}$）が−102mV より低くなると、内蔵 nFET の Q1 が 140ns（t_{RIB}）以内にオフになります。
2) 低速逆電流条件が検出されると、すなわち（$V_{IN} - V_{OUT}$）が−4.5mV より低くなると、内蔵 nFET の Q1 が 17µs（t_{DEBRIB}）以内にオフになります。
3) 逆電流条件がなくなると、すなわち（$V_{IN} - V_{OUT}$）が+100mV より高くなると、内蔵 nFET は 8µs（t_{Q1_ON}）経過後にオンになります。

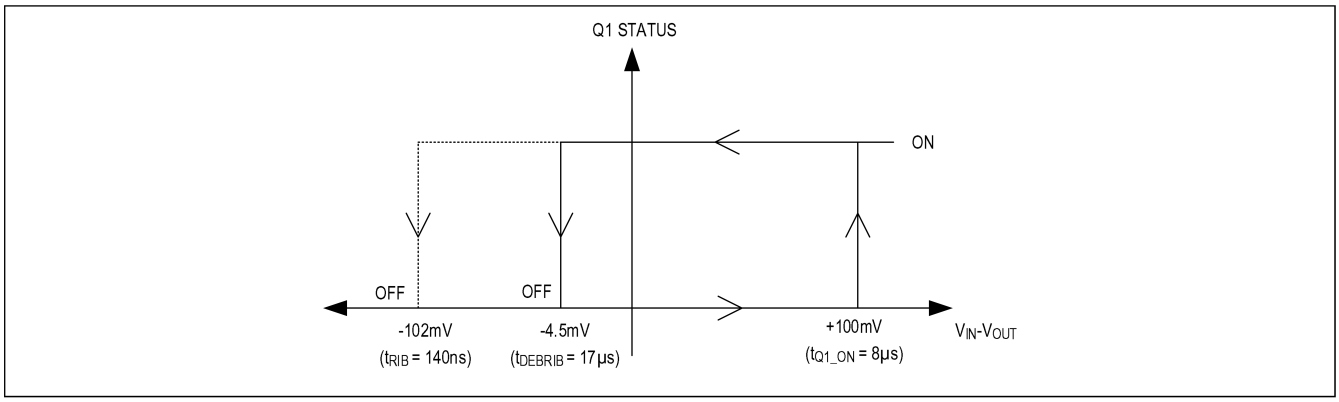


図 19. Q1 のオンとオフの状態切り替え

図 20 は、MAX17614 を使用した理想ダイオード実装での主電源（V_{IN1}）からバックアップ電源（V_{IN2}）への負荷切り替えのタイミング図を示しています。

最初の状態では $V_{IN1} > V_{IN2}$ であるため、負荷には安定的に主電源から供給されています。この状態では、デバイス U1 は順方向導通状態（Q1 と Q2 が共にオン）となり、デバイス U2 は $V_{OUT} > V_{IN2}$ のため逆電流ブロック状態（Q1 がオフ、Q2 がオン）となります。この状態で、もし V_{IN1} が電源の障害でランプ・ダウンすると、V_{OUT} は内蔵 nFET のオン抵抗と U1 を流れる電流の積に等しい電圧降下を保ちながら V_{IN1} に追従します。V_{IN1} が$(V_{IN2} - V_{OUT}) > +100mV$ となるようなレベルに低下すると、U2 は逆電流ブロック状態から脱して、8µs（t_{Q1_ON}）後に内蔵 nFET の Q1 をオンにします。$V_{IN2} > V_{IN1}$ となるため、V_{IN2} が出力負荷への電力供給を開始します。U2 の Q1 がオンになることにより、V_{OUT} は Q1 のボディ・ダイオードの電圧降下に等しい電圧降下分、瞬時に上昇します。これにより、U1 の高速反転コンパレータは、（$V_{IN1} - V_{OUT}$）が−102mV より低くなると 140ns（t_{RIB}）以内に内蔵 nFET の Q1 のみをオフにしますが、Q2 はオンのままです。U1 の内蔵 nFET の Q1 がオフになるまでは、通常動作を中断することなく、負荷電流を U1 と U2 の間で分担します。

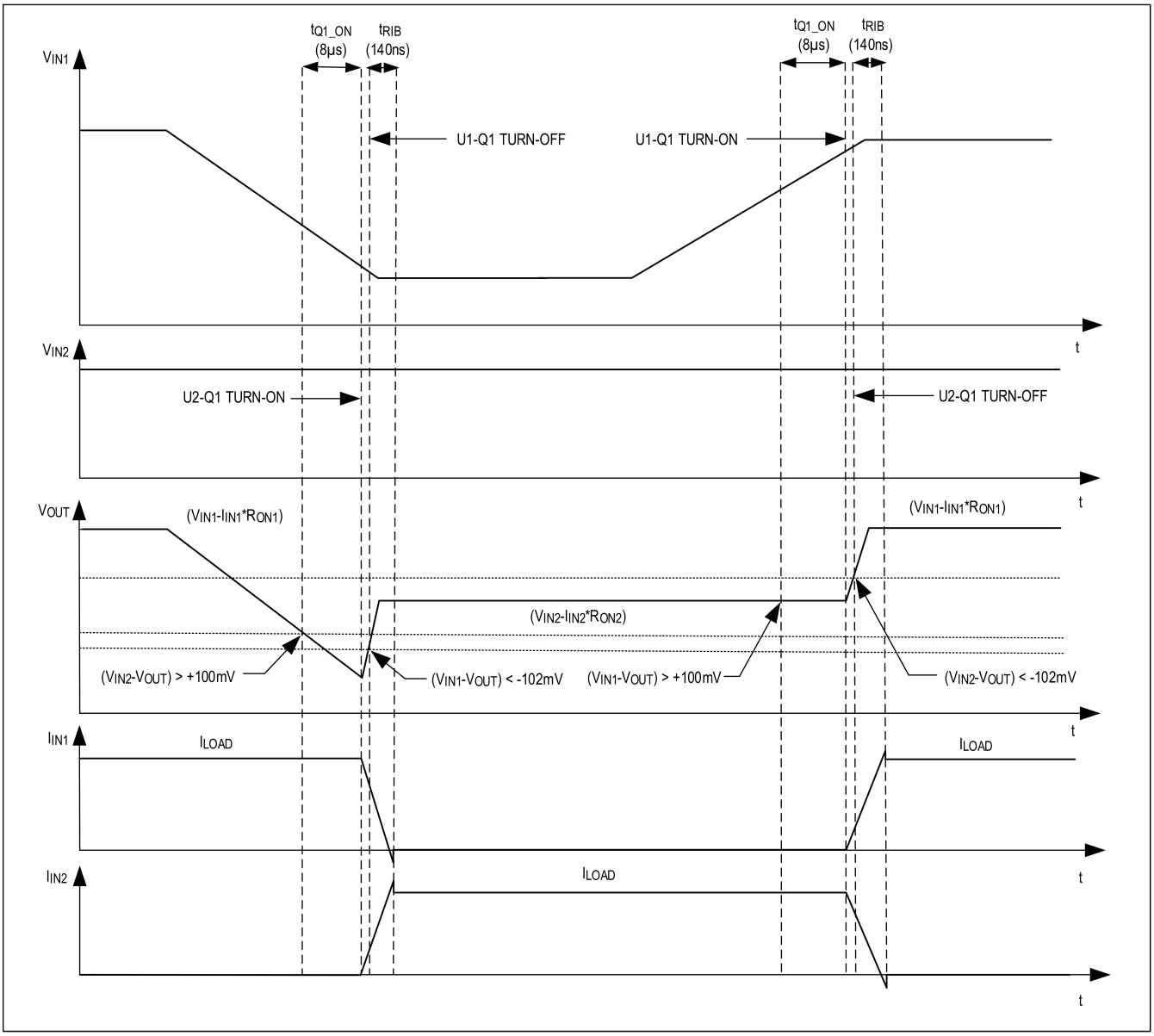


図 20. MAX17614 の理想ダイオード実装のタイミング図

V_{IN2} > V_{IN1} となっているため、負荷には安定的に V_{IN2} から供給されます。デバイス U1 は逆電流ブロック状態（Q1 がオフ、Q2 がオン）、U2 は順方向導通状態（Q1 と Q2 が共にオン）です。V_{IN1} が回復してランプアップするとき、逆電流条件がなくなると、すなわち（V_{IN1} − V_{OUT}）が+100mV より高くなると、U1 は 8µs（t_{Q1_ON}）後に内蔵 nFET の Q1 をオンにします。V_{IN1} > V_{IN2} となるため、V_{IN1} が出力負荷への電力供給を開始します。出力電圧がランプアップを開始し、出力が安定状態になるまで、すなわち出力電圧が主電源電圧、U1 の内部オン抵抗、負荷電流の関数となるまでランプアップします。U2 は、（V_{IN2} − V_{OUT}）が−102mV より低くなると 140ns（t_{RIB}）以内に内蔵 nFET の Q1 のみをオフにしますが、Q2 はオンのままです。U2 の内蔵 nFET の Q1 がオフになるまでは、通常動作を中断することなく、負荷電流を U1 と U2 の間で分担します。

このように、MAX17614 を使用すれば理想ダイオードの OR ソリューションを実装できて、負荷を主電源（V_{IN1}）からバックアップ電源（V_{IN2}）に転換し、再び V_{IN1} に戻す動作をシームレスに行い、ショットキーによるソリューションと比較して大幅に電力損失を低減できます。

電源セレクタ

MAX17614 の EN 端子を使用すると、システム・マイクロコントローラは負荷への電力供給をオン／オフすることができ、動作条件に応じた電源の選択が可能です。

図 21 は、MAX17614 を 2 つ使用した電源セレクタ構成のタイミング図を示しています。最初の状態では $V_{IN1} > V_{IN2}$ であるため、出力負荷には安定的に V_{IN1} から電力供給されています。ここでの出力電圧は主電源電圧 V_{IN1}、U1 の内部オン抵抗、負荷電流の関数です。デバイス U1 は順方向導通状態（Q1 と Q2 が共にオン）となり、デバイス U2 は逆電流ブロック状態（Q1 がオフ、Q2 がオン）となります。

U1 のイネーブル信号（EN1）がローになると、U1 の内蔵 nFET である Q1 と Q2 はオフになります。出力コンデンサが負荷に向けて放電を開始します。逆電流条件がなくなると、すなわち（$V_{IN2} - V_{OUT}$）が+100mV より高くなると、U2 は 8µs（t_{Q1_ON}）後に内蔵の Q1 をオンにします。V_{IN2} が負荷電流の供給を開始すると出力電圧がランプアップを開始し、出力が安定状態になるまで、すなわち出力電圧が V_{IN2}、U2 の内部オン抵抗、負荷電流の関数となるまでランプアップします。

U1 のイネーブル信号（EN1）が復帰すると、U1 は 200µs（t_{Q1_DLY}）後に入力 nFET の Q1 をオンにし、1.25ms（t_{DEB}）後に出力 nFET の Q2 をオンにします。$V_{IN1} > V_{IN2}$ となるため、V_{IN1} が出力負荷への電力供給を開始します。出力電圧は V_{IN1}、U1 の内部オン抵抗、負荷電流の関数となります。U2 は、（$V_{IN2} - V_{OUT}$）が−102mV より低くなると 140ns（t_{RIB}）以内に内蔵 nFET の Q1 のみをオフにしますが、出力 nFET の Q2 はオンのままです。U2 の内蔵 nFET の Q1 がオフになるまでは、通常動作を中断することなく、負荷電流を U1 と U2 の間で分担します。

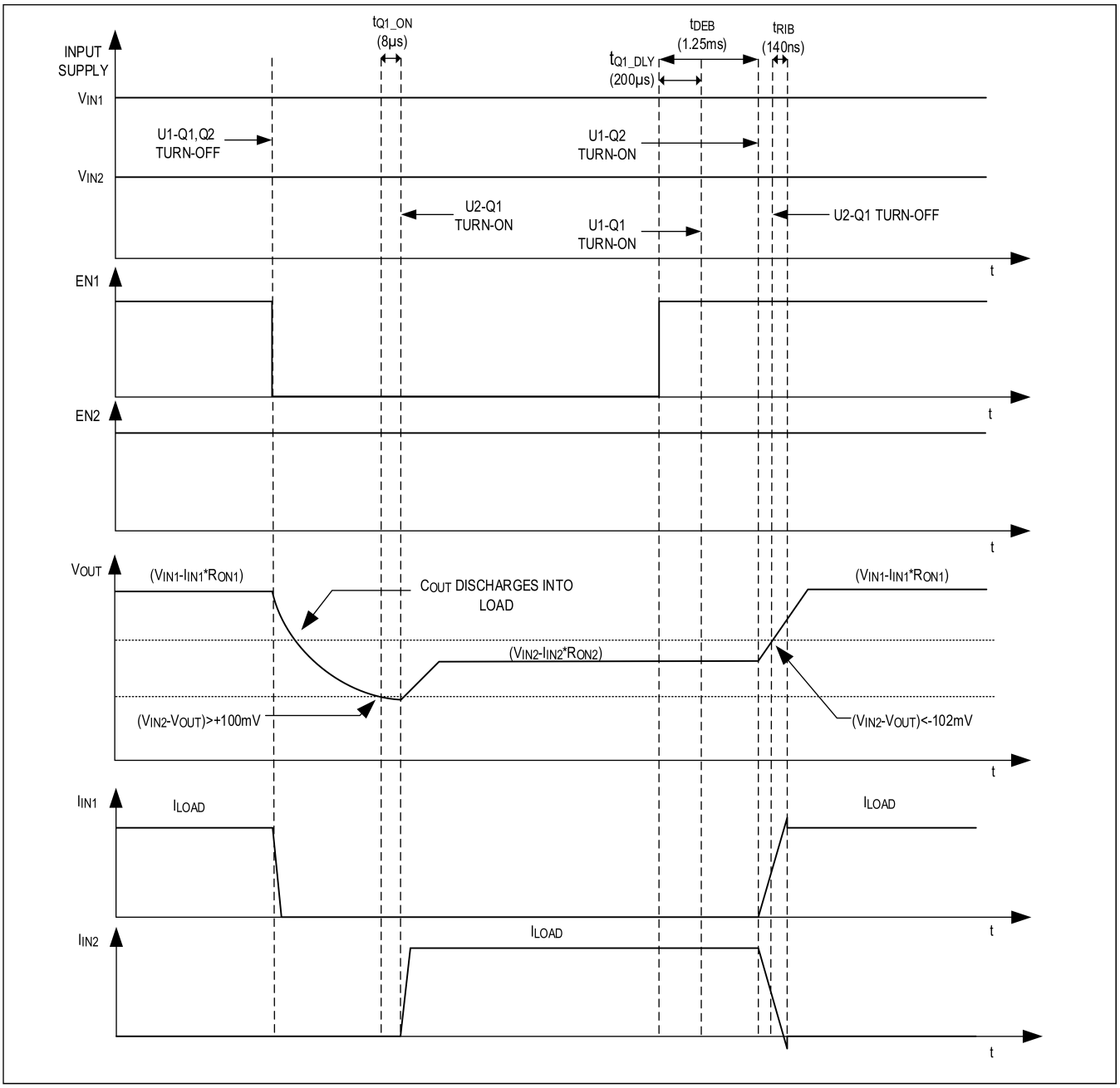


図 21. 電源セレクタのタイミング図

優先度付き電源セレクタ

MAX17614 の OVLO 端子と UVOV 端子の設定により、代表的なアプリケーション回路の図 26 に示すように、優先度付き電源セレクタを構成できます。この場合では、V_{IN2} > V_{IN1} であっても、V_{IN2} から負荷に電力が供給されるのは、V_{IN1} が入力低電圧スレッショルド（V_{IN1_UVF}）を下回った場合のみです。例えば、優先電源の V_{IN1}（10V～30V）の電圧が入力低電圧の立上がりスレッショルド（V_{IN1_UVR}）を上回っていれば、バックアップ電源の V_{IN2}（10.8V～13.2V）が V_{IN1} より高くても低くても、V_{IN1} のみが負荷に電力を供給します。V_{IN1} が 8.9V（V_{IN1_UVF}）を下回ると、V_{IN2} が負荷に電力を供給します。

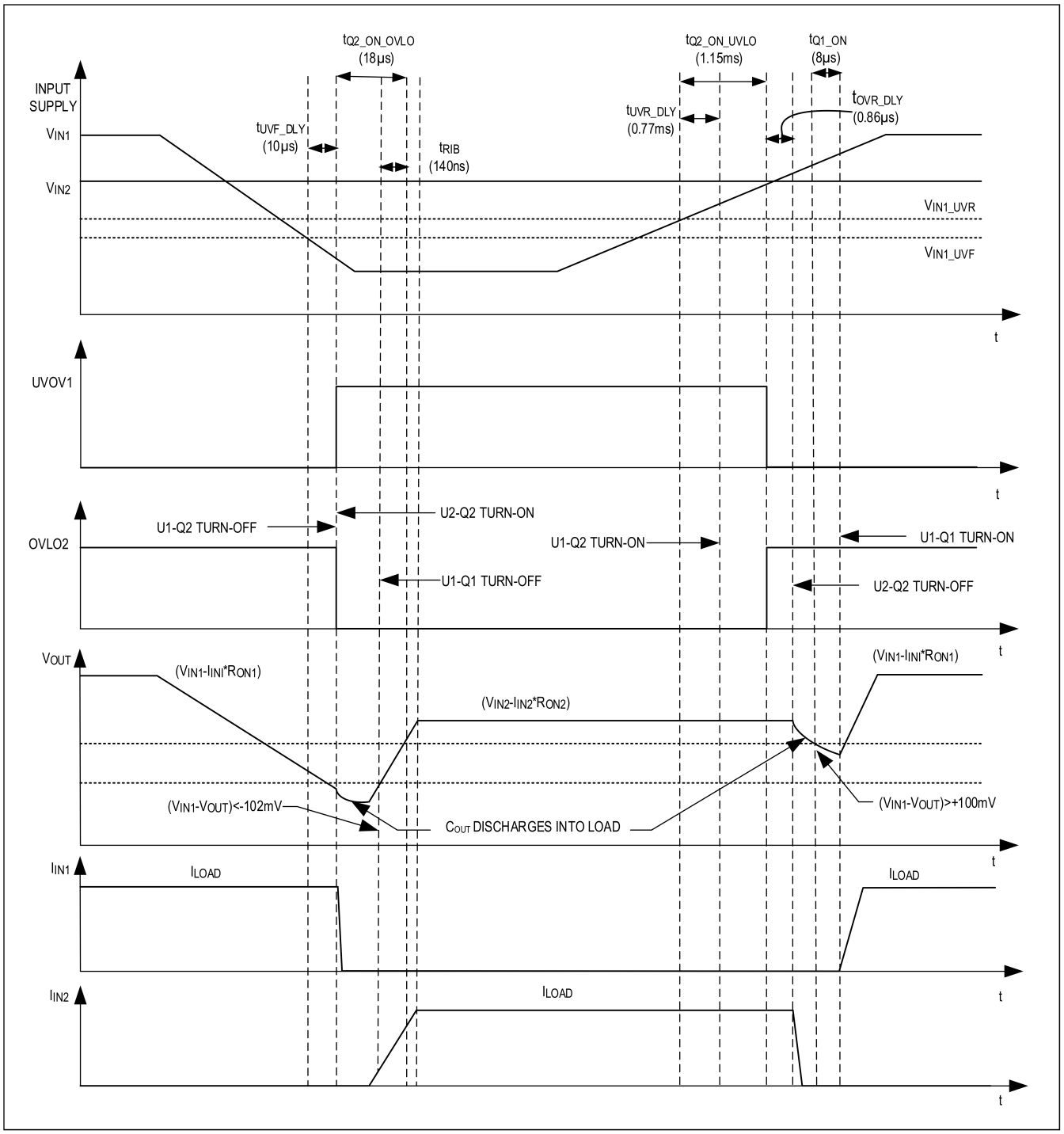


図 22. MAX17614 の優先度付き電源セレクタのタイミング図

図 22 は、MAX17614 を使用した優先度付き電源セレクタ構成のタイミング図を示しています。最初の状態では、V_{IN1} > V_{IN1_UVR} となっているため、負荷には安定的に V_{IN1} から電力供給されます。U1 は順方向導通状態（Q1 と Q2 が共にオン）です。U2 は、OVLO 端子の電圧が入力 OVLO の立上がりスレッショルドよりも高いため、オフ状態（Q1 がオン、Q2 がオフ）になります。

この状態で、もし V_{IN1} が電源の障害でランプ・ダウンすると、V_{OUT} は U1 の内部オン抵抗と負荷電流の積に等しい電圧降下を保ちながら V_{IN1} に追従します。V_{IN1} が V_{IN1_UVF} スレッショルドを下回ると、10µs（t_{UVF_DLY}）後に U1 の出力 nFET の Q2 のみがオフになり、UVOV1 がアサートされます。UVOV1 がアサートされると、V_{OVLO2} は V_{OVF} のスレッショルドより低く引き下げられ、U2 が Q2 をオンにする動作を開始します。内蔵 nFET の Q2 は 18µs（$t_{Q2_ON_OVLO}$）以内に完全にオンになります。V_{IN2} が負荷電流の供給を開始すると出力電圧がランプアップを開始し、出力が安定状態になるまで、すなわち出力電圧が V_{IN2}、U2 の内部オン抵抗、負荷電流の関数となるまでランプアップします。出力電圧のランプアップ中、（V_{IN1} − V_{OUT}）が−102mV を下回ると、140ns（t_{RIB}）以内に U1 が内蔵 nFET の Q1 をオフにします。

V_{IN1} が復帰して V_{IN1_UVR} スレッショルドを上回ると、U1 は 0.77ms（t_{UVR_DLY}）後に Q2 をオンにする動作を開始します。内蔵 nFET の Q2 は 1.15ms（$t_{Q2_ON_UVLO}$）以内に完全にオン状態に戻り、UVOV1 のアサートが解除されます。UVOV1 がアサート解除されると、V_{OVLO2} が V_{OVR} スレッショルドよりも上昇し、U2 は 0.86µs（t_{OVR_DLY}）後に出力 nFET の Q2 をオフにしますが、入力 nFET の Q1 はオンのままです。出力コンデンサが負荷に向けて放電を開始します。出力コンデンサの放電中、逆電流条件がなくなると、すなわち（V_{IN1} − V_{OUT}）が +100mV より高くなると、U1 は 8µs（t_{Q1_ON}）後に内蔵 nFET の Q1 をオンにします。出力電圧がランプアップを開始し、出力が安定状態になるまで、すなわち出力電圧が V_{IN1}、U1 の内部オン抵抗、負荷電流の関数となるまでランプアップします。

入力コンデンサ

IN 端子と GND の間にセラミック・コンデンサ（0.47µF～1µF）を配置することを推奨します。

ホット・プラグイン

システム電源のアプリケーションの多くは、放射エミッションを減少させ ESD の許容度を高めるために、入力フィルタ・コンデンサを必要とします。ホット・プラグイン・アプリケーションでは、ケーブルの寄生容量と入力コンデンサによって、電源ケーブルが入力端子に接続されたときにオーバーシュートやリンギングを引き起こします。

この作用により、供給電圧の 2 倍もの電圧が保護デバイスにかかります。工業用アプリケーションでは、システムをこうした状況から保護するために、トランジェント電圧抑制回路（TVS）がよく使用されます。保護性能を改善するために、60V（最大値）のサージ電圧を制限する能力のある TVS を、入力端子の近くに配置します。IN 端子の最大許容スルー・レートは 100V/µs（最大値）です。

OUT 端子のホット・プラグイン

アプリケーションによっては、入力電圧の有無にかかわらずデバイスの OUT 端子に外部電圧がかかる可能性があります。こうした状況では、MAX17614 は OUT 端子に流れ込み IN 端子から流れ出す逆電流を検知し、内蔵 FET をオフにします。ケーブルの寄生インダクタンスと入出力コンデンサによって、外部から電圧が OUT 端子にかかるときにオーバーシュートやリンギングが発生します。これにより、供給電圧の 2 倍もの電圧が保護デバイスにかかり、デバイスの損傷につながる可能性があります。過電圧状態でも、端子での電圧が絶対最大定格を超過しないように維持することが推奨されます。OUT 端子の最大許容スルー・レートは 100V/µs（最大値）です。

誘導性ハード地絡対応用の出力フリーホイール・ダイオード

誘導性負荷や長いケーブルによる急激な地絡からの保護を必要とするアプリケーションでは、地絡発生時の誘導性キックバックに起因する OUT の逆電圧スイングを防止するために、OUT 端子とグランドの間にショットキー・ダイオードを配置することが推奨されます。

レイアウトと放熱

入出力コンデンサはデバイスのできるだけ近くに配置します。IN 端子と OUT 端子は、短く幅の広いパターンで電源バスに接続することが必要です。通常動作中は、消費電力は小さくパッケージの温度変化はわずかです。

定常的な通常動作時の消費電力は次のように計算できます。

$$P_{SS} = (I_{OUT}^2) * R_{ON}$$

様々な動作温度での R_{ON} の値については、電気的特性と標準動作特性を参照してください。内層のグランド・プレーンに適切に放熱するため、露出パッドとグランド・プレーンの間にサーマル・ビアを使用します。

ESD 保護

このデバイスは、IN が 0.47µF の低 ESR セラミック・コンデンサでグランドにバイパスされている場合、IN 端子で代表値±15kV（HBM）の ESD 抵抗が仕様規定されています。IN 端子での代表値±2kV（HBM）の ESD に対してはコンデンサは必要ありません。全ての端子は代表値±2kV（HBM）の ESD 保護を備えています。

図 23 は人体モデル、図 24 はこれが低いインピーダンスに向けて放電する際に発生する電流波形を示しています。このモデルでは、100pF のコンデンサを測定対象の ESD 電圧まで充電し、1.5kΩ の抵抗を介してデバイスに向けて放電します。

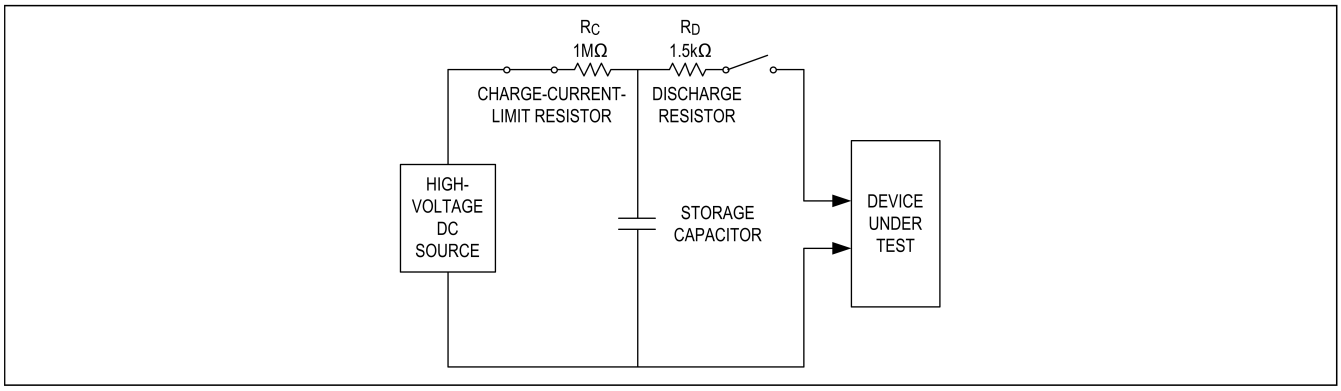


図 23. ESD 試験で使用する人体モデル

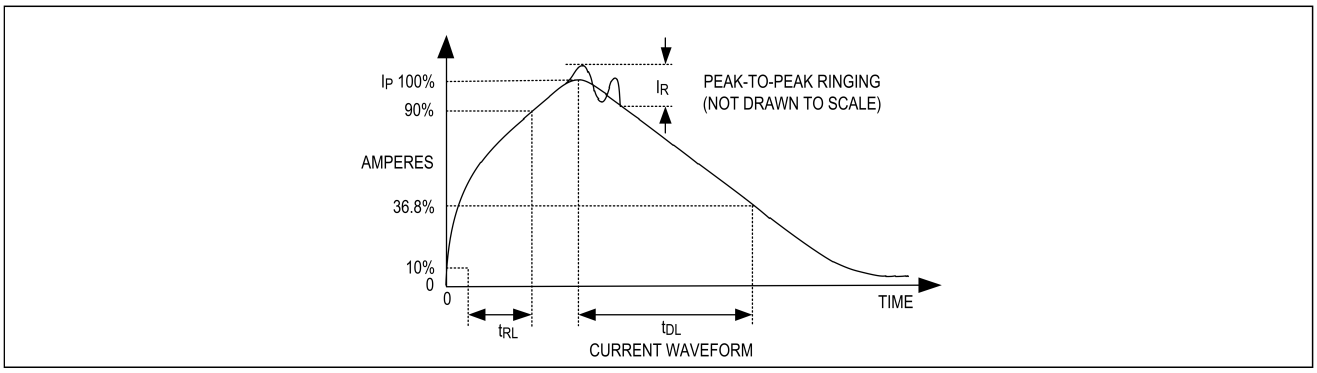


図 24. 人体モデルの電流波形

代表的なアプリケーション回路

理想ダイオード／電力多重化アプリケーション

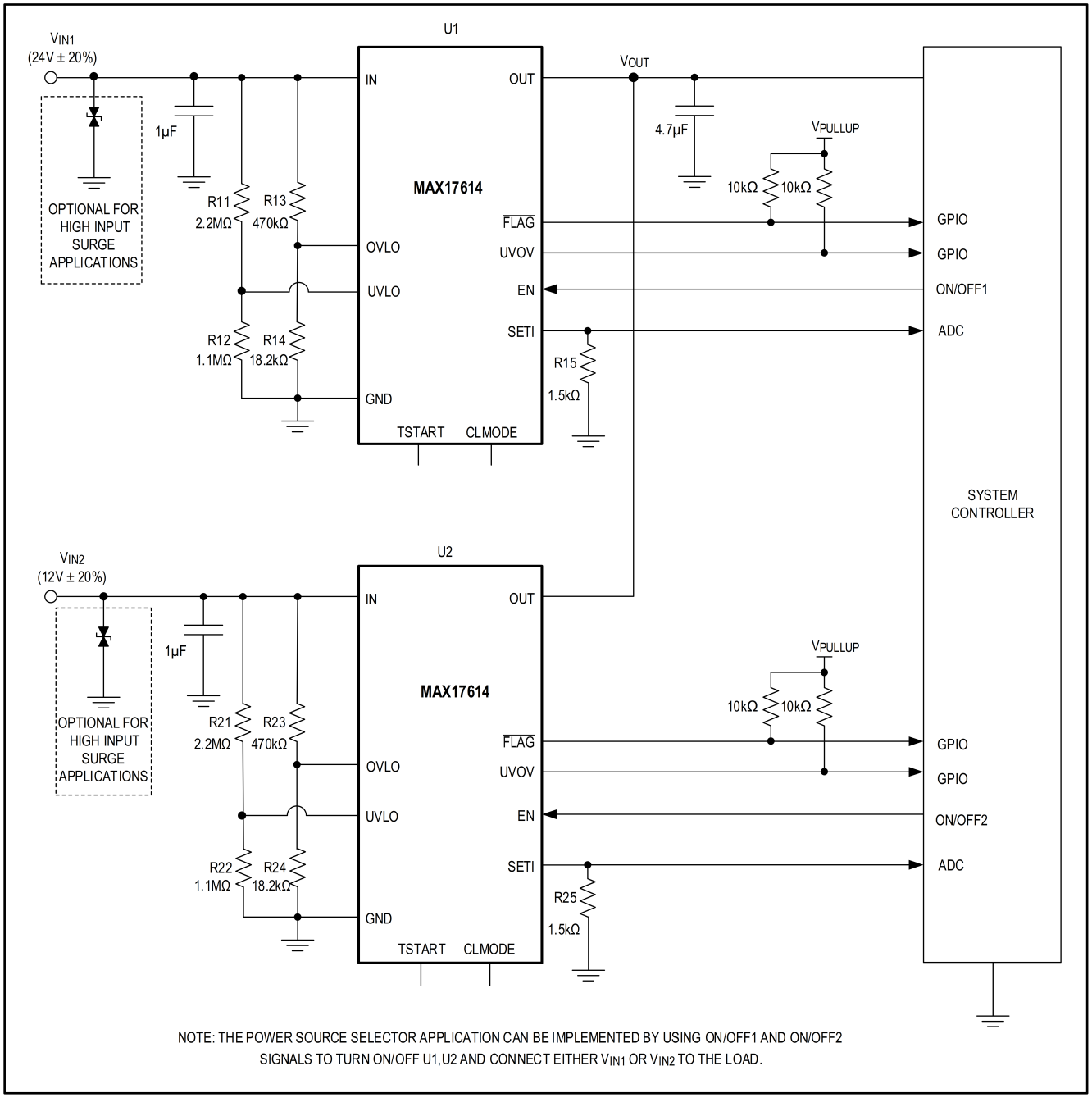


図 25. MAX17614 を 2 つ使用した理想ダイオードのアプリケーション

優先度付き電源セレクタ

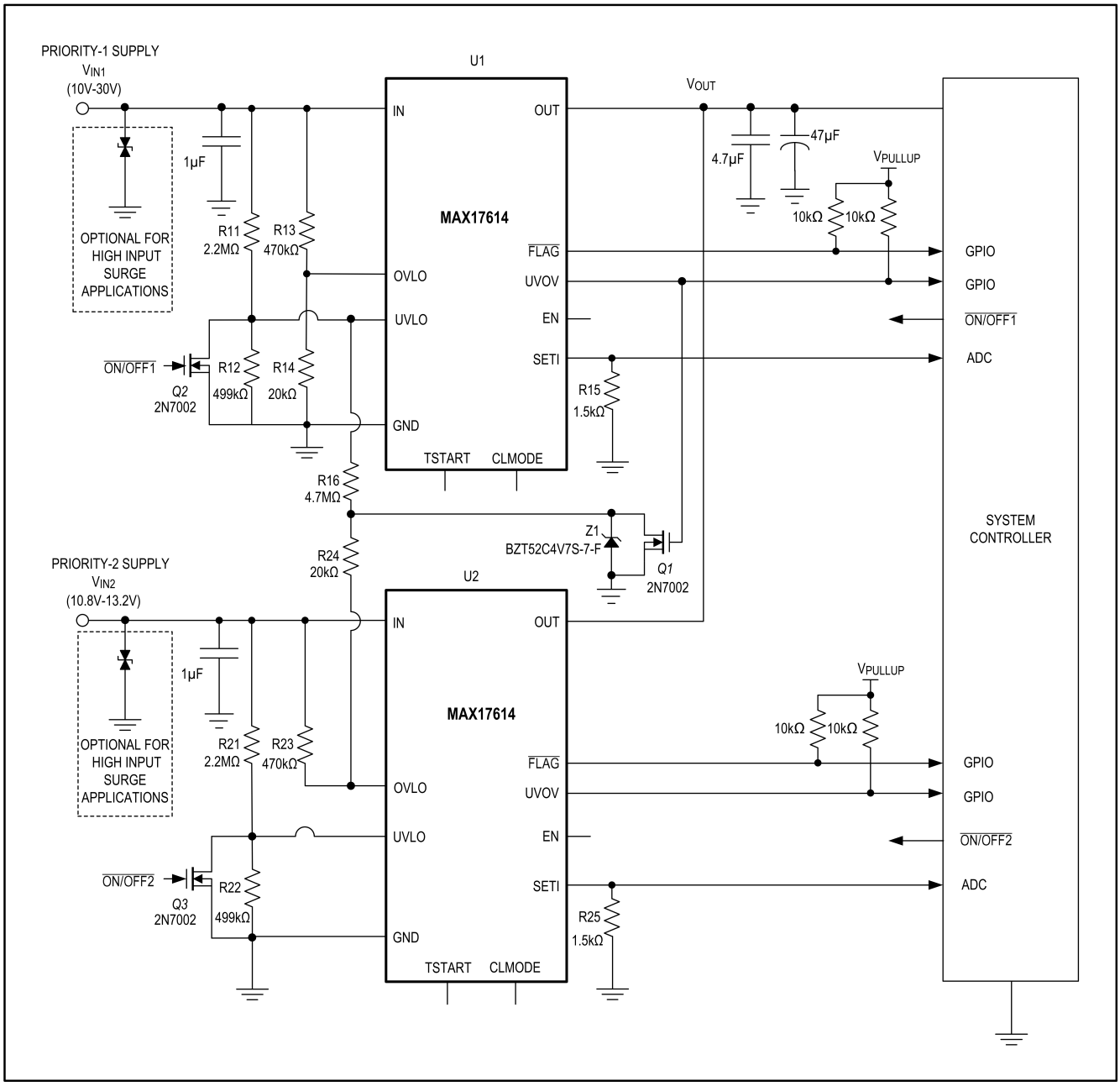


図 26. MAX17614 を 2 つ使用した優先度付き電源セレクタ・アプリケーション回路

逆電流ブロック機能を備えた電流制限回路

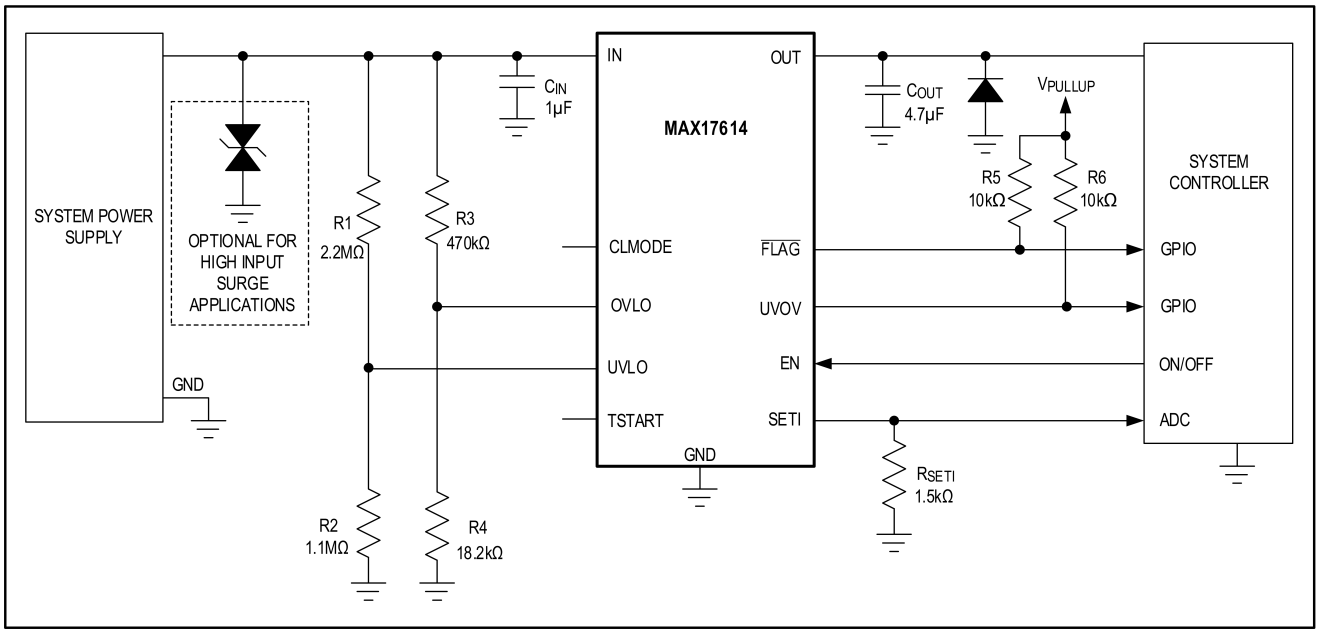


図 27. MAX17614 による逆電流ブロック機能を備えた電流制限回路

オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX17614ATP+	-40°C to +125°C	20 TQFN-EP*
MAX17614ATP+T	-40°C to +125°C	20 TQFN-EP*

+は鉛（Pb）フリー／RoHS 準拠のパッケージを表します。
T =テープ&リール。
** EP = 露出パッド。*

改訂履歴

版数	改訂日	説明	改訂ページ
0	4/23	市場投入のためのリリース	–

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。