日本語参考資料
最新版英語データシートはこちら

MAX20094/MAX20095

バックアップ・バッテリ・チャージャと昇圧コントローラ

概要

MAX20094/MAX20095 は、設定可能な定電流／定電圧（CC/CV）バッテリ・チャージャと高効率の同期整流式昇圧コントローラを組み合わせた IC で、主電源が失われた場合に重要なシステムに給電します。更に、バッテリの劣化状態（SOH）と IC の機能をチェックする診断機能を備えています。充電の閾値と昇圧出力電圧が設定可能なため、一般的なバッテリの化学的性質と多様なセル数に対応できます。システム・インテグレーションをサポートするために、IC には I²C ターゲット・ポートがあり、これを介して設定やステータス・ビットにアクセスできます。

また、2.2MHz のスイッチング周波数は、インダクタ・サイズを最小限に抑えることができることで、システム・コストの低減に寄与しています。本 IC は、高精度のバッテリ SOH チェック機能も搭載しており、バックアップ・バッテリ（BUB）からのリーク電流を最小化する機能を内蔵しています。

MAX20094/MAX20095 は、28 ピン（5mm × 5mm）サイドウェッタブル TQFN パッケージで提供され、AECQ-100 に適合しています。

アプリケーション

- 車載テレマティックス用バッテリ・バックアップ
- シングルまたはマルチセルのバッテリ・バックアップ・システム

特長と利点

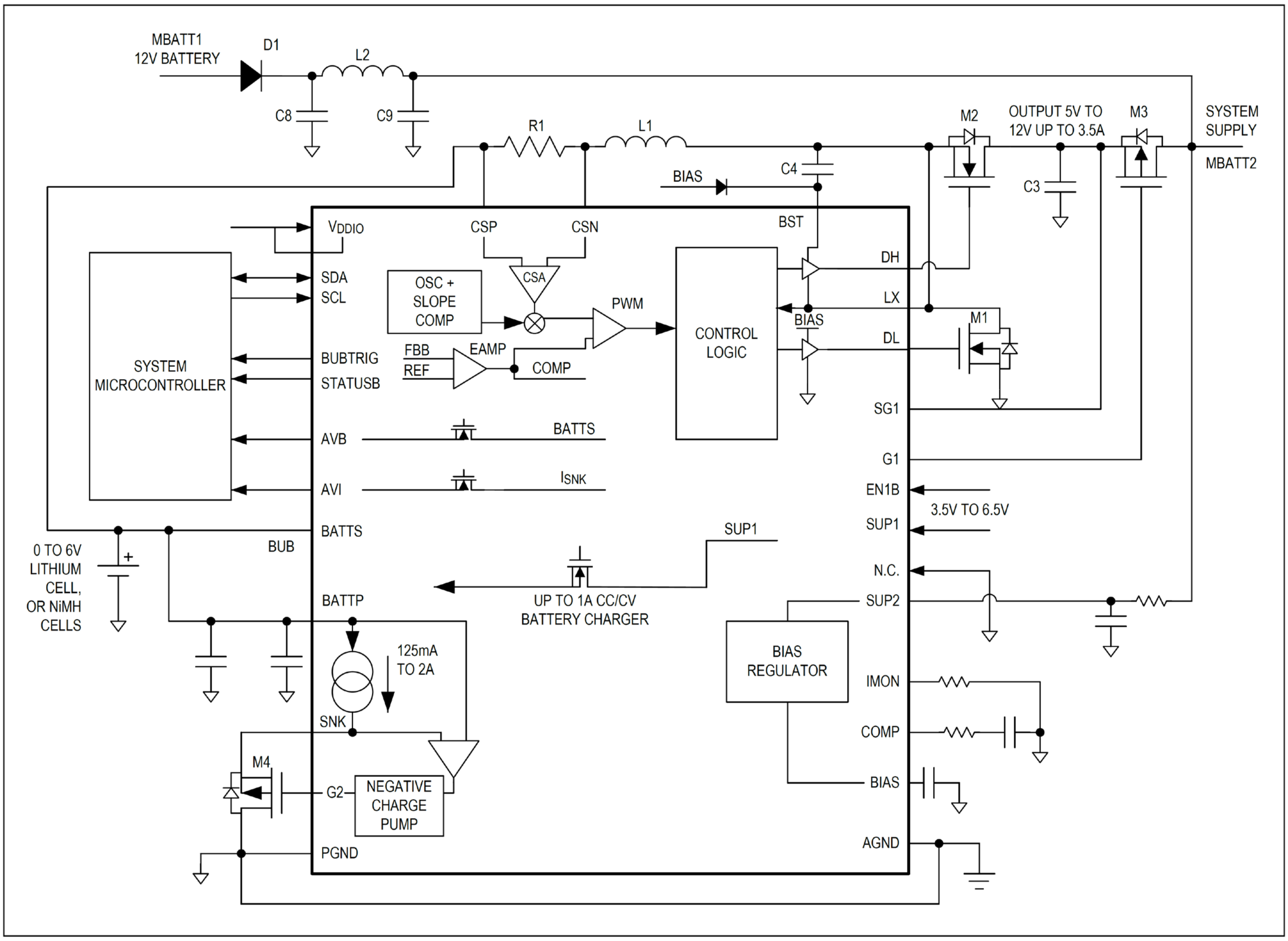
- 効率的なソリューション
  - n チャンネル FET 制御による最小 2V の同期昇圧
  - スキップ・モードでは、1mA で 50%以上の効率を確保
- ソリューションサイズの小型化を可能にする多機能性
  - 3V～6V の CC/CV バッテリ・チャージャ
  - 最大 1A の充電電流を I²C で設定可能
  - CV 電圧および CC 電流のレベルを I²C で選択可能
  - p チャンネル負荷遮断用のゲート・ドライバ出力
  - バックアップ・バッテリの切替えトリガ信号
- バックアップ・バッテリ監視用の劣化状態チェック
  - I²C インターフェースによる診断および制御インターフェース
  - バッテリ・インピーダンス測定用の高精度内部電流シンク
  - バックアップ・バッテリからの内部シンク電流のアナログ読出し
  - BATT_電圧測定用リモート検出
- 車載環境に対応した堅牢性
  - V_{IN}：3.5V～36V（40V のロード・ダンプ耐性）
  - バッテリに接続されたピンのリーク電流：< 1μA
  - 動作温度範囲：−40ºC～+125ºC
  - 光学検査が可能な 28 ピン、サイドウェッタブル TQFN パッケージ

オーダー情報はデータシート末尾に記載されています。

19-100060; Rev 7; 5/22

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300

簡略化したブロック図


MBATT1
12V BATTERY
D1
L2
C8
C9
R1
L1
BIAS
C4
M2
OUTPUT 5V TO
12V UP TO 3.5A
M3
SYSTEM
SUPPLY
MBATT2
C3
VDDIO
CSP
CSN
BST
SDA
SCL
OSC +
SLOPE
COMP
CSA
PWM
DH
LX
CONTROL
LOGIC
BIAS
DL
M1
SYSTEM
MICROCONTROLLER
BUBTRIG
STATUSB
FBB
REF
EAMP
COMP
SG1
AVB
BATTS
G1
AVI
ISNK
EN1B
3.5V TO 6.5V
SUP1
0 TO 6V
LITHIUM
CELL,
OR NiMH
CELLS
BUB
BATTS
SUP1
N.C.
BATTP
UP TO 1A CC/CV
BATTERY CHARGER
SUP2
125mA
TO 2A
BIAS
REGULATOR
IMON
SNK
COMP
M4
G2
NEGATIVE
CHARGE
PUMP
BIAS
PGND
AGND

絶対最大定格

SUP2、DH, LX、SG1、CSP、CSN～PGND .... −0.3V～+40V
G1～SG1 .... −7.0V～+0.3V
BST～LX .... −0.3V～+6V
CSP～CSN .... −0.3V～+0.3V
AVI、BUBTRIG、DL、COMP、
IMON～AGND .... −0.3V～V_{BIAS} + 0.3V
SCL、SDA～AGND .... −0.3V～V_{DDIO} + 0.3V
PGND～AGND .... −0.3V～+0.3V
EN1B、BIAS、VDDIO、STATUSB～AGND .... −0.3V～+6V
BATTP、SNK、BATTS、SUP1～AGND .... −0.3V～+7.0V
AVB～AGND .... −0.3V～V_{BATTS} + 0.3V
G2～BATTP .... −6.0V～+ 0.3V
動作温度範囲 .... −40°C～+125°C
ジャンクション温度 .... +150°C
保存温度範囲 .... −40°C～+150°C
はんだ処理温度（リフロー） .... +260°C
ESD 保護 – 人体モデル .... ±2kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

28 ピン（5mm × 5mm × 0.75mm）サイドウェッタブル TQFN

Package code	T2855Y+5C
Outline Number	21-100130
Land Pattern Number	90-0027
THERMAL RESISTANCE, SINGLE-LAYER BOARD	
Junction to Ambient (θ_{JA})	48°C/W
Junction to Case (θ_{JC})	3°C/W
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction to Ambient (θ_{JA})	35°C/W
Junction to Case (θ_{JC})	3°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「−」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

電気的特性

（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = T_J = −40ºC～+125ºC。代表値は T_A = +25ºC での値。）(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BOOST CONTROLLER						
Supply Voltage Range	V_{SUP2}	Normal operation	4.5		36	V
		t < 1s			40	
Backup Battery Undervoltage-Lockout Threshold	BUB_UVLO	Contact factory for options			2	V
Shutdown Supply Current	I_{SUP2}	Boost disabled through I²C, V_{SUP2} = 12V, V_{EN1B} = 0V			10	µA

電気的特性（続き）

（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = T_J = −40ºC～+125ºC。代表値は T_A = +25ºC での値。）(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{SUP2_STB}	BOOST I^2C bit enabled, V_{EN1B} = 0V, V_{SUP1} = 0 to 6V, V_{SUP2} = V_{SG1} = 14V, no switching		26	55	µA
Boost Mode Fixed-Output Voltage	V_{SUP2}	V_{SUP2} is factory-programmable	6.076	6.2	6.355	V
			6.37	6.5	6.663	
			6.664	6.8	6.97	
			6.958	7.1	7.278	
			5.39	5.5	5.7	
			7.84	8	8.20	
			8.82	9	9.27	
			9.8	10	10.25	
			11.76	12	12.30	
Boost Output Overvoltage - Falling Threshold (Boost Wakes Up Below this Threshold)	BOOST_OV_F		104	107	110.5	%
Boost Output Overvoltage - Falling Hysteresis				6		%
Boost Output Overvoltage - Rising Threshold (Boost Enters Sleep Mode Above this Threshold)	V_{SUP2_R}		110	113	116	%
Boost Output Undervoltage Lockout	BST_UVLO	Falling		65		%
		Rising		85		
Transconductance (from FBB to COMP)	g_m	V_{BIAS} = 5.5V (Note 2)		250		µS
G1 Drive Strength	G1	V_{SG1} = 6.8V, G1 not active		1.75		kΩ
G1 Activation Time		5nF MOSFET capacitance from SG1 to G1, OV falling until G1 reaches 4.5V below SG1; boost is ready to run within 10µs (typ) once BOOST_OV_F is tripped		10	50	µs
Dead Time		DL low to DH rising		20		ns
		DH low to DL rising		20		
Minimum On-Time	$t_{ON,MIN}$			120		ns
Minimum Off-Time	$t_{OFF,MIN}$			60		ns
PWM Switching-Frequency Range	f_{SW}		1.9	2.1	2.3	MHz
			0.36	0.4	0.44	
CS_ Current Limit	V_{LIMIT}	$V_{CSP} - V_{CSN}$	40	50	60	mV
LX Leakage Current		V_{LX} = V_{PGND} or V_{IN}, T_A = +25°C			1	µA
DH Pull-Up Resistance		V_{BIAS} = 5V, I_{DH} = −100mA		3	6	Ω

電気的特性（続き）

（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = T_J = −40ºC～+125ºC。代表値は T_A = +25ºC での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DH Pull-Down Resistance		V_{BIAS} = 5V, I_{DH} = 100mA		1.5	3	Ω
DL Pull-Up Resistance		V_{BIAS} = 5V, I_{DL} = −100mA		3	6	Ω
DL Pull-Down Resistance		V_{BIAS} = 5V, I_{DL} = 100mA		1.5	3	Ω
INTERNAL LDO BIAS						
Internal BIAS Voltage		V_{SUP2} > 6V		5		V
BIAS UVLO Threshold		V_{BIAS} rising		3.0	3.25	V
		V_{BIAS} falling	2.35	2.5		
BATTERY CHARGER						
Supply Voltage Range	V_{SUP1}		0		6.5	V
Supply Undervoltage Threshold, Falling	V_{SUP1_UV}		3.3			V
Supply Undervoltage Threshold, Rising	$V_{SUP1\_UV\_R}$				3.5	V
Supply Leakage Current	I_{SUP1}	Charger disabled, T_A = +25°C			10	µA
SUP1 to BATTP On-Resistance	R_{CHG}	V_{SUP1} = 3.5V, V_{BATTP} = 3.45V		250	500	mΩ
I^2C Control BUB Voltage Setting	V_{CVTHR}	I^2C control	3.0		6.0	V
BUB Voltage Range	$V_{BATT\_}$		0.0		6.0	V
Output-Voltage Accuracy	$V_{BATT\_}$	V_{CVTHR} = 3.6V	−1.2		+1	%
Fast-Charging Current Setting		I^2C settable	0.05		1	A
Precharge Current		V_{BUB} = 0 to 2.0V	40	50	60	mA
Fast-Charge Current Accuracy		V_{SUP1} = 3.5V to 6.5V, 250mA < I_{FCHG} < 1A	−10		+10	%
		V_{SUP1} = 3.5V to 6.5V, 50mA < I_{FCHG} < 250mA	−20		+20	
Charger Restart-Voltage Threshold		Voltage drop below V_{CVTHR} for FAST_CHR_CC to resume		200		mV
Soft-Start Time		I^2C enables the charger, fast-charge current of 90% of final value; EN1B going from high to low automatically enables the charger, as long as the I^2C register is set			1	ms
BATTP Leakage Current	I_{BATTP}	Not boosting, and/or charger disabled, and/or unpowered ($V_{BATT\_}$ > V_{SUP1}), T_A = +25°C			1	µA
Fast Shut-Off		V_{EN1B} = low to high, overrides I^2C, fast-charge current of < 50mA			5	µs
Minimum Charger Output Capacitance		Backup battery not present	1			µF

電気的特性（続き）

（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = T_J = −40ºC～+125ºC。代表値は T_A = +25ºC での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IMON Gain				440		A/A
Thermal-Limit Temperature	T_{LIM}	Junction temperature when the charge current is reduced, T_J rising		145		°C
THERMAL OVERLOAD						
Thermal-Shutdown Temperature		(Note 2)		170		°C
Thermal-Shutdown Hysteresis		(Note 2)		20		°C
BATTERY STATE-OF-HEALTH CURRENT SINK						
SNK Current Range	I_{SNK}	I^2C control	0		2	A
SNK Current Accuracy		I_{SNK} = 0.5A, $V_{BATT\_}$ = 3.3V	−10		+10	%
SNK Current-Measurement Accuracy	V_{AVI}	I_{SNK} = 0.5A, $V_{BATT\_}$ = 3.3V	−7.5	1	+7.5	%
Sink Current-Measurement Voltage Range	V_{AVI}	I_{SNK} = 0 to 2A	0		3	V
BUB Voltage-Measurement Range	V_{AVB}	V_{BATTS} = 0 to 6V	0		6	V
Resistance of AVB Pass Switch		BATT_ to AVB			10	Ω
G2 Drive-Current Capability	I_{G2}		7			μA
BATTS Leakage Current	I_{BATTS}	T_A = +25°C			1	μA
SNK Leakage Current	I_{SNK}	T_A = +25°C			1	μA
G2 Output Low Voltage	V_{G2_OL}	I_{G2_SINK} = 5μA			−3	V
BATTS Undervoltage Threshold, Falling					2.5	V
DIGITAL INPUT CHARACTERISTICS (SCL, SDA)						
Input High Threshold	V_{IH}	2.5V ≤ V_{DDIO} ≤ 5.5V	0.7 × V_{DDIO}			V
Input Low Threshold	V_{IL}	2.5V ≤ V_{DDIO} ≤ 5.5V			0.3 × V_{DDIO}	V
Input Threshold Hysteresis	V_{HYS}			0.15		V
Input Leakage Current	I_{IN}	V_{IN} = 0V or V_{DDIO}, T_A = +25°C			1	μA
Input Capacitance	C_{IN}				10	pF
DIGITAL INPUT CHARACTERISTICS (EN1B)						
Input High Threshold	V_{IH}	2.5V ≤ V_{BIAS} ≤ 5.5V	1.4			V
Input Low Threshold	V_{IL}	2.5V ≤ V_{BIAS} ≤ 5.5V			0.5	V
Input Leakage Current	I_{IN}	V_{IN} = 0V or V_{BIAS}, T_A = +25°C			1	μA
DIGITAL OUTPUT CHARACTERISTICS (SDA, STATUSB, BUBTRIG)						
Output High Voltage	V_{OH}	IApplies only to BUBTRIG CMOS output, I_{SOURCE} = 1mA	V_{BIAS} − 0.15	V_{BIAS} − 0.06		V

電気的特性（続き）

（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = T_J = −40ºC～+125ºC。代表値は T_A = +25ºC での値。）（Note 1）

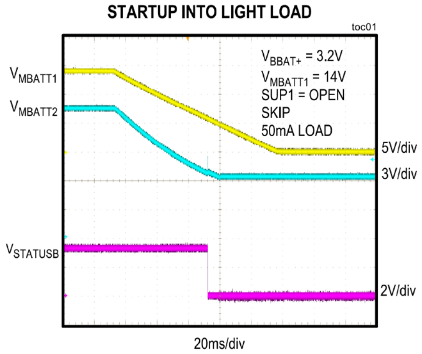
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Low Voltage	V_{OL}	Applies to SDA, STATUSB, and BUBTRIG; I_{SNK} = 1mA			0.2	V
Output Inactive-Leakage Current	I_{OFF}	Applies only to STATUSB open-drain output (see I_{IN} for SDA)			±1	µA
Output Inactive Capacitance	C_{OFF}	Applies only to STATUSB open-drain output (see C_{IN} for SDA)			10	pF
Backup Battery-TriggerPulse Width	$t_{BUBTRIG}$	BOOST enabled and SUP2 < BOOST_OV_F	180	200	220	ms
I^2C-COMPATIBLE INTERFACE TIMING CHARACTERISTICS (SCL, SDA)						
SCL Clock Frequency	f_{SCL}		0		400	kHz
Bus-Free Time Between a STOP and START Condition	t_{BUF}		1.3			µs
Hold Time for a Repeated START Condition	$t_{HD;STA}$		0.6			µs
SCL Pulse Width Low	t_{LOW}		1.3			µs
SCL Pulse Width High	t_{HIGH}		0.6			µs
Setup Time for a Repeated START Condition	$t_{SU;STA}$		0.6			µs
Data Hold Time	$t_{HD;DAT}$		0		900	ns
Data Setup Time	$t_{SU;DAT}$		100			ns
SDA and SCL Receiving Rise Time	t_R	Incoming signals (from controller)	20 + C_B/10		300	ns
SDA and SCL Receiving Fall Time	t_F	Incoming signals (from controller)	20 + C_B/10		300	ns
SDA Transmitting Fall Time	t_F		20 + C_B/10		250	ns
Setup Time for STOP Condition	$t_{SU;STO}$		0.6			µs
Bus Capacitance Allowed	C_B	2.5V ≤ V_{DDIO} ≤ 5.5V	0		900	pF
Pulse Width of a Suppressed Spike		Width of spikes that must be suppressed by the input filter of both SDA and SCL signals		50		ns

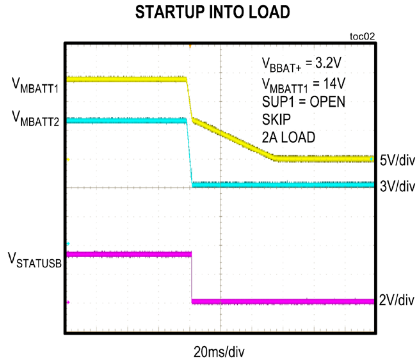
Note 1： 限界値は、T_A = +25°C で 100%テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。

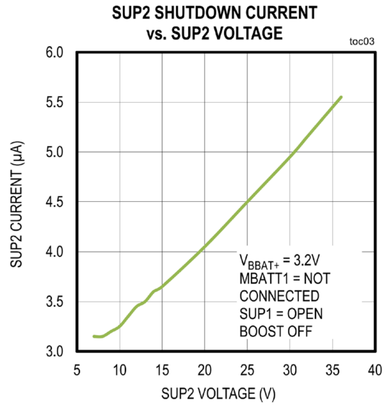
Note 2： 設計上の性能は確保していますが、出荷テストの対象外です。

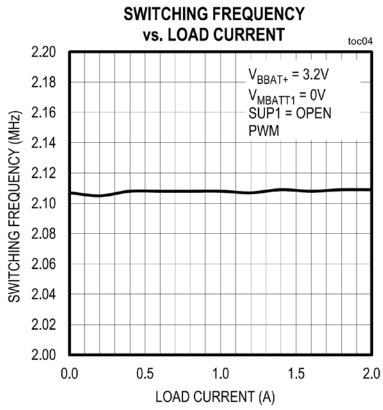
標準動作特性

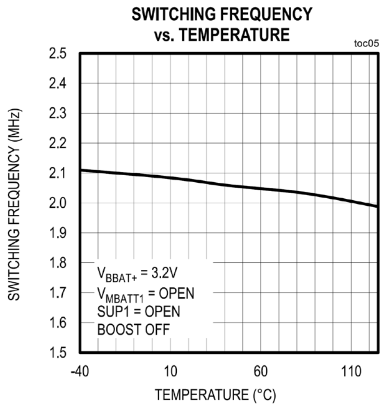
（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = +25ºC。）

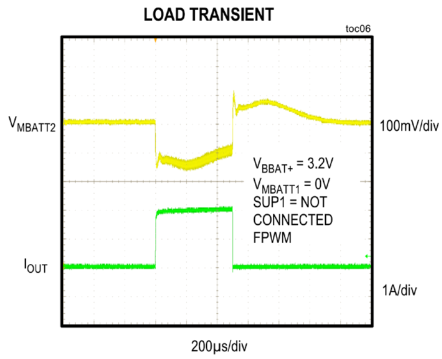


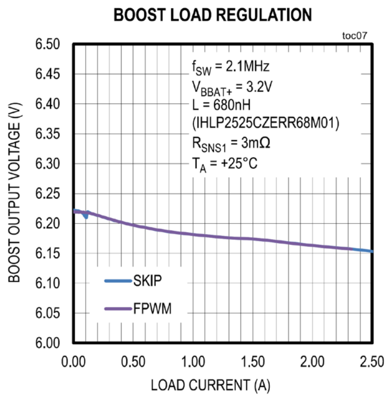


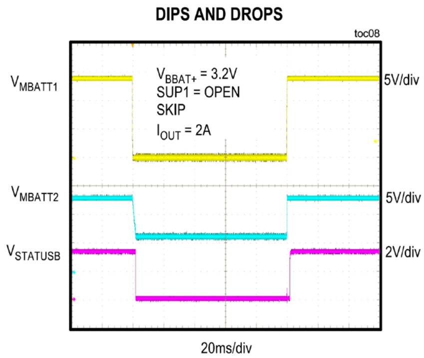


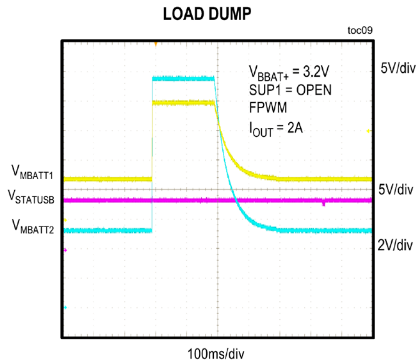








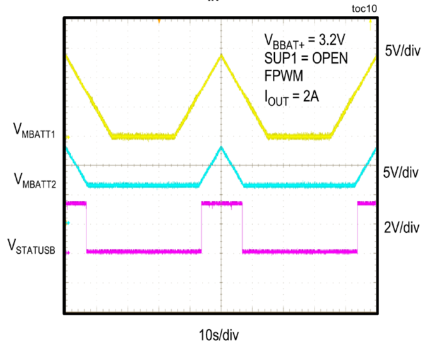




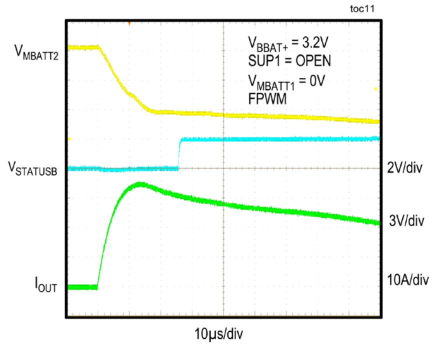
標準動作特性（続き）

（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = +25ºC。）

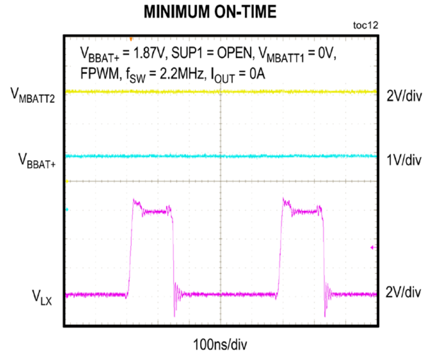
SLOW V_{IN} RAMP



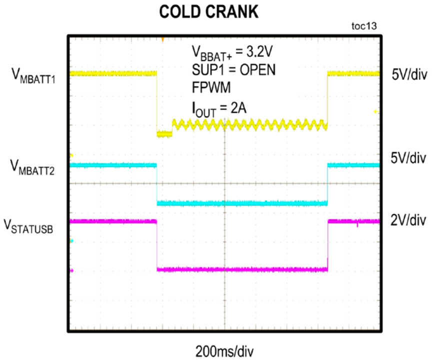
SHORT-CIRCUIT RESPONSE



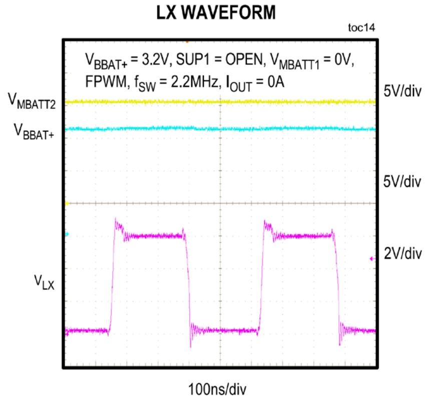
MINIMUM ON-TIME



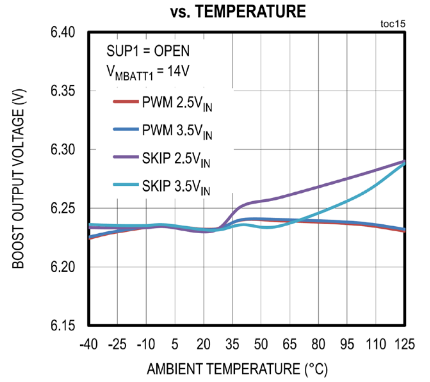
COLD CRANK



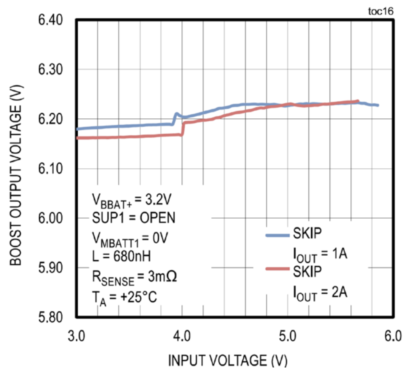
LX WAVEFORM



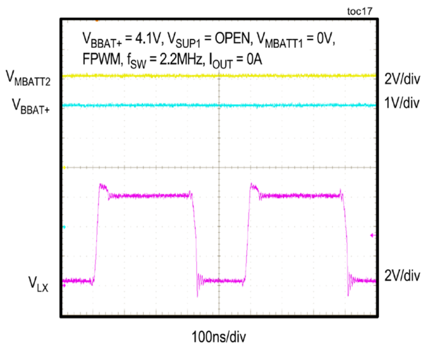
BOOST OUTPUT VOLTAGE vs. TEMPERATURE



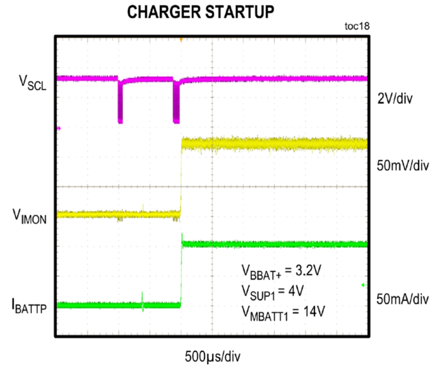
OUTPUT VOLTAGE vs. INPUT VOLTAGE



MINIMUM OFF-TIME

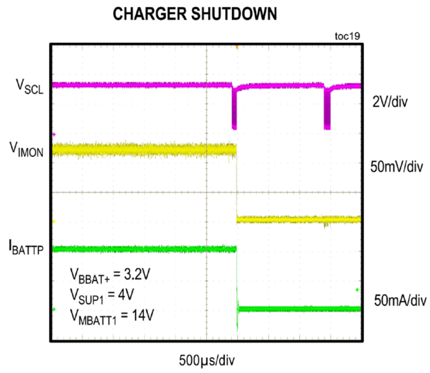


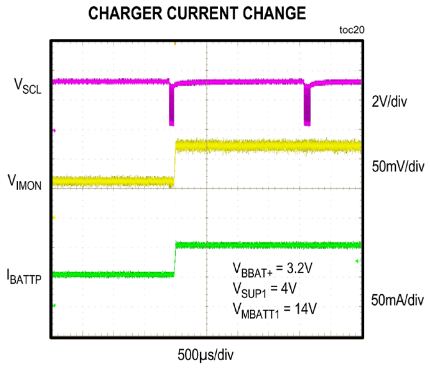
CHARGER STARTUP

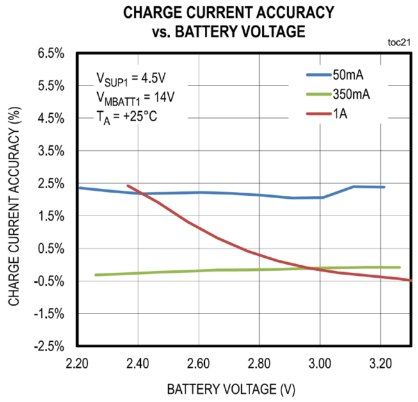


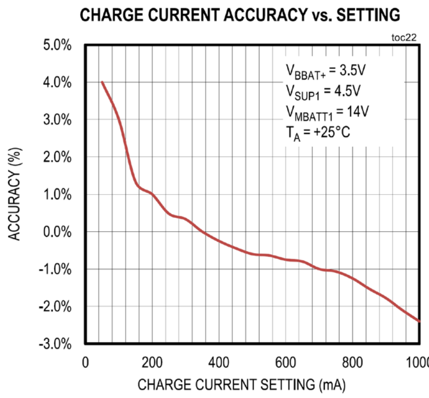
標準動作特性（続き）

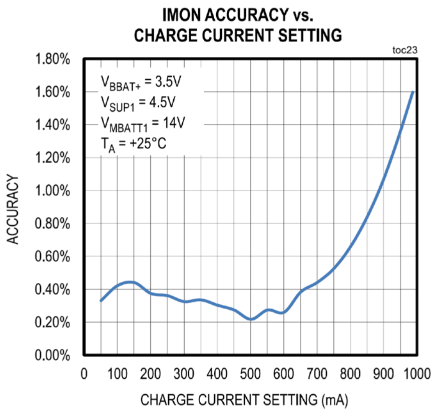
（特に指定のない限り、V_{SUP1} = 4V、V_{SUP2} = 14V、V_{BATTP} = V_{BATTS} = 3.5V、T_A = +25℃。）

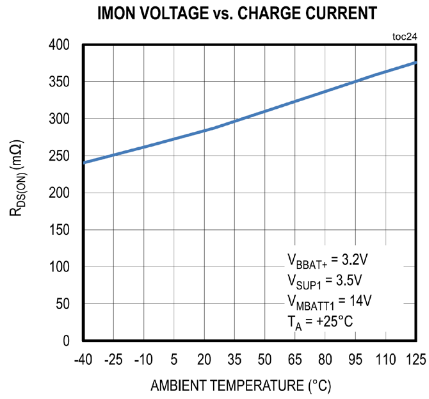


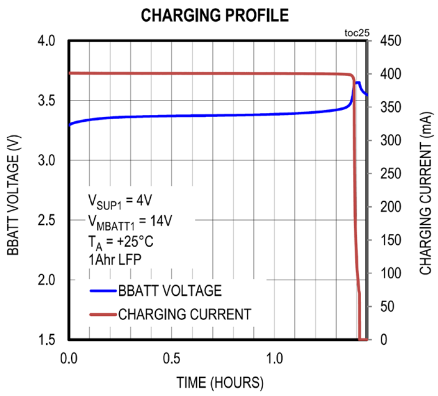


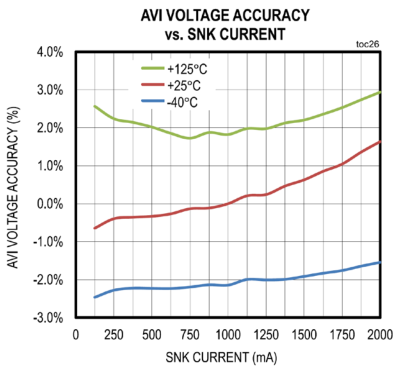


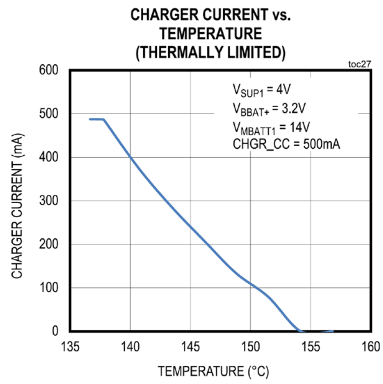




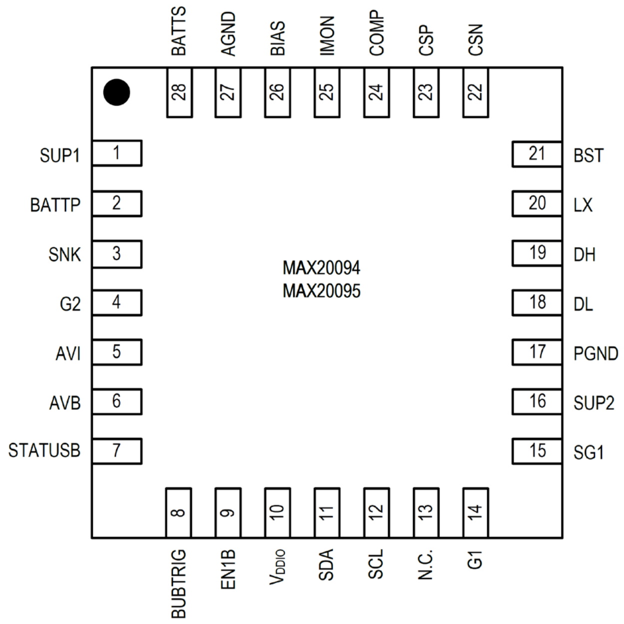








ピン配置



端子説明

ピン	名称	説明
1	SUP1	CC/CV チャージャへの入力。SUP1 とグランド・プレーンの間に 2.2µF のセラミック・コンデンサを接続します。
2	BATTP	バックアップ・バッテリ（BUB）のチャージャ出力。BATTP は、バッテリの劣化状態（SOH）チェックのための電流シンクです。10µF、2.2µF、0.1µF のセラミック・コンデンサを、SUP2 ピンのできるだけ近くに配置します。BATTP へのトレース・サイズの詳細については、PCB レイアウトに関する推奨事項のセクションを参照してください。
3	SNK	劣化状態（SOH）測定用の外部 MOSFET（M4）のソース用の接続部。SNK ピンは、SOH 測定中に BUB から外部 MOSFET へのプリセット電流をシンクします。
4	G2	MOSFET（M4）をオンにして、IC に電流をシンクするゲート駆動。この機能は I²C で制御されます。ディスチャージャがディスエーブルの場合、G2 は接続されません。ディスチャージャがイネーブルの場合は、回路が起動する前に、G2 が 62µs（代表値）の間、BATTP に駆動されます。
5	AVI	SOH 測定中に設定される SNK 電流のアナログ電圧測定。AVI がディスエーブルの場合、30kΩ のプルダウン抵抗があります。
6	AVB	SOH 測定中のアナログ・バッテリ電圧測定出力。I²C で AVB スイッチがオフになる 10µs 前に、60kΩ のプルダウン抵抗が接続されます。
7	STATUSB	STATUSB（バッテリ・ブースト）デフォルトのオープンドレイン出力。主電源喪失による昇圧動作中は AGND に駆動され、それ以外はハイ・インピーダンスになります。
8	BUBTRIG	バックアップ・バッテリのアクティブ時の時限出力。バックアップ昇圧コントローラの動作開始から 200ms の間は BIAS に駆動され、それ以外は AGND に駆動されます。
9	EN1B	チャージャ・ディスエーブル。EN1B は、通常動作時にはグランドに接続されています。ハイにプルアップされると、I²C レジスタの設定に関係なく、チャージャはディスエーブルになります。
10	VDDIO	I²C ロジック・インターフェース電源電圧（2.5V～5.5V）。I²C バス電源に接続します。
11	SDA	I²C データ信号。

端子説明（続き）

ピン	名称	説明
12	SCL	I^2C クロック入力。
13	N.C.	アプリケーションの GND に接続します。
14	G1	ハイサイド p チャンネル MOSFET（M3）ドライバ。G1 と SG1 の間に 188kΩ の抵抗があります。
15	SG1	外部 p チャンネル MOSFET（M3）のソース。SG1 と G1 は、外部 MOSFET M3 のゲート駆動を制御します。
16	SUP2	システム電源電圧入力。本 IC の 5V 電源になる LDO への高電圧耐性入力。バッテリ・フィルタリング・レールと SUP2 から抵抗とコンデンサ・フィルタを接続します。詳細については、アプリケーション情報のセクションを参照してください。
17	PGND	パワー・グランド・ピン。PCB のグランド・プレーンに直接接続します。
18	DL	ローサイド MOSFET ドライバ出力。昇圧コンバータのローサイド MOSFET のゲートに接続します。
19	DH	ハイサイド MOSFET ドライバ出力。昇圧コンバータのハイサイド MOSFET に接続します。
20	LX	DC/DC コントローラのスイッチング・ノード。
21	BST	ハイサイド同期 MOSFET ゲート駆動用の昇圧電源電圧。
22	CSN	電流検出抵抗、インダクタ側検出ポイント。CSN を、電流検出抵抗の端子のできるだけ近くに接続します。適切なレイアウトの詳細については、PCB レイアウトに関する推奨事項のセクションを参照してください。
23	CSP	電流検出抵抗の入力ピン。電流検出を正確に行うために、CSP を電流検出抵抗のできるだけ近くに接続します。適切なレイアウトの詳細については、PCB レイアウトに関する推奨事項のセクションを参照してください。
24	COMP	ループ補償部品の接続ピン。COMP は内部 g_m アンプの出力です。コンデンサと直列に抵抗を AGND ピンに接続します。部品の数値は、データシートの推奨値に従って選択します。
25	IMON	IMON は、500Ω の抵抗を用いて GND に接続します。$V_{IMON} = (I_{CHG}/440) \times 500\Omega$。 Max $R_{IMON} = (V_{BATTP(MIN)} - 0.25)/(0.0025 I_{CHG}) - 200$。
26	BIAS	内部 IC 回路用の電源ピン。このピンは、2.2µF のコンデンサでデカップリングする必要があります。BIAS は、$V_{SUP\_}$ ピンに接続された LDO の出力で、内部回路に 5V を供給するために使用します。
27	AGND	アナログ・グラウンド。精密回路ブロック用の低ノイズ・グランドです。
28	BATTS	バッテリ電圧検出入力。電圧フィードバック・ループのバッテリ電圧を検出し、内部アナログ・スイッチにルーティングします。バッテリの電圧を最も正確に検出するために、BATTS をバッテリのプラス端子のできるだけ近くに接続します。
–	EP	露出パッド。

詳細

MAX20094/MAX20095 は、設定可能な定電流／定電圧（CC/CV）バッテリ・チャージャと高効率の同期整流式昇圧コントローラを組み合わせた IC で、主電源が失われた場合に重要なシステムに給電します。更に、バッテリの劣化状態（SOH）と IC の機能をチェックする診断機能を備えています。充電の閾値と昇圧出力電圧が設定可能なため、一般的なバッテリの化学作用と幅広いセル数に対応できます。システム・インテグレーションをサポートするために、IC には I^2C ターゲット・ポートがあり、このポートを介して設定ビットとステータス・ビットにアクセスできます。

BIAS リニア電圧レギュレータ

内部 5V リニア電圧レギュレータ（BIAS）は、内部回路のためのバイアス電源を生成します。全負荷状態での安定性を確保するために、2.2µF 以上のセラミック・コンデンサを用いて BIAS をバイパスします。

BIAS 入力の低電圧ロックアウト（UVLO）回路は、5V バイアス電源（BIAS）が 2.5V（代表値）の UVLO 立下がり閾値を下回った場合、昇圧動作、充電、または SOH を抑制します。5V バイアス電源（BIAS）が UVLO の立上がり閾値より上昇し、ブロック制御ロジック条件が満たされると、IC は機能します。

ブロック・コントロール・ロジック

表 1 は、昇圧コントローラ、バッテリ・チャージャ、SOH の動作を制御するロジックをまとめたものです。

表 1. ブロック・コントロール・ロジック

ブロック	コメント
SOH	SOH は、以下の場合にイネーブルになります： • I^2C レジスタ・ビットが設定されている • 昇圧がレギュレーションしていない • サーマル・シャットダウン状態ではない
Boost	昇圧は、以下の場合にイネーブル／レギュレーション状態になります： • I^2C レジスタ・ビットが設定されている • SUP2 が OV_F の閾値を下回っている • サーマル・シャットダウン状態ではない Note：昇圧がレギュレーションしている場合、SOH およびチャージャの機能はイネーブルになります。
Charger	チャージャは、以下の場合にイネーブルになります： • I^2C レジスタ・ビットが設定され、EN1B ピン＝0 である • 昇圧がレギュレーションしていない • サーマル・シャットダウン状態ではない Note：イネーブルになっている間に、チャージャ・モードの進行が、内部ステート・マシンと、関連するコンパレータにより制御されます。

論理式

STATUSB ピン

STATUSB ピンは、オープンドレイン、アクティブローの nMOS 出力ピンであり、µC コントローラや、（適切な電源（通常は V_{DDIO}）への外部プルアップ抵抗があるワイヤード OR 構成を用いる）任意の数の同様に構成されたターゲット・デバイスと共有割込み構成で使用できます。デフォルトでは、STATUSB ピンは、昇圧が SUP2 をアクティブにレギュレーションしている場合にアクティブとなります。STATUSB ピンの機能は、I^2C インターフェースを用いて他のタイプの動作に変更することができます（GEN_STATUS および EN_INT レジスタを参照）。

チャージャ・ブロック

IC の通常の動作モードは、バックアップ・バッテリ（BUB）の充電を維持することです。この機能は、チャージャ・ブロックが提供します（図 1 を参照）。

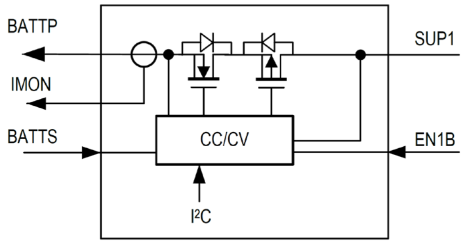


図 1. チャージャのブロック図

チャージャのステート・マシンの説明

チャージャの動作は、イネーブルになると、ステート・マシンによって制御されます。説明を以下に、詳細を図 2 に示します。チャージャのリアルタイム動作は、CHGR_STATUS（01\h）レジスタを用いて、リードバックができます。

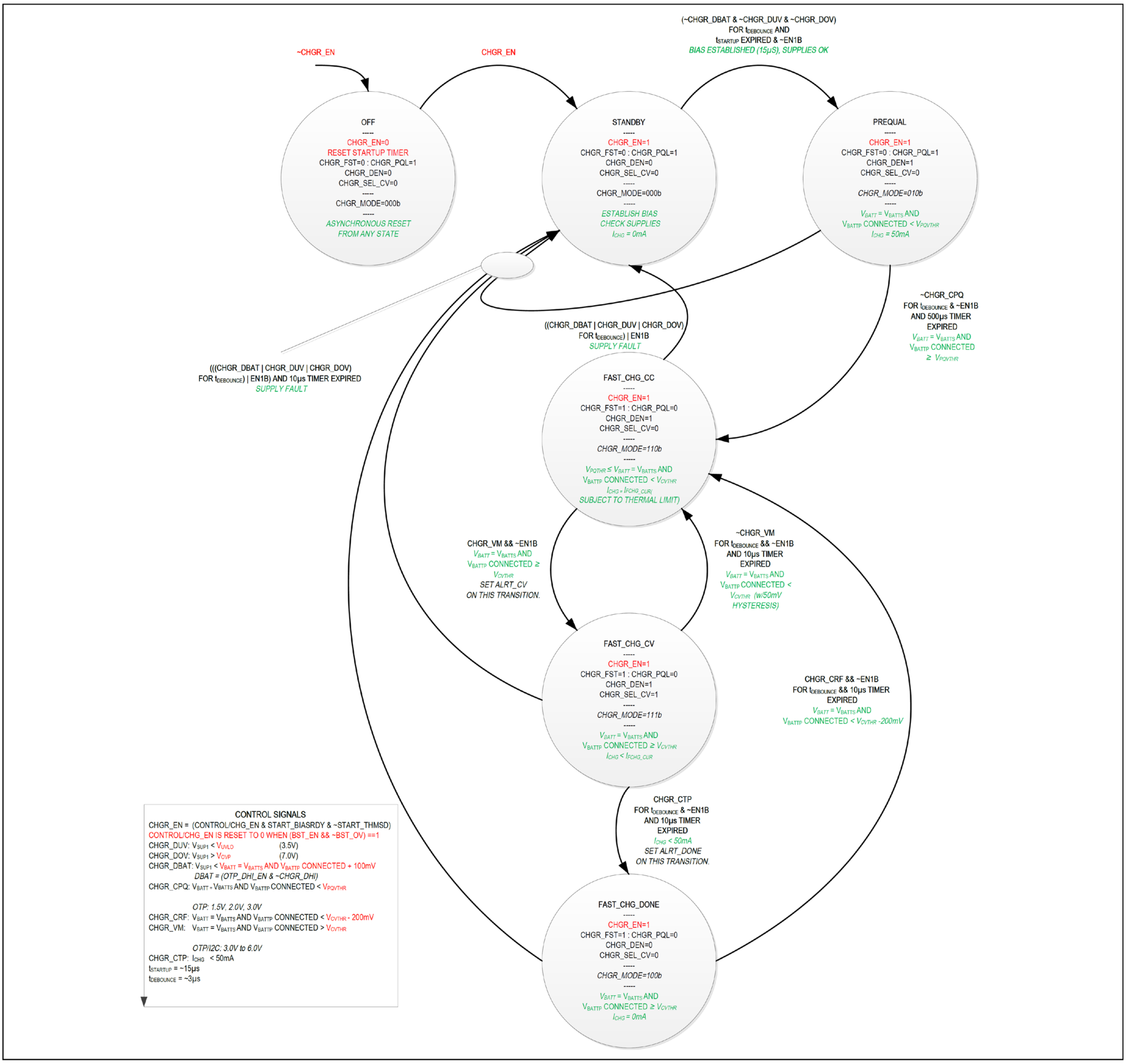


図 2. チャージャのステート・マシン図

オフ

CONTROL/CHG_EN = 0、START_BIASRDY = 0、またはダイ温度がサーマル・シャットダウン閾値を超えている場合、チャージャはオフ状態に保持されます。CONTROL/CHG_EN = 1 になり、バイアスが確立され（START_BIASRDY = 1）、ダイ温度がサーマル・シャットダウン閾値以下になると（START_THMSD = 0）、チャージャはスタンバイ・モードに移行し、15μs タイマーが起動し、チャージャ内部のバイアスとコンパレータが安定します。

スタンバイ

チャージャは、内部バイアスが（スタートアップ・タイマーに基づいて）確立され、供給条件がチェックされて有効であることが判明するまで、スタンバイ・モードを維持します。電源の状態が無効な場合、チャージャはスタンバイ・モードに戻ります。電源の状態は、CHGR_STATUS（01\h）レジスタを用いてリアルタイムで検証できます。電源の状態のアラートは、GEN_STATUS（02\h）でも確認できます。

事前検証

チャージャは次に、50mA の電流制限充電モード（PREQUAL）に移行します。チャージャは、V_{BUB} が V_{PQVTHR} を超えるまで、このモードを維持します。V_{PQVTHR} の設定値については、オーダー情報の表を参照してください。

定電流（CC）

次いで、チャージャは定電流モード（FAST_CHG_CC）で始まる急速充電プロシージャを開始します。充電電流は、CHGR_CC（05\h）レジスタを用いてプログラムされます。チャージャは、V_{BUB} が V_{CVTHR} を超えるまで急速充電状態を維持し、CHGR_CV（06\h）レジスタを用いて選択された V_{CVTHR} を V_{BUB} が下回ると、FAST_CHG_CC に戻ります。50mA 設定を使用する場合は、まずチャージャをイネーブルにし、CHGR_CC を 100mA 以上に少なくとも 1ms の間設定してから、50mA に下げます。

定電圧（CV）

V_{BUB} が V_{CVTHR} を超えると、チャージャは定電圧モード（FAST_CHG_CV）で充電を継続します。定電圧モードのアラートは、GEN_STATUS（02\h）で読み出すことができ、充電が完了に近づいていることをユーザに通知します。チャージャが FAST_CHG_CV モードに移行すると、チャージャ電流が監視されます。I_{CHG} が 50mA 以下になると、急速充電動作は完了し、チャージャは FAST_CHG_DONE モードに移行します。チャージャは、ユーザによってディスエーブルにされる（OFF に戻る）まで、電源フォルト状態が発生する（STANDBY に戻る）まで、あるいは、V_{BUB} が V_{CVTHR} − 200mV 以下になる（FAST_CHG_CC に戻る）まで、このモードを維持します。DONE 状態になると、GEN_STATUS（02\h）で充電完了アラートが表示され、充電が完了したことをユーザに通知します。CV 中にチャージャを再起動する場合は、CHGR_CC を 50mA に設定してから、チャージャをイネーブルにします。CHGR_CC は、チャージャをイネーブルにした後、目的の設定値に増やすことができます。

完了

V_{SUP1} と V_{BUB} がドロップアウト状態になると、内部 MOSFET の $R_{DS(ON)}$ および、V_{SUP1} とバッテリの間の電圧差により、充電電流が減少します。充電電流が減少し続ける場合、ALRT_CV と CHGR_MODE は、CV 状態を示すように変化します。充電電流が 50mA まで減少すると、ALRT_CV は 1 を維持し（ALRT_DONE = 1）、CHGR_MODE は DONE 状態になります。次の式を用いると、最大周囲温度でドロップアウトしないために必要なヘッドルームの量を算出できます。

$$V_{Drop\_CHG} = 1.15 \times R_{CHG\_MAX} \times I_{FAST\_CHG\_CC}$$

ここで、R_{CHG_MAX} は、電気的特性の表にある R_{CHG} の最大値です。CONTROL/CHG_EN=0 の場合、CHRG_STATUS/SUP1_UVLO = 1 となります。このデフォルト状態は、リークを最小限に抑えるために内部回路がオフになっているためです。

EN1B ピン

EN1B ピンは、チャージャ・ブロックの動作を制御するアクティブローの入力ポートです。EN1B ピンがローに保持されている場合、チャージャの動作は I²C インターフェース・レジスタが制御します。チャージャは、（通常、外部システム・フォルトにより）ハイにプルアップされると即座にディスエーブルになり、その内部ステート・マシンはリセットされます。ピンがローに戻ると、チャージャは通常動作を再開します。

昇圧ブロック

昇圧ブロックにより、本 IC は、主バッテリの故障時にバックアップ・バッテリ（BUB）を用いて、SUP2 ピンで安定化電源電圧を維持できます。

昇圧ブロックは、出力電圧を工場出荷時にプリセットした同期電流モード・コントローラです。スイッチング周波数は 2MHz 以上に対応できます。バッテリ寿命を延ばすために、軽負荷時にはパルス周波数変調（PFM）モードを使用し、出力電圧が必要な昇圧電圧以上になると、自動的に超低 I_Q スタンバイ・モードになります。昇圧ブロックは、出力電圧が必要な昇圧電圧になると、あるいはその電圧に近づくと、自動的にアウェイク・モードになり、ディスクリート信号をホストに送信して、アウェイク状態になったことを示します。

スタンバイ電流

本 IC は、電気的特性の表に記載されているように、低いスタンバイ電源電流となっています、V_{SUP2} が BST_OV_F を下回ると、250µs（最大値）の高速ターンオン時間が可能です。低スタンバイ・モード中は、I²C の設定値が保持されます。このモードでは、昇圧の過電圧（OV）立下がり閾値がトリガするまで MOSFET M3（図 3 を参照）はオフになり、トリガするとオンになります。

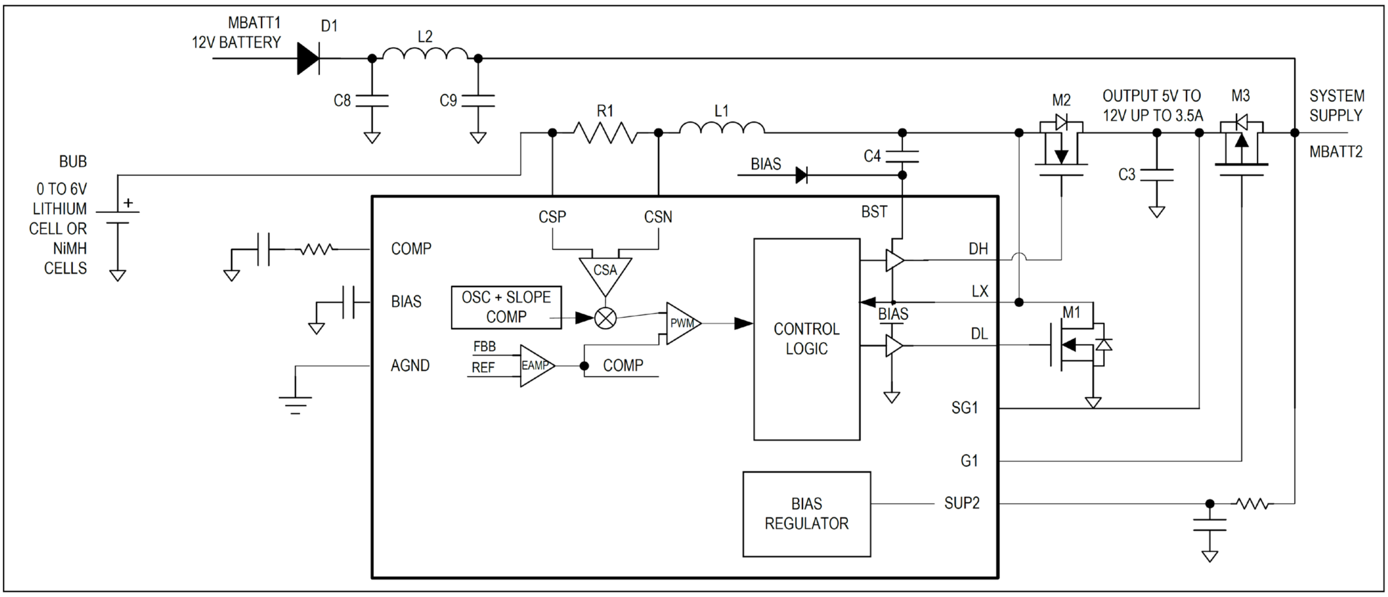


図 3. 昇圧ブロック図

BUBTRIG ピン

BUBTRIG は、アクティブローで 200ms のワンショット CMOS 出力であり、昇圧ブロックによるアクティブ・レギュレーション期間の開始を示すのに用いられます。昇圧ブロックがイネーブルになり、（V_{SUP2} が BOOST_OV_F 電圧閾値を下回るため）レギュレーションを開始すると、（昇圧ブロックが 200ms を超えてレギュレーション・デューティを続ける場合でも）BUBTRIG は 200ms の間、ハイにアサートされてから、再びローになります。BUBTRIG は、昇圧ブロックがアクティブ・レギュレーション・モードを終了し、その後にレギュレーションを再開しない限り、再度アサートされることはありません。

電流制限値

CSP ピンと CSN ピンに接続された電流検出抵抗（$R_{CS\_}$）は、昇圧コンバータの電流制限値を設定します。CS_入力の電圧トリップ・レベル（V_{LIMIT}）は 50mV（代表値）です。電流制限閾値が 50mV と低いため、電流検出抵抗の消費電力が低減します。電流検出フィルタを用いて、電流検出経路のノイズを低減します（シャント抵抗の選択のセクションを参照）。

スキップ動作

スキップ・モードは、BST_SKIP = 1 でイネーブルになります。パルス幅変調（PWM）からスキップ・モードへの移行は、負荷電流が減少し、LX 電流がゼロ交差より低下し、最終的に t_{ON_MIN} に達するときに生じます。

ゼロ交差と t_{ON_MIN} の 1 サイクルに達すると、コントローラはスキップ・モードになります。PWM モードに戻る移行は、t_{ON_MIN} が 480ns になり、出力電圧が低すぎる状態が続くときに生じるため、PWM 制御が再開して、出力電圧が再度レギュレーションされます。

劣化状態ブロック

劣化状態（SOH）ブロック（図 4 を参照）により、本 IC は、電流負荷条件下でのバックアップ・バッテリ（BUB）のテストが可能になります。このテストは、出力インピーダンスに基づいて BUB 状態を判定するのに役立ちます。このテスト中に、バッテリの出力電圧と印加された電流の電圧表示が、ADC 測定に利用できます。V_{BUB} が 2.5V 以下の場合、SOH ディスチャージャはディスエーブルになり、SOH_ILIM ステータス・ビットが 1 に設定され、フォルトの発生が示されます。SOH シンク電流の設定は SOH（07/h）レジスタです。SOH をイネーブルにするには、CONTROL/SOH_EN を設定します。ハードウェア・デフォルト値かレジスタ・オーバーライド値かの選択は、CONTROL/SOH_OVR で設定します。

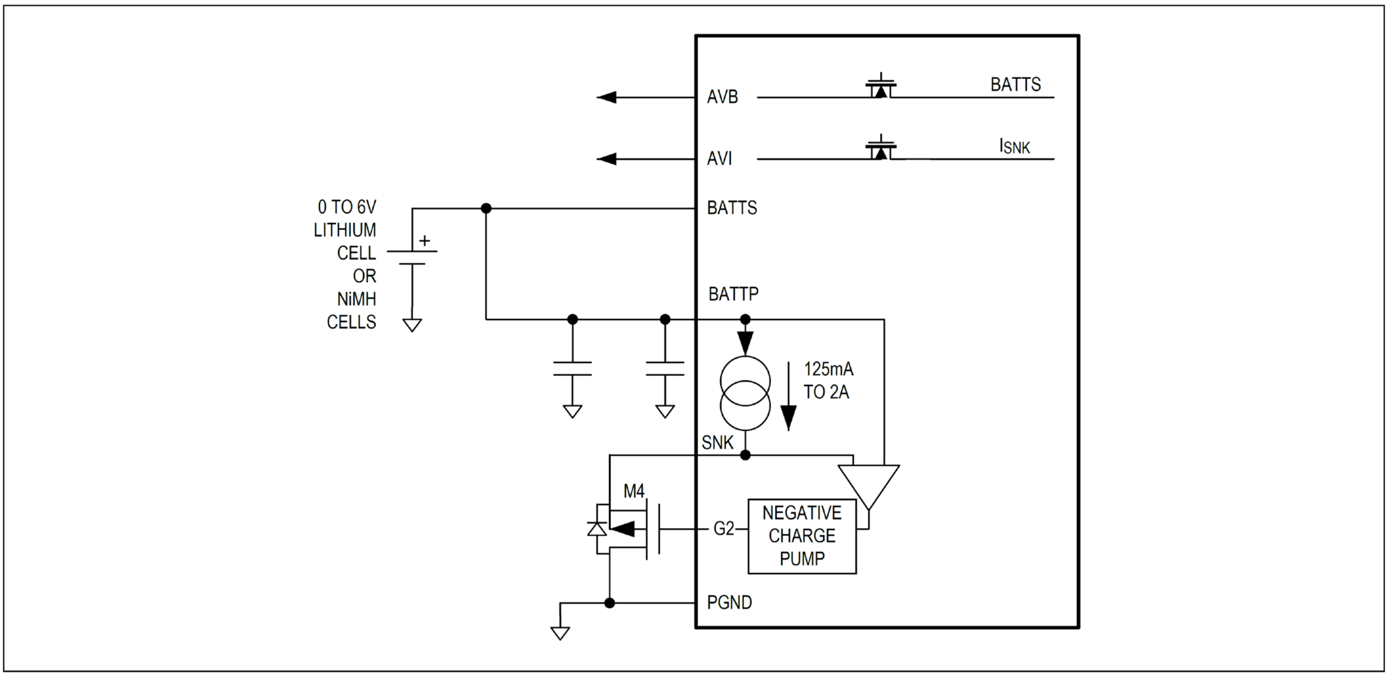


図 4. 劣化状態ブロック図

AVB スイッチ

AVB スイッチにより、BATTS 検出電圧が AVB ピンに印加されます。これにより、BUB の電圧監視が可能になります。AVB パス・スイッチの抵抗値は、電気的特性の表で定義されています。AVB スイッチは、0x04 CONTROL レジスタの AVB_EN ビットで制御されます。

AVI スイッチ

AVI スイッチは、SOH 測定中のシンク電流を表すアナログ出力です。V_{AVI}は通常、1.5V/A の SOH 電流を読み出します。AVI スイッチは、SOH がイネーブルになると、自動的にイネーブルになります。

I²C インターフェース

IC との通信は、I²C 対応のシリアル・インターフェースを用いて実行できます。このインターフェースにより、デバイスの動作の設定および監視を行うことができます。

シリアル・アドレス指定

I²C ポートは、ターゲット・デバイスとして動作し、I²C-SMBus 対応の 2 線式シリアル・インターフェースを介してデータを送受信します。このインターフェースは、シリアル・データ・アクセス（SDA）ラインとシリアル・クロック・ライン（SCL）を用いて、コントローラとターゲット間の双方向通信を実現します。コントローラ（通常はマイクロコントローラ）は、ポートへのすべてのデータ転送を開始し、データ転送を同期させる SCL クロックを生成します。

SDA ラインは、入力とオープンドレイン出力の両方として動作します。SDA ラインにはプルアップ抵抗（代表値 4.7kW）が必要です。ポートの SCL ラインは入力としてのみ動作します。2 線式インターフェースに複数のコントローラがある場合、または 1 コントローラ・システムのコントローラにオープンドレイン SCL 出力がある場合、SCL ラインにはプルアップ抵抗（代表値 4.7kW）が必要です。

各送信は、コントローラから送られる START（S）条件と、それに続く、コアの 7 ビットのターゲット・アドレスと、NOP/W ビット、1 コマンド／レジスタ・バイト、1 データ・バイト、STOP（P）条件で構成されています。

I²C ビット転送

各 SCL サイクル中に、1 データ・ビットが転送されます。SDA 上のデータは、SCL パルスがハイの間に、安定した状態を維持する必要があります。SCL がハイの間の SDA の変化は制御信号です（I²C START および STOP 条件のセクションを参照）。

I²C START および STOP 条件

SDA と SCL は、バスを使用していないとき、アイドル・ハイ状態です。コントローラは、START 条件を発行することで通信を開始します。START 条件は、SCL がハイの状態で SDA がハイからローに遷移することです。STOP 条件は、SCL がハイの間に SDA がローからハイに遷移することです。コントローラからの START 条件は、デバイスへの通信の開始を通知します。コントローラは、STOP 条件の発行により通信を終了し、バスを解放します。STOP 条件の代わりに Repeated START 条件を生成した場合、バスはアクティブなままとなります。これは、複合フォーマットの読出し動作でよく使用されます。START（S）、STOP（P）、Repeated START（Sr）条件の生成と適切な使用法を示す例については、図 5 を参照してください。

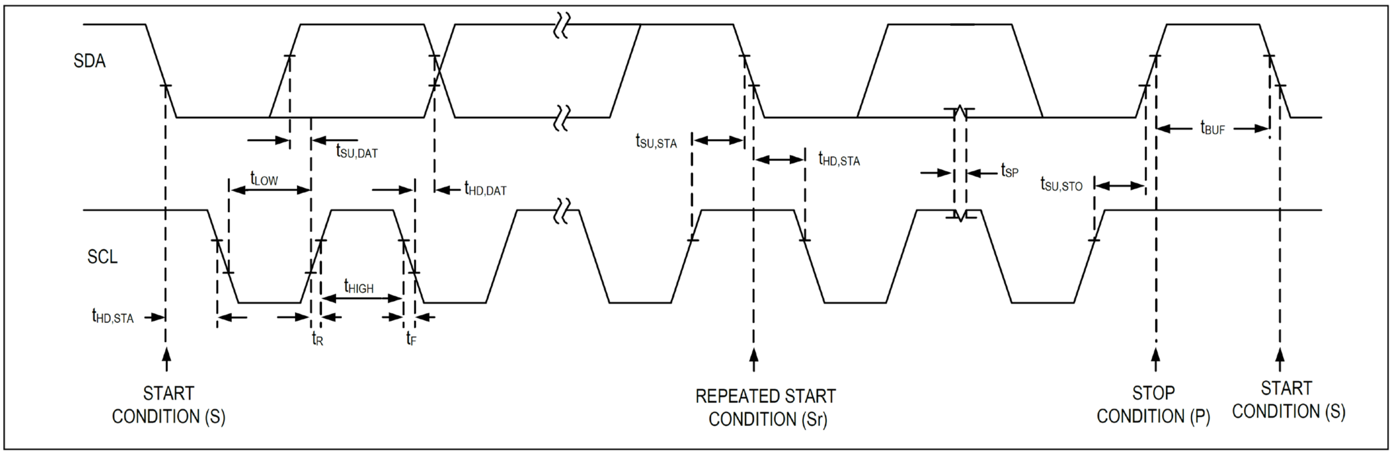


図 5. I²C シリアル・インターフェースのタイミング図

I²C アクノレッジ

アクノレッジ・ビット（ACK）は、クロック後 9 番目のビットで、書込みモード時にデバイスがデータの各バイトの受信を知らせるハンドシェイクとして使用します。前のバイトが正常に受信された場合、デバイスはコントローラが生成した 9 番目のクロック・パルスの間に、SDA をプルダウンします。ACK の監視により、受信デバイスがビジー状態である場合や、システム・フォルトが生じた場合に発生するデータ転送の失敗を検出できます。データ転送が失敗した場合、バス・コントローラは通信を再試行します。デバイスが読出しモードの場合、コントローラは 9 番目のクロック・サイクル中に SDA をプルダウンし、データの受信を確認します。アクノレッジは、各読出しバイトの後にコントローラから送信され、データ転送の継続が可能になります。コントローラがデバイスからデータの最終バイトを読み出すと、ノット・アクノレッジ（NACK）が送信され、その後に STOP（P）条件が続きます。

I²C コマンドおよびデータ・バイト

コマンド・バイトは、ターゲット・アドレスの後に続きます。コマンド・バイトの後には、リードバック動作の場合のように送信の最後のバイトでない限り、通常 1 つまたは 2 つのデータ・バイトが続きます（図 5 を参照）。コマンド・バイトの後にデータ・バイトが続く場合、コマンド・バイトは、その後に続くデータ・バイトを受信すべきレジスタのアドレスを示しています。データ・バイトは一時的なレジスタに格納され、バイト間の ACK 期間中に適切なレジスタに転送されます。

I²C 書込み動作

コントローラ・デバイスは、適切なターゲット・アドレスを送信し、それに続いてレジスタ／コマンドとデータ・ワードを送信することにより、デバイスと通信します。各送信シーケンスは、START（S）または Repeated START（Sr）条件と STOP（P）条件によってフレーム化されています。各バイトは 8 ビット長で、図 6 に示すように、常にアクノレッジ（ACK）・クロック・パルスが続きます。第 1 バイトにはデバイスのアドレスが含まれており、R/W = 0 は書込みを示します。第 2 バイトには書き込むべきレジスタ（またはコマンド）が、第 3 バイトには書き込むべきデータが含まれています。

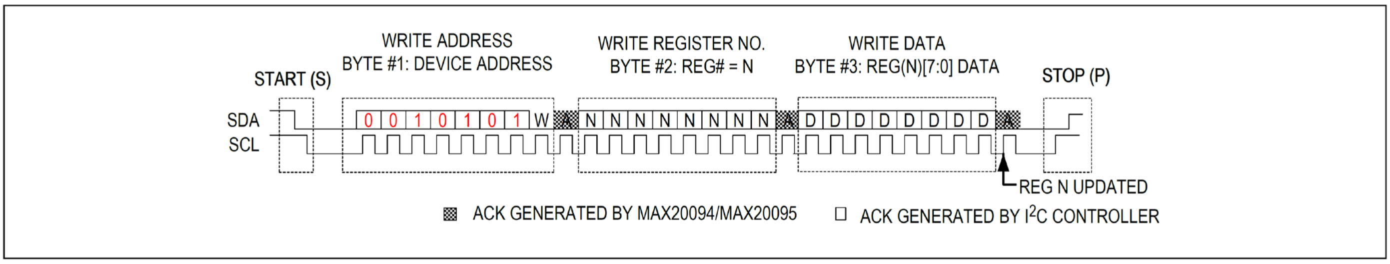


図 6. I²C 書込みシーケンス

I²C 読出し動作

本 IC は、標準的な複合フォーマットの I²C 読出しモード動作をサポートしています。各受信シーケンスは、START（S）または Repeated START（Sr）条件と STOP（P）条件でやはりフレーム化されます。各バイトは 8 ビット長で、図 7 に示すように、常に ACK クロック・パルスが続きます。第 1 バイトにはデバイスのアドレスが含まれており、R/W＝0 は書込みを示します。第 2 バイトには、リードバック対象のレジスタが含まれています。ここで、Repeated START（Sr）条件があり、その後に本デバイスのアドレスが続き、R/W = 1 は読出しとアクノレッジ（ACK）クロックを示します。コントローラはまだ、SCL ラインを制御していますが、デバイスは SDA ラインを引き継ぎます。フレームの第 4 バイトには、レジスタ・データのリードバックが含まれ、その後に STOP（P）条件が続きます。

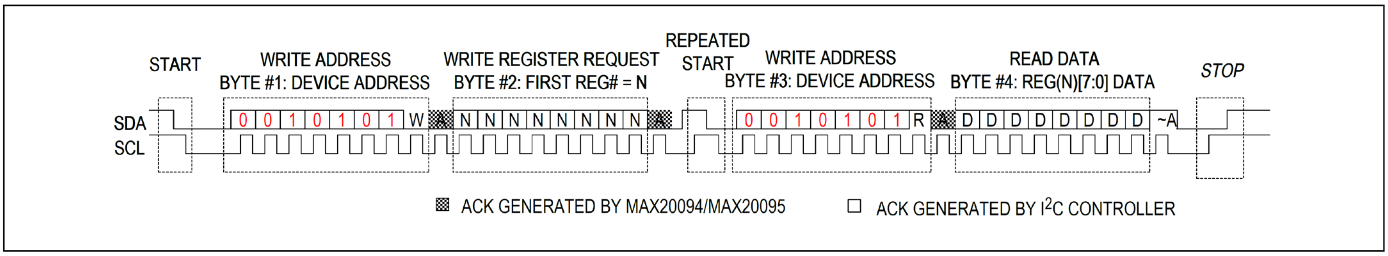


図 7. I²C 読出しシーケンス

レジスタ・マップ

MAX20094/MAX20095

ADDRESS	NAME	MSB							LSB
USER COMMANDS									
0x00	CHIP_ID[7:0]	DIE_TYPE[7:0]							
0x01	CHGR_STATUS[7:0]	CHGR_EN	CHGR_MODE[2:0]			–	SUP1_UVLO	SUP1_OVP	SUP1_BATT
0x02	GEN_STATUS[7:0]	BOOST	ALRT_BST	ALRT_CV	ALRT_DONE	ALRT_SUP1	THRM_LIM	THRM_SD	SOH_ILIM
0x03	EN_INT[7:0]	EN_BST	EN_ABST	EN_ACV	EN_ADN	EN_ASP	EN_TLIM	EN_TSD	EN_SOHI
0x04	CONTROL[7:0]	SOH_EN	SOH_OVR	–	AVB_EN	CHG_EN	CHG_IMON	BST_EN	BST_SKIP
0x05	CHGR_CC[7:0]	–	–	–	FCHG_CUR[4:0]				
0x06	CHGR_CV[7:0]	–	–	–	VCVTHR[4:0]				
0x07	SOH[7:0]	ISINK[3:0]				REG_ISINK[3:0]			
0x08	SW_RST[7:0]	All_Zeros[7:0]							
0xFF	NO_OP[7:0]	Dont_Care[7:0]							

レジスタの詳細

CHIP_ID (0x00)

CHIP_ID は、チップおよびシリコンのリビジョンに関する情報を提供する読出し専用レジスタです。

BIT	7	6	5	4	3	2	1	0
Field	DIE_TYPE[7:0]							
Reset	0x02 for MAX20094 and 0x03 for MAX20095							
Access Type	Read Only							

ビットフィールド	ビット	説明
DIE_TYPE	7:0	DIE_TYPE は、チップおよびシリコンのリビジョンに関する情報を提供します。

CHGR_STATUS (0x01)

CHGR_STATUS は、チャージャの動作モードと、関連する Supply1 の電圧ステータスに関する情報を提供する読出し専用レジスタです。

BIT	7	6	5	4	3	2	1	0
Field	CHGR_EN	CHGR_MODE[2:0]			–	SUP1_UVLO	SUP1_OVP	SUP1_BATT
Reset					–			
Access Type	Read Only	Read Only			–	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明
CHGR_EN	7	0 = ディスエーブル：CONTROL/CHG_EN=0、または BIAS が UVLO 閾値を下回る。 1 = イネーブル：CONTROL/CHG_EN=1、および BIAS が UVLO 閾値を上回る。

ビットフィールド	ビット	説明
CHGR_MODE	6:4	0b000 = ディスエーブル／スタンバイ 0b010 = 事前検証充電モード：$V_{BATT\_} < V_{PQVTHR}$、I_{CHG} = 50mA 0b110 = 急速充電定電流（CC）モード：$V_{PQVTHR} \leq V_{BATT\_} < V_{CVTHR}$、$I_{CHG} = I_{FCHG\_CUR}$ 0b111 = 急速充電定電圧（CV）モード：$V_{BATT} \geq V_{CVTHR}$、$I_{CHG} < I_{FCHG\_CUR}$ 0b100 = 急速充電完了モード：$V_{BATT\_} \geq V_{CVTHR}$ かつ I_{CHG} < 50mA、I_{CHG} = 0mA Note： CHGR_MODE[2] = FAST_CHARGE：充電が、高速充電状態の進行によって制御されていることを示す。 CHGR_MODE[1] = BATT_CHARGE：バッテリが現在充電中であることを示す。 CHGR_MODE[0] = CV_CHARGE：急速充電の進行が CV モードに達したことを示す。 状態 001、011、101 は未使用。
SUP1_UVLO	2	0 = V_{SUP1} > 3.5V 1 = V_{SUP1} < 3.5V Note：CHG_EN=0 のとき 1。
SUP1_OVP	1	0 = V_{SUP1} < 7.0V 1 = V_{SUP1} > 7.0V
SUP1_BATT	0	0 = $V_{SUP1} > (V_{BATT\_}$ + 100mV) 1 = $V_{SUP1} < (V_{BATT\_}$ + 100mV)

GEN_STATUS (0x02)

GEN_STATUS は、本 IC 内のすべての内部ブロックのステータスおよび動作に関する情報を提供する読出し専用レジスタです。GEN_STATUS レジスタの内容は、EN_INT レジスタを用いて、STATUS/INTB 割込み項に含めるために個別に選択することができます。

BIT	7	6	5	4	3	2	1	0
Field	BOOST	ALRT_BST	ALRT_CV	ALRT_DONE	ALRT_SUP1	THRM_LIM	THRM_SD	SOH_ILIM
Reset								
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明
BOOST	7	0 = ディスエーブル：CONTROL/BST_EN = 0 または $V_{SUP2} > V_{BOOST\_OV\_F}$ 1 = イネーブル：CONTROL/BST_EN = 1 かつ $V_{SUP2} < V_{BOOST\_OV\_F}$ Note：昇圧の閾値は OTP を介して設定します。
ALRT_BST	6	0 = 前回の読出し以降、昇圧は作動していない。 1 = 前回の読出し以降、昇圧が作動している。 **エッジセット、読出し後クリア**：読出し後、このアラートは昇圧が停止され、再度起動されるまでクリアされます。リアルタイムの昇圧動作は、D7 を用いて監視できます。
ALRT_CV	5	0 = 前回の読出し以降、チャージャが急速充電 CV モードに達していない。 1 = 前回の読出し以降、チャージャが急速充電 CV モードに達している。 **エッジセット、読出し後クリア**：読出し後、このアラートはチャージャが CV 状態を終了し、再び CV 状態になるまでクリアされます。

ビットフィールド	ビット	説明
ALRT_DONE	4	0 = 前回の読出し以降、チャージャが急速充電完了モードに達していない。 1 = 前回の読出し以降、チャージャが急速充電完了モードに達している。 **エッジセット、読出し後クリア**：読出し後、このアラートはチャージャが完了状態を終了し、再び完了状態になるまでクリアされます。
ALRT_SUP1	3	0 = Supply1 条件により、チャージャの正常動作が可能。 1 = 1 つまたは複数の電源ステータス・インジケータがアクティブ。 **レベルセット、読出し後クリア**：読出し後、このアラートは電源の条件が解消されるとクリアされます。個々の電源フォルトは、CHGR_STATUS を用いてリードバックができます。
THRM_LIM	2	0 = チャージャが動作していない、または正常動作している。 1 = チャージャが熱的に制限された（電流を低減した）モード（> 145ºC）で動作している。 **レベルセット、読出し後クリア**：読出し後、このアラートは熱制限の条件が解消されるとクリアされます。
THRM_SD	1	0 = デバイスが正常動作している。 1 = デバイスの熱保護が作動している（> 170ºC）。 **レベルセット、読出し後クリア**：読出し後、このアラートはサーマル・シャットダウンの条件が解消されるとクリアされます。
SOH_ILIM	0	0 = SOH が動作していない、または正常動作している（I_{SNK} < 3A、または V_{BATTP} > 低電圧閾値）。 1 = SOH が過電流条件で動作している（SOH がイネーブルの場合、I_{SNK} ≧ 3A、または V_{BATTP} < 低電圧閾値）。 **レベルセット、読出し後クリア**：読出し後、このアラートは過電流条件または BATTP 低電圧条件が解消されるとクリアされます。

EN_INT (0x03)

EN_INT は、STATUSB 出力ピンの動作を制御するリード／ライト・レジスタです。このレジスタの内容によって、どの割込み入力項が割込み出力 OR 項に含まれるかが決定されます（例えば、EN_INT レジスタの「1」は、対応する入力項が STATUS 割込み出力 OR 項に含まれることを示します）。割込み項の詳細な説明については、GEN_STATUS レジスタを参照してください。

BIT	7	6	5	4	3	2	1	0
Field	EN_BST	EN_ABST	EN_ACV	EN_ADN	EN_ASP	EN_TLIM	EN_TSD	EN_SOHI
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
EN_BST	7	0 = BOOST ステータスは STATUS OR 項に含まれない。 1 = BOOST ステータスは STATUS OR 項に含まれる。
EN_ABST	6	0 = ALRT_BST ステータスは STATUS OR 項に含まれない。 1 = ALRT_BST ステータスは STATUS OR 項に含まれる。
EN_ACV	5	0 = ALRT_CV ステータスは STATUS OR 項に含まれない。 1 = ALRT_CV ステータスは STATUS OR 項に含まれる。
EN_ADN	4	0 = ALRT_DONE ステータスは STATUS OR 項に含まれない。 1 = ALRT_DONE ステータスは STATUS OR 項に含まれる。
EN_ASP	3	0 = ALRT_SUP1 ステータスは STATUS OR 項に含まれない。 1 = ALRT_SUP1 ステータスは STATUS OR 項に含まれる。
EN_TLIM	2	0 = THRM_LIM ステータスは STATUS OR 項に含まれない。 1 = THRM_LIM ステータスは STATUS OR 項に含まれる。

ビットフィールド	ビット	説明
EN_TSD	1	0 = THRM_SD ステータスは STATUS OR 項に含まれない。 1 = THRM_SD ステータスは STATUS OR 項に含まれる。
EN_SOHI	0	0 = SOH_ILIM ステータスは STATUS OR 項に含まれない。 1 = SOH_ILIM ステータスは STATUS OR 項に含まれる。

CONTROL (0x04)

CONTROL は、デバイスの機能を有効化／無効化するリード／ライト・レジスタです。

BIT	7	6	5	4	3	2	1	0
Field	SOH_EN	SOH_OVR	–	AVB_EN	CHG_EN	CHG_IMON	BST_EN	BST_SKIP
Reset	0b0	0b0	–	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
SOH_EN	7	0 = SOH がディスエーブル、G2 が BATTP に駆動される。 1 = SOH がイネーブル、G2 が I_{SNK} を達成するように駆動される（AGND に対する V_{BATTP} − 3V）。これにより、AVI スイッチもイネーブルになります。 Note：このビットは、昇圧コントローラがアクティブにレギュレーションしている場合（BST_EN=1 かつ SUP2 < BST_OV_F 閾値）、0 にリセットされます。 このビットは、SOH 電流制限が真である場合、または V_{BATTP} が低電圧の場合、0 にリセットされます。
SOH_OVR	6	0 = ハードウェアのデフォルト値 ISINK[3:0] = OTP_ISINK[3:0]を使用する。 1 = オーバーライド値 ISINK[3:0] = REG_ISINK[3:0]を使用する。 Note：このビットにより、ISINK の OTP 設定値と REG 設定値を切り替えることができます。
AVB_EN	4	0 = オフに切り替える。 1 = オンに切り替える。
CHG_EN	3	0 = チャージャがディスエーブル。 1 = チャージャがイネーブル（EN1B もローの場合）。 Note：レジスタ値は、この位置でプログラムされ、リードバックが行われる。チャージャのイネーブル状態を示す AND 項は、CHGR_STATUS/CHGR_EN として利用できます。 このビットは、昇圧コントローラがアクティブにレギュレーションしている場合（BST_EN=1 かつ SUP2 < BST_OV_F 閾値）、0 にリセットされます。
CHG_IMON	2	0 = 内部シャント電流。 1 = IMON ピンに電流が送られる（電流を外部で監視）。
BST_EN	1	0 = 昇圧コントローラがディスエーブル。 1 = 昇圧コントローラがイネーブル。 Note：このビットは、以下の条件がすべて真の場合、0 にリセットされます： - 昇圧コントローラがアクティブにレギュレーションされている（BST_EN = 1 かつ SUP2 < BST_OV_F 閾値）。 - SUP2 < 4.5V（BST_UV 閾値）。
BST_SKIP	0	0 = 昇圧スキップ・モード動作をディスエーブルにする。 1 = 昇圧スキップ・モード動作をイネーブルにする。

CHGR_CC (0x05)

CHGR_CC は、定電流動作中に急速充電電流を設定するリード／ライト・レジスタです。

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	FCHG_CUR[4:0]				
Reset	–	–	–	0x0				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明
FCHG_CUR	4:0	FCHG_CUR は、急速充電電流を、50mA から 1000mA の間で 50mA ステップで設定します： 0b00000 = 50mA 0b00001 = 100mA 0b00010 = 150mA ... 0b10001 = 900mA 0b10010 = 950mA 0b10011 = 1000mA ... 0b11111 = 1000mA Note：初回書込みの前に、FCHG_CUR は、工場出荷時のデフォルト設定値のリードバックを行います。リセット値は、OTP（0b00000 = 50mA）で決定されます。

CHGR_CV (0x06)

CHGR_CV は、定電圧動作への移行に必要なチャージャ・レギュレーション電圧を設定するリード／ライト・レジスタです。

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	VCVTHR[4:0]				
Reset	–	–	–	0x0				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明
VCVTHR	4:0	VCVTHR は、チャージャ・レギュレーションを、3.0V から 6.0V の間で 100mV ステップで設定します： 0b00000 = 3.0V 0b00001 = 3.1V 0b00010 = 3.2V ... 0b11100 = 5.8V 0b11101 = 5.9V 0b11110 = 6.0V 0b11111 = 7.0V Note：リセット値は、OTP（0b00110 = 3.6V）で決定されます。

SOH (0x07)

SOH は、劣化状態（SOH）測定中にユーザ・プログラマブルなシンク電流を設定するリード／ライト・レジスタです。SOH をイネーブルにするには、CONTROL/SOH_EN を設定します。ハードウェア・デフォルト値とレジスタ・オーバーライド値の間の電流選択は、CONTROL/SOH_OVR（それぞれ、Reg03\h、D6 と D5）により設定されます。このレジスタへの書込みは、レジスタ・オーバーライド値 REG_ISINK[3:0]の変更時にのみ必要です。デュアル電流測定をサポートするには、オーバーライド値を使用する前に、このレジスタに書き込む必要があります。SOH レジスタのリードバックをすると、現在使用中の ISINK[3:0]値（読出し専用、CONTROL/SOH_OVR の値により決まる）と、REG_ISINK[3:0]のユーザ・プログラム値（検証用）を返します。

BIT	7	6	5	4	3	2	1	0
Field	ISINK[3:0]				REG_ISINK[3:0]			
Reset					0b0000			
Access Type	Read Only				Write, Read			

ビットフィールド	ビット	説明
ISINK	7:4	CONTROL/SOH_OVR = 0 の場合、OTP_ISINK[3:0]が返されます。 CONTROL/SOH_OVR = 1 の場合、REG_ISINK[3:0]が返されます。 0b0000 = 125mA。
REG_ISINK	3:0	REG_ISINK は、ディスチャージャの電流レギュレーションを、125mA から 2A の間で 125mA ステップで設定します： 0b0000 = 125mA 0b0001 = 250mA 0b0010 = 375mA ... 0b1101 = 1.750A 0b1110 = 1.875A 0b1111 = 2A

SW_RST (0x08)

SW_RST（ソフトウェア・リセット）は、書込み専用レジスタ／コマンドであり、I²C SW_RST トランザクション（すなわち、データ・バイトの ACK）の終了時に、デバイス全体を元のデフォルト状態にリセットします。DIN[7:0]=0x00 の場合にのみ実行されます。SW_RST の影響は、デバイスの電源再投入と同じです。

BIT	7	6	5	4	3	2	1	0
Field	All_Zeros[7:0]							
Reset	0b00000000							
Access Type	Write Only							

ビットフィールド	ビット	説明
All_Zeros	7:0	

NO_OP (0xFF)

NO_OP（動作なしレジスタ）は、デバイスに内部的な影響を与えないリード／ライト・レジスタです。このレジスタをリードバックする場合、I²C リードバック・データの SDA はゼロのままです。このレジスタに書き込もうとしても無視されるため、内部動作には影響を与えません。

BIT	7	6	5	4	3	2	1	0
Field	Dont_Care[7:0]							
Reset	0x00							
Access Type	Write Only							

ビットフィールド	ビット	説明
Dont_Care	7:0	

アプリケーション情報

昇圧コンバータ

昇圧スイッチング電流は、簡略化したブロック図の R1 によって検出されます。負荷が大きい場合は、CSN、CSP、アンプで利用できるヘッドルームの限界値を遵守する必要があります。V_{LIMIT} は電気的特性の表に記載されています。0.003Ω（代表値）の検出抵抗と 40mV（最小値）の V_{LIMIT} の場合、ピーク・インダクタ電流は 13.3A です。BUB の充電量が減少するにつれ、CSP ピンの電圧は低下します。CSP の低電圧ロックアウトがディスエーブルの場合、100mΩ のバッテリ ESR と 3.2V_{BUB} を想定すると、最小ヘッドルームの CSP 低電圧は 1.5V（代表値）です。

インダクタの選択

インダクタ電流は、スイッチのオン時間中に上昇し、オフ時間中に下降するため、インダクタ・サイズの計算には、デューティ・サイクルと周波数が重要です。一般的に、スイッチング周波数が高いほど、過渡応答が向上し、部品サイズが縮小します。ただし、昇圧部品を、非昇圧動作中に入力フィルタ部品として用いる場合は、低い周波数が有利になります。

昇圧コンバータのデューティ・サイクル範囲は、実効入出力電圧比に依存します。以下の計算で、デューティ・サイクルは昇圧 MOSFET のオン時間を表しています：

$$D_{MAX} = \frac{V_{OUT(MAX)} - V_{BUB(MIN)}}{V_{OUT(MAX)}}$$

あるいは、インダクタと MOSFET ($V_{ON,FET}$)での電圧降下を含めると

$$D_{MAX} = \frac{V_{OUT(MAX)} - V_{BUB(MIN)} + I_{OUT} \times R}{V_{OUT(MAX)}}$$

ここで、

$$R = R_{DC} + R_{DSON\_M2} + R_{DSON\_M3}$$

インダクタのピーク to ピーク AC 電流と DC 平均電流の比（LIR）を、最初に選択する必要があります。ピーク to ピークのリップル電流と平均電流の比を 30%（LIR = 0.3）とするのが妥当な開始点です。スイッチング周波数、入力電圧、出力電圧、採用した LIR によって、次のようにインダクタの値が決まります。

$$L[\mu H] = \frac{V_{IN} \times D}{f_{SW}[MHz] \times LIR}$$

ここで、

$D = (V_{OUT} - V_{IN})/V_{OUT}$

V_{IN} = 代表的な入力電圧

V_{OUT} = 代表的な出力電圧

LIR = 0.3 × $I_{OUT}/1 - D$

次のように、コンバータのピーク・スイッチ電流制限値よりも高い飽和電流定格を持つインダクタを選択します：

$$I_{L,\ PEAK} > I_{L,\ MAX} + \frac{\Delta I_{L,\ RIP,\ MAX}}{2}$$

昇圧コンバータを連続伝導モードで動作させると、伝達関数に右半平面ゼロが導入されますこの右半平面ゼロの影響を回避するには、制御ループのクロスオーバー周波数を、1/3 × f_{RHP_ZERO} 以下にする必要があります。帯域幅を高速にする必要がある場合は、インダクタを小型にし、スイッチング周波数を高くすることが推奨されます。

MOSFET の選択

昇圧コンバータに用いられる n チャンネル MOSFET を選ぶ上で重要な選択パラメータは、次のとおりです。

スレッショールド電圧

昇圧用の n チャンネル MOSFET は、V_{GS} = 4.5V でのオン抵抗仕様が確保されたロジック・レベル・タイプであることが必須です。

電流能力

n チャンネル MOSFET は、入力電流（$I_{IN(MAX)}$）を供給する必要があります：

$$I_{IN(MAX)} = I_{LOAD(MAX)} \times \frac{D_{MAX}}{1 - D_{MAX}}$$

V_{GS} = 4.5V での平均電流が妥当な MOSFET を選択します。

入力コンデンサの選択

BUB は、入力に電圧を印加し、トランジェントに対してある程度の安定性を付与しますが、ワイヤ・ハーネスや直列抵抗を備えることもできます。MAX20094 の BATTP 入力には、10μF、2.2μF、0.1μF の X7R セラミック・コンデンサを追加します。MAX20094 評価用キットの回路図と出荷時の PCB レイアウトを精査して、入力コンデンサを最適化します。

昇圧コンバータの入力電流は連続的であり、入力コンデンサでの RMS リップル電流は小さい値となります。次の式を用いて、入力コンデンサの最小値と ESR の最大値を計算します：

$$C_{BUB} = \frac{\Delta I_L \times D}{4 \times f_{SW} \times \Delta V_Q}$$

$$ESR = \frac{\Delta V_{ESR}}{\Delta I_L}$$

ここで、

$$\Delta I_L = \frac{(V_{BUB} - V_{DB}) \times D}{L \times f_{SW}}$$

V_{DS}は、外部 MOSFET での総電圧降下に、インダクタ ESR での電圧降下を加えたものです。ΔI_Lは、上で計算されたピーク to ピークのインダクタ・リップル電流です。ΔV_Q は、コンデンサ放電による入力リップルの部分であり、ΔV_{ESR} はコンデンサの ESR による寄与分です。セラミック・コンデンサとアルミ・コンデンサを組み合わせて用いる場合は、ESR による入力コンデンサ・リップルの寄与分（ΔV_{ESR}）とコンデンサ放電による寄与分（ΔV_Q）は等しいと仮定します。コンバータのターンオン中は、特に出力と入力の差が大きい場合、入力ソースから大きな電流が流れます。

出力コンデンサの選択

昇圧コンバータでは、昇圧 MOSFET がオンのときに、出力コンデンサが負荷電流を供給します。必要な出力容量は、特にデューティ・サイクルが高くなると、大きくなります。また、出力コンデンサの ESR は、電圧降下を最小限に抑え、同時に負荷電流をサポートするのに十分なほど低くする必要があります。次の式を用いて、指定された出力リップルに対応する出力コンデンサを計算します。リップル値はすべてピーク to ピークのものです：

$$ESR = \frac{\Delta V_{ESR}}{I_{OUT}}$$

$$C_{OUT} = \frac{I_{OUT} \times D_{MAX}}{\Delta V_Q \times f_{SW}}$$

I_{OUT}は負荷電流（単位 A）、f_{SW}の単位は MHz、C_{OUT}の単位は μF です。ΔV_Qはコンデンサ放電によるリップルの部分、ΔV_{ESR}はコンデンサの ESR による寄与分です。D_{MAX} は、最小入力電圧における最大デューティ・サイクルです。出力リップルとノイズを低減するには、低 ESR セラミック・コンデンサと値が大きく低価格のアルミ・コンデンサを組み合わせて使用します。

シャント抵抗の選択

電流検出抵抗（$R_{CS\_}$）は、バッテリとインダクタの間に接続して、電流制限値を設定します。CS_入力の電圧トリップ・レベル（$V_{CS\_}$）は 50mV（代表値）です。電流制限閾値は、多様な部品に対応できるように十分高い値に設定します。次式を用いて、$R_{CS_}$の値を計算します：

$$R_{CS\_} = \frac{V_{CS\_}}{I_{IN(MAX)}}$$

ここで、$I_{IN(MAX)}$は、全負荷で最小 V_{IN}のときに MOSFET に流れるピーク電流です。

$$I_{IN(MAX)} = \frac{I_{LOAD(MAX)}}{(1 - D_{MAX})}$$

この（電流検出抵抗を流れる）電流によって生じる電圧が電流制限コンパレータ閾値を超えると、MOSFET ドライバ（DL）によりオンサイクルが即座に終了します。

SUP2 の入力フィルタ

10µF のコンデンサと 100mΩ の抵抗からなる入力フィルタを推奨します。SUP2 電流は、FPWM モードの昇圧アプリケーションで約 50mA、スキップ・モードで 300µA、スタンバイ・モードで 26µA です。チャージャと SOH アプリケーションでは、SUP2 電流は約 1mA です。

PCB レイアウトに関する推奨事項

低スイッチング損失と低ノイズで安定した動作を実現するには、慎重に検討された PCB レイアウトが不可欠です。スイッチング電力段には特に注意が必要です（図 5 を参照）。可能な場合、すべてのパワー部品をボードの上面に実装し、各グランド端子は互いに隣接するようにします。次のガイドラインに従って、PCB レイアウトを適切なものにしてください：

- 大電流経路は、特にグランド端子では短くします。この方法は、安定したジッタのない動作に必須のものです。
- 電源パターンと負荷接続は短くします。この方法は、高い効率を得るために必須のものです。銅層の厚い（標準の 1 オンスに対して 2 オンスの）PCB を用いると、全負荷効率を 1%以上向上させることができます。
- CSP と CSN を接続することにより、電流検出誤差を最小限に抑えます。電流検出抵抗（$R_{CS\_}$）の両端で直接、ケルビン検出を使用します。
- 高速スイッチング・ノード（BST_、LX_、DH_、DL_）は、高感度アナログ領域（SUP2、CSP、CSN）から離して配線します。

PCB レイアウトの手順

- パワー部品を最初に配置し、グランド端子を隣接させます（ローサイド FET、C_{IN}、C_{OUT}、ショットキー）。可能な場合、これらの接続はすべて、銅充填領域が広い最上層で行います。
- コントローラ IC は、ローサイド MOSFET に隣接して（望ましくは、NL_と NH_の反対側の裏面に）実装し、LX、GND、DH_、DL_のゲート駆動ラインを短く、かつ幅広くしておきます。MOSFET がコントローラ IC から 1 インチ離れている場合、ドライバのインピーダンスを低く保ち、適切な適応型デッドタイム検出を行うには、DL_と DH_のゲート・パターンを短く、かつ幅広く（50mil～100mil）しておくことが不可欠です。
- ゲート駆動部品（BST_ダイオードおよびコンデンサ、LDO バイパス・コンデンサ、BIAS）は、できるだけコントローラ IC の近くにまとめて配置します。ブートストラップ・コンデンサから BST に_、DH_から外部 HS スイッチのゲートに、LX ピンからインダクタに、最大 1A のゲート電流が流れることに注意してください。これらのパターンは適宜、指定のサイズで作ります。
- DC/DC コントローラのグランド接続は、MAX20094 EV キットの部品配置ガイドの表記のように行います（図 8 を参照）。この図には、2 つの別個のグランド・プレーンがあると見なすことができます。すなわち、すべてのハイパワー部品が接続される電源グランド・プレーンと、高感度アナログ部品用のアナログ・グランド・プレーンです。アナログ・グランド・プレーンと電源グランド・プレーンは、IC の真下の 1 点でのみ接する必要があります。
- 出力電力プレーンは、出力フィルタ・コンデンサのプラス端子とマイナス端子に複数のビアで直接接続し、DC/DC コンバータ回路全体を負荷のできるだけ近くに配置します。

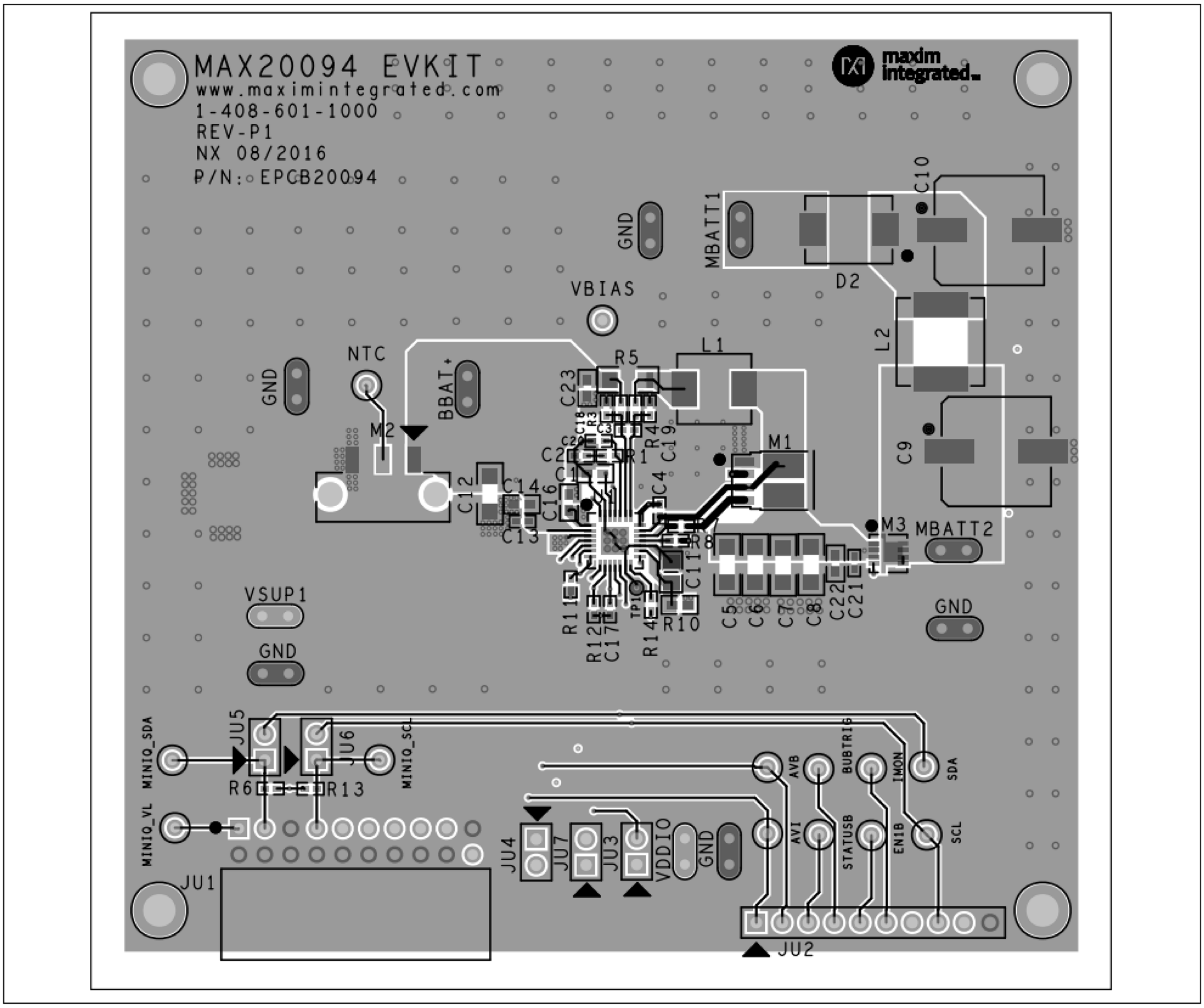


図 8. MAX20094 EV キット部品配置ガイド／PCB レイアウト

オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE	f_{SW}	V_{OUT}	BUB_UVLO	V_{PQVTHR}
MAX20094ATIA/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	6.2V	On	2.0V
MAX20094ATIB/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	6.5V	On	2.0V
MAX20094ATIC/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	6.8V	On	2.0V
MAX20094ATID/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	7.1V	On	2.0V
MAX20094ATIE/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	400kHz	6.2V	On	2.0V
MAX20094ATIF/VY+**	−40°C to +125°C	28 (SW) TQFN-EP*	400kHz	7.1V	On	2.0V
MAX20094ATIJ/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	6.5V	On	3.0V
MAX20095ATIA/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	5.5V	On	2.0V
MAX20095ATIB/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	8V	On	2.0V
MAX20095ATIC/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	9V	On	2.0V
MAX20095ATID/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	10V	On	2.0V
MAX20095ATIE/VY+	−40°C to +125°C	28 (SW) TQFN-EP*	2.2MHz	12V	On	2.0V

/V = 車載用適合製品。
+ = 鉛（PB）フリー／ROHS 準拠のパッケージ。
(SW) = サイドウェッタブル・パッケージ。
*EP = 露出パッド。
** 発売予定の製品 – 発売時期についてはお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	7/17	初版発行	–
1	7/17	昇圧モード固定出力電圧（VSUP2）の最小値および最大値を更新。電気的特性の昇圧モード固定出力電圧精度の行を削除。CHIP_ID（0x00）レジスタ・テーブルのリセット・アドレスを更新。オーダー情報のMAX20095ATIA/VY+から発売予定の製品のステータスを削除。	4, 20, 30
2	5/18	パッケージ情報の表で、パッケージ外形番号（21-100041 から 21-100130 に）、ランド・パターン番号（90-0025 から 90-0027 に）、熱抵抗値を変更。オーダー情報の表で、MAX20095ATIB/VY+、MAX20095ATIC/VY+、MAX20095ATID/VY+、MAX20095ATIE/VY+から発売予定の製品のステータスを削除。	3, 30
3	7/19	簡略化したブロック図、端子説明、詳細、I^2C ユーザ・コマンドとレジスタ・マップ、オーダー情報を更新。	2, 11, 16, 17, 20, 24, 26, 27, 30
4	1/20	簡略化したブロック図、電気的特性、詳細、レジスタ・マップ、アプリケーション情報、オーダー情報を更新。	2, 5, 16, 17, 22, 27, 30
5	10/20	電気的特性、オーダー情報、レジスタ・マップのレジスタ 0x04 CONTROL を更新。	4, 24, 31
6	5/22	電気的特性、詳細、標準動作特性、レジスタ・マップのレジスタ 0x02 GEN_STATUS、オーダー情報を更新。	3, 4, 10, 14, 22, 30
7	5/22	MAX20094ATIJ/VY+の発売予定の製品の表記を削除。	31