特定型番の生産状況についてはこちらをクリックしてください。

MAX22200

36V、1Aのオクタル集積シリアル制御ソレノイドおよびモータ・ドライバ

概要

MAX22200は、オクタル36Vシリアル制御ソレノイド・ドライバです。各チャンネルは、シンクおよびソース駆動能力および最大1A_{RMS}の駆動電流を特長とする低インピーダンス(200mΩ(代表値))のプッシュプル出力段を備えています。デイジーチェーン構成にも対応するシリアル・インターフェース(SPI)により、各チャンネルを個別に制御できます。

デバイスのハーフブリッジは、ローサイド・ドライバまたはハイサイド・ドライバに設定できます。更に、ハーフブリッジのペアを並列にして駆動電流を2倍にすることや、フルブリッジとして設定して最大4つのラッチ式バルブ(双安定バルブ)または4つのブラシ付きDCモータを駆動することができます。

このデバイスは電圧駆動レギュレーション(VDR)と電流駆動レギュレーション(CDR)の2つの制御方式に対応します。VDRでは、デバイスはPWM電圧を出力し、デューティ・サイクルはSPIを使用して設定します。所定の電源電圧およびソレノイド抵抗に対して、出力電流は設定されたデューティ・サイクルに比例します。CDRでは、内部の集積型無損失電流検出(ICS)回路が出力電流を検出し、それを内部のプログラマブル・リファレンス電流と比較します。

ソレノイド駆動アプリケーションでの最適なパワー・マネージメントを実現するために、励起駆動レベル(I_{HIT})、保持駆動レベル(I_{HOLD})、および励起駆動時間(t_{HIT})を各チャンネルに対して個別に設定することができます。

MAX22200はフル・セットの保護および診断機能を備えています。これには、過電流保護(OCP)、サーマル・シャットダウン(TSD)、低電圧ロックアウト(UVLO)、開放負荷検出(OL)、およびプランジャ移動の検出(DPM)などがあります。フォルト通知ピン(FAULT)はフォルト・イベントを通知し、診断情報はFAULTレジスタに保存されます。

使用の柔軟性、シリアル・インターフェース制御、高効率、および小型パッケージによって、MAX22200は特に低消費電力および高レベルの集積が必要なソレノイド・ドライバ・アプリケーション(バルブ制御、リレー制御など)に最適です。

MAX22200は、5mm × 5mmの小型32ピンTQFNパッケージで提供され、–40°C～+85°Cの温度範囲で動作します。

アプリケーション

- リレー・ドライバ
- ソレノイド、バルブ、電磁ドライバ
- 汎用のローサイドおよびハイサイド・スイッチ・アプリケーション
- ラッチ式(双安定)ソレノイド・バルブ・ドライバ
- ブラシ付きDCモータ・ドライバ

利点と特長

- +36V(最大)の8つのハーフブリッジ
- 高性能:
  - 低オン抵抗:$R_{DS(on)}$:200mΩ(代表値)(T_A = +25°C)
  - 連続出力電流:ハーフブリッジあたり最大1A_{RMS}(T_A = +25°C)
  - 電流駆動レギュレーション(CDR)
  - 電圧駆動レギュレーション(VDR)
  - 集積型無損失電流検出(ICS)
- 高い柔軟性:
  - 各チャンネルで個別に設定可能なHITおよびHOLD電流(I_{HIT}、I_{HOLD})
  - 各チャンネルで個別に設定可能なHIT電流タイミング(t_{HIT})
  - フルブリッジ構成に対応
  - 並列モードに対応
- 高速シリアル・インターフェース(SPI)
  - 5MHz(デイジーチェーン構成)
  - 10MHz(デイジーチェーンなし)
- 保護および診断
  - 過電流保護(OCP)
  - 開放負荷検出(OL)
  - プランジャ移動の検出(DPM)
  - 低電圧ロックアウト(UVLO)
  - HIT電流未達(HHF)
  - サーマル・シャットダウン温度 = +145°C(TSD)
  - 診断用のフォルト・レジスタ
- 集積:
  - 5mm × 5mmの32ピンTQFNパッケージ

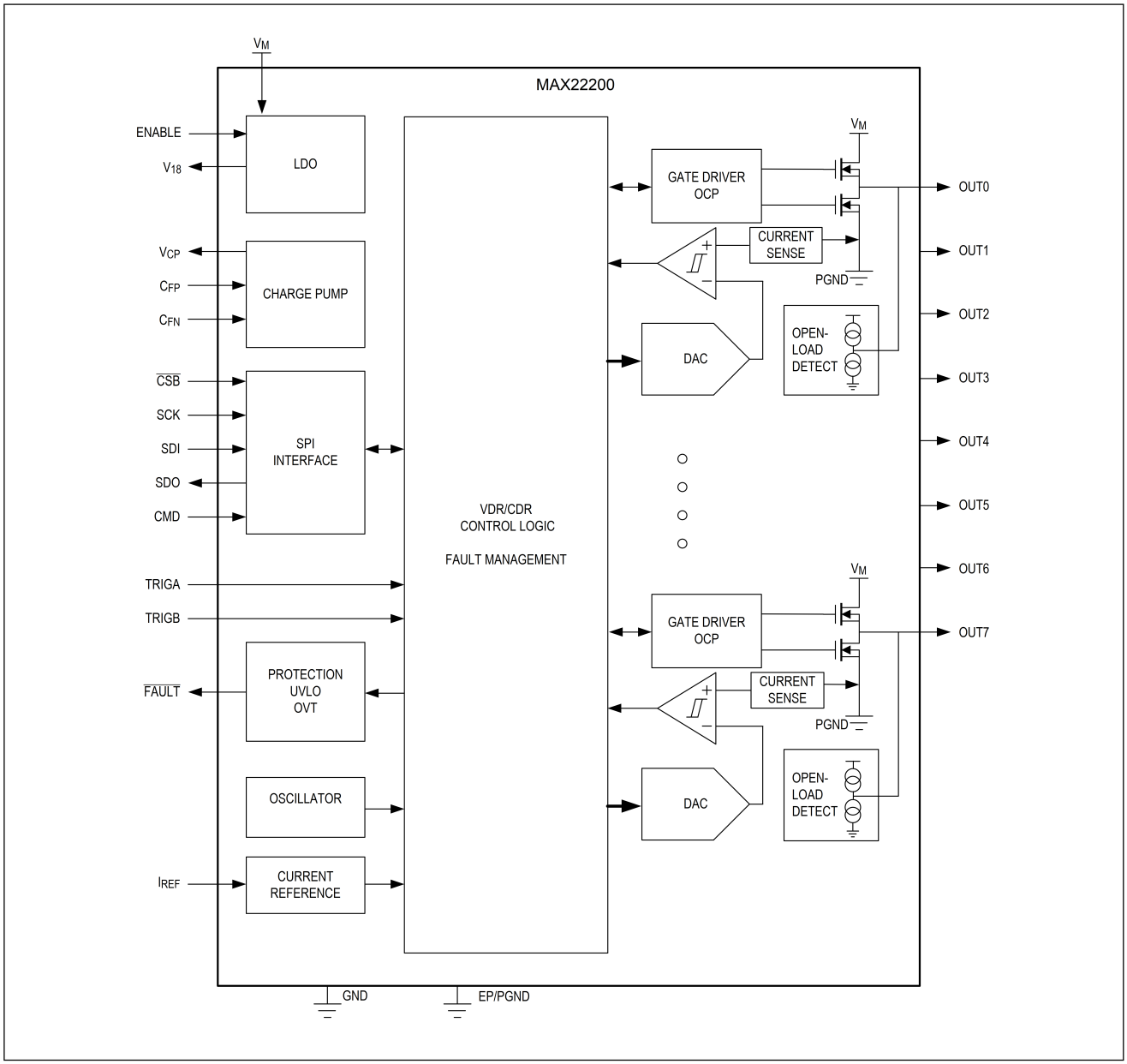
オーダー情報はデータシートの末尾に記載されています。

19-100531; Rev 0; 4/20

maxim integrated™

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。
価格、納期、発注情報についてはMaximのウェブサイト(www.maximintegrated.com/jp)をご覧ください。

簡略化したブロック図


VM
MAX22200
ENABLE
V18
LDO
VCP
CFP
CFN
CHARGE PUMP
CSB
SCK
SDI
SDO
CMD
SPI INTERFACE
TRIGA
TRIGB
FAULT
PROTECTION UVLO OVT
OSCILLATOR
IREF
CURRENT REFERENCE
VDR/CDR CONTROL LOGIC
FAULT MANAGEMENT
GATE DRIVER OCP
CURRENT SENSE
PGND
DAC
OPEN-LOAD DETECT
OUT0
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
OUT7
GND
EP/PGND

目次

概要 1
アプリケーション 1
利点と特長 1
簡略化したブロック図 2
絶対最大定格 7
パッケージ情報 7
32 TQFN 7
電気的特性 7
ピン配置 12
MAX22200 12
端子説明 12
詳細 14
イネーブル・ロジック入力 14
機能の説明 – 2レベルのシーケンスでソレノイド・バルブを駆動 14
チョッピング周波数（FREQM、FRQ_CFG_） 16
スルーレート制御モード（SRC） 17
最小および最大デューティ・サイクル 17
電圧駆動レギュレーション（VDR） 18
電流駆動レギュレーション（CDR） 18
HITおよびHOLDの電流設定（CDR） 18
フルスケール電流設定（IFS） 19
ハーフ・フルスケール設定（HFSビット） 19
固定周波数電流制御 19
HIT励起時間（t_{HIT}） 20
サポート対象のドライバ設定 20
ローサイド／ハイサイド動作（HSnLS） 20
ハーフブリッジの並列化 20
フルブリッジ構成 21
保護回路 21
過電流保護（OCP） 22
開放負荷検出（OL） 22
プランジャ移動の検出（DPM） 22
サーマル・シャットダウン（TSD） 23
低電圧ロックアウト（UVLO） 23
「HIT電流未達」フラグ（HHF） 23
プログラミング情報 23
SPIの詳細な説明 23
プログラミング手順 24
コマンド・レジスタの説明（COMMAND） 26

目次（続き）

ステータス・レジスタの説明（STATUS）.....27
設定レジスタの説明（CFG_CH_）.....27
フォルト・レジスタの説明（FAULT）.....28
プランジャ移動の検出レジスタの説明（CFG_DPM）.....28
レジスタの読出しおよび書込み操作.....30
通信エラー検出（COMF）.....33
レジスタ・マップ.....34
MAX22200のレジスタ・マップ.....34
レジスタの詳細.....35
アプリケーション情報.....41
使用事例.....41
電流定格.....41
標準アプリケーション回路.....43
アプリケーション構成図.....43
オーダー情報.....44
改訂履歴.....45

図一覧

図1. SPIタイミング図 11
図2. VDRのタイミング図 15
図3. CDRのタイミング図 16
図4. プランジャ移動の検出 22
図5. SPIのデイジーチェーン構成 24
図6. プログラミングのフロー・チャート 25
図7. コマンド・レジスタの書込み 26
図8. プランジャ移動の検出 29
図9. 32ビット・レジスタ書込み—タイミング図 30
図10. 32ビット・レジスタ読出し—タイミング図 31
図11. 8ビット・レジスタ書込み—タイミング図 32
図12. 8ビット・レジスタ読出し—タイミング図 33
図13. +24Vでの安全動作領域 41
図14. +30Vでの安全動作領域 42
図15. +36Vでの安全動作領域 42
図16. +36V、SRC = 0での安全動作領域 42

表一覧

表1. チョッピング周波数 17
表2. 最小および最大デューティ・サイクル 17
表3. VDRのデューティ・サイクル 18
表4. HITおよびHOLDの電流設定（CDR） 18
表5. HIT励起時間（tHIT） 20
表6. ハーフブリッジ並列モードでのTRGnSPI 21
表7. フルブリッジ構成 21
表8. フルブリッジ・モードでのTRGnSPI 21
表9. コマンド・レジスタ 26
表10. ステータス・レジスタ 27
表11. 設定レジスタ 28
表12. フォルト・レジスタ 28

Absolute Maximum Ratings

PGND to GND ..... –0.6V to +0.6V
V_M to GND ..... –0.3V to +40V
V_{CP} to GND..... (V_M – 0.3V) to min(+42V, V_M + 6V)
C_{FP} to GND..... (V_M – 0.3V) to (V_{CP} + 0.3V)
C_{FN} to GND..... –0.3V to (V_M + 0.3V)
$\overline{CMD}$ to GND ..... –0.3V to +6V
$\overline{CSB}$ to GND ..... –0.3V to +6V
SDI to GND ..... –0.3V to +6V
ENABLE to GND ..... –0.3V to (V_M + 0.3V)
SCK to GND..... –0.3V to +6V
SDO to GND..... –0.3V to +6V
$\overline{FAULT}$ to GND ..... –0.3V to +6V
TRIGA, TRIGB to GND ..... –0.3V to +6V
I_{REF} to GND ..... –0.3V to min(+2.2V, V_{18} + 0.3V)
V_{18} to GND ..... –0.3V to min(+2.2V, V_M + 0.3V)
OUT_ to PGND .....–0.3V to (V_M + 0.3V)
Continuous Power Dissipation TQFN (Multilayer Board) (T_A = +70°C, derate 34.5mW/°C above +70°C.) ... 0mW to 2758mW
Operating Temperature Range..... –40ºC to +85ºC

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Information

32 TQFN

Package Code	T3255+8C
Outline Number	21-0140
Land Pattern Number	90-0013
THERMAL RESISTANCE, SINGLE-LAYER BOARD	
Junction-to-Ambient (θ_{JA})	47°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1.7°C/W
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction-to-Ambient (θ_{JA})	29°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1.7°C/W

For the latest package outline information and land patterns (footprints), go to **www.maximintegrated.com/jp/packages**. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to **www.maximintegrated.com/jp/thermal-tutorial**.

Electrical Characteristics

(V_M = +4.5V to +36V, T_A = -40°C to +85°C. ENABLE = V_M, C_F = 22nF, C_{B18} = 2.2µF, C_T = 1µF. Typical values are at V_M = +24V and T_A = +25°C, unless otherwise noted. Limits are 100% tested at T_A = +25°C. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Specifications marked "GBD" are guaranteed by design and not production tested.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE						
Supply-Voltage Range	V_M		4.5		36	V
Disable Current Consumption	I_{SDN}	ENABLE = 0, V_M = OUT_ = +24V			11	µA
Inactive Current Consumption	I_{NA}	ACTIVE = 0		200	400	µA

Electrical Characteristics (continued)

(V_M = +4.5V to +36V, T_A = -40°C to +85°C. ENABLE = V_M, C_F = 22nF, C_{B18} = 2.2µF, C_T = 1µF. Typical values are at V_M = +24V and T_A = +25°C, unless otherwise noted. Limits are 100% tested at T_A = +25°C. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Specifications marked "GBD" are guaranteed by design and not production tested.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Quiescent Current Consumption–All Drivers Off	I_{Q1}	All drivers set in VDR Mode–Off			2.5	5	mA
Quiescient Current–All Drivers VDR Mode	I_{Q2}	All drivers set in VDR Mode–Continuous On, low-side, no load.			3.5	5	mA
Quiescent Current Consumption–CDR Mode	I_{Q3}	All drivers set in CDR Mode–Continuous On, no load			5.2	7.5	mA
LDO (V_{18})							
V_{18} Output Voltage Range	V_{18}	I_{V18} < 20mA		1.728	1.8	1.872	V
V_{18} Current Limit	$I_{V18(LIM)}$			20			mA
V_{18} UVLO Rising	$UVLO_{V18(R)}$	V_{18} rising			1.65		V
V_{18} UVLO Hysteresis	$UVLO_{V18(H)}$				70		mV
CHARGE PUMP (V_{CP}, C_{PF}, C_{NF})							
V_{CP} Operating Voltage	V_{VCP}	Internal Regulator			V_M + 2.7		V
Charge Pump Frequency	f_{PMP}				100		kHz
LOGIC INPUTS-OUTPUTS							
Input-Voltage Level High	V_{IH}			1.2			V
Input-Voltage Level Low	V_{IL}					0.65	V
Hysteresis on Logic Inputs	HYS				110		mV
Open-Drain Low-Level Output Voltage	V_{OL}	I_{OUT} = 10mA				0.4	V
Pulldown Current on Logic Inputs	I_{PD}	V_{PIN} = +5V			33	70	µA
Pullup Current $\overline{CSB}$/SDI	I_{PU}	$\overline{CSB}$/SDI = 0V		-15	-7.5		µA
ENABLE Voltage Level High	$V_{IH(EN)}$			0.9			V
ENABLE Voltage Level Low	$V_{IL(EN)}$					0.6	V
ENABLE Pulldown Input Resistance	$R_{PD(EN)}$			0.8	1.5		MΩ
OUTPUT CHARACTERISTICS							
Low-Side On Resistance	R_{ONLS}	0.5A	HFS_ = 0		0.2	0.4	Ω
			HFS_ = 1		0.4	0.8	
High-Side On resistance	R_{ONHS}	0.3A			0.21	0.4	Ω
Driver Output Leakage	I_{LEAK}	Open load detector disabled (OL_EN_ = 0), output three-stated (ONCH_ = 0)		-2		+2	µA

Electrical Characteristics (continued)

(V_M = +4.5V to +36V, T_A = -40°C to +85°C. ENABLE = V_M, C_F = 22nF, C_{B18} = 2.2µF, C_T = 1µF. Typical values are at V_M = +24V and T_A = +25°C, unless otherwise noted. Limits are 100% tested at T_A = +25°C. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Specifications marked "GBD" are guaranteed by design and not production tested.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
PROTECTIONS							
Overcurrent Protection Threshold	OCP			1.1			A
Overcurrent Protection Deglitch Time	t_{OCP}	SRC = 0, FREQM = 0, FREQ_CFG = 00			1.2		µs
UVLO Threshold on V_M	UVLO	V_M rising		3.75	4	4.25	V
UVLO Threshold on V_M Hysteris	$UVLO_{HYS}$				0.12		V
Thermal Shutdown Threshold	T_{SDN}				145		°C
Thermal Shutdown Hysteresis	T_{HYS}				20		°C
Open-Load Detection Current	I_{OL_LS}	OL_EN_ = 1	HSnLS_ = 0, Pulldown current		16	30	µA
	I_{OL_HS}		HSnLS_ = 1, Pullup current	-30	-16		
Open-Load Detection Voltage	V_{OL_LS}	OL_EN_ = 1	HSnLS = 0		1.2	1.8	V
	V_{OL_HS}		HSnLS = 1	V_M - 1.8	V_M - 1.2		
Open-Load Detect Deglitch Time	t_{OL}				200		µs
HALF-BRIDGE CONTROL							
Chopping Frequency	f_{CHOP}	FREQ_CFG[1:0] = 11	FREQ_M = 0	80	100	120	kHz
			FREQ_M = 1	64	80	96	
Output Rise-Time in Slew Rate Controlled Mode	t_{RISE}	SRC_ = 1, 10% to 90% of the swing, V_M = +24V, no load			0.2		µs
Output Fall-Time in Slew Rate Controlled Mode	t_{FALL}	SRC_ = 1, 10% to 90% of the swing, V_M = +24V, no load			0.2		µs
Current Drive Regulation Accuracy	ITR_{ERR1}	Current Drive Regulation mode, I_{FS} at 1A, R_{REF} 1% tolerance LSnHS_ = 0, HFS_ = 0 (Note 3)	I_{TRIG} from 71% to 100%	-6		+6	%
	ITR_{ERR2}		I_{TRIG} from 20% to 70%	-10		+10	
	ITR_{ERR3}		I_{TRIG} from 10% to 20%	-15		+15	
	ITR_{ERR4}		I_{TRIG} from 5% to 10%	-25		+25	
Full-Scale Current Reference Constant	K_{FS1}	CDR, LS drive only. R_{REF} from 15kΩ to 100kΩ	HFS_ = 1		7.5k		A/A

Electrical Characteristics (continued)

(V_M = +4.5V to +36V, T_A = -40°C to +85°C. ENABLE = V_M, C_F = 22nF, C_{B18} = 2.2µF, C_T = 1µF. Typical values are at V_M = +24V and T_A = +25°C, unless otherwise noted. Limits are 100% tested at T_A = +25°C. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Specifications marked "GBD" are guaranteed by design and not production tested.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Full Scale Current Reference Constant	K_{FS0}	CDR, LS drive only. R_{REF} from 15kΩ to 100kΩ	HFS_ = 0		15k		A/A
IREF Pin Regulator Voltage Reference Voltage	V_{IREF}				1		V
Enable Time	t_{EN}	From Enable rising edge to SPI ready				0.5	ms
Wake-Up Time	t_{WU}	From ACTIVE = 1 to Normal operation OUT_ active				2.5	ms
Disable Time	t_{DIS}	From ENABLE falling edge to OUT_ tristate				2.5	ms
Dead Time	t_{DEAD}	Dead zone is inserted to prevent Current Feed through			200		ns
Blanking Time	t_{BLANK}	FREQ_CFG = 11, FREQM = 0	SRC_ = 0		0.8		µs
			SRC_ = 1		1.4		
		FREQ_CFG = 11, FREQM = 1	SRC_ = 0		1		
			SRC_ = 1		1.75		
SPI SPECIFICATIONS (Figure 1)							
SCK Clock Period	t_{CLK}			100			ns
SCK Pulse-Width High	t_{CH}			30			ns
SCK Pulse-Width Low	t_{CL}			30			ns
$\overline{CSB}$ Fall-to-CLK Rise Time	t_{CSS}			30			ns
$\overline{CSB}$ Hold Time	t_{CSH}			30			ns
$\overline{CSB}$ Pulse-Width High	t_{CSPW}			30			ns
SDI Setup Time	t_{DS}			10			ns
SDI Hold Time	t_{DH}			10			ns
SDO Propagation Delay	t_{DO}	310Ω // 20pF connected to 3.3V supply (*Note 2*)				40	ns
CMD Setup Time	t_{CMS}			20			ns

Note 1: All devices are 100% production tested at T_A = +25°C. Limits over the operating temperature range are guaranteed by design.

Note 2: The rising edge on the SDO pin depends on the pullup resistor connected to the pin and on the parasitic stray capacitance. The RC time constant can limit the SPI maximum speed. For fast SPI, the stray capacitance must be minimized and a low-value resistive pullup must be selected.

Note 3: Guaranteed by design, not production tested.

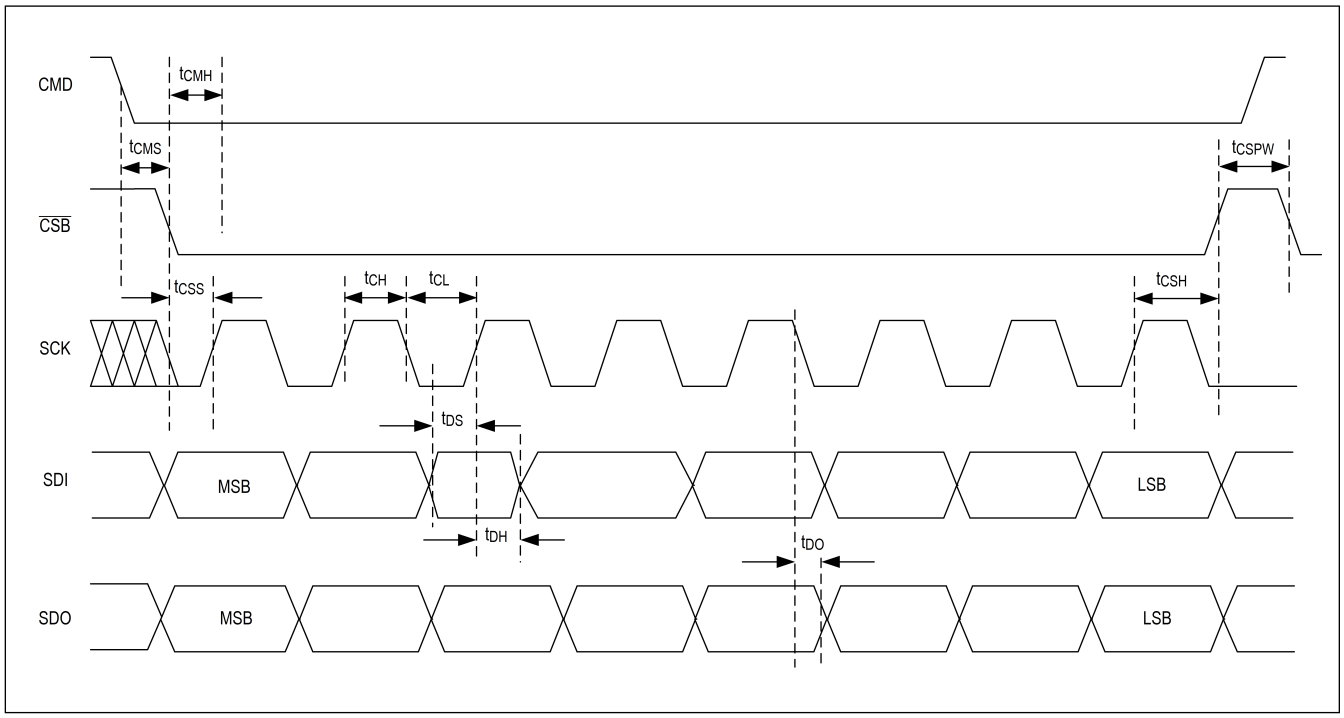
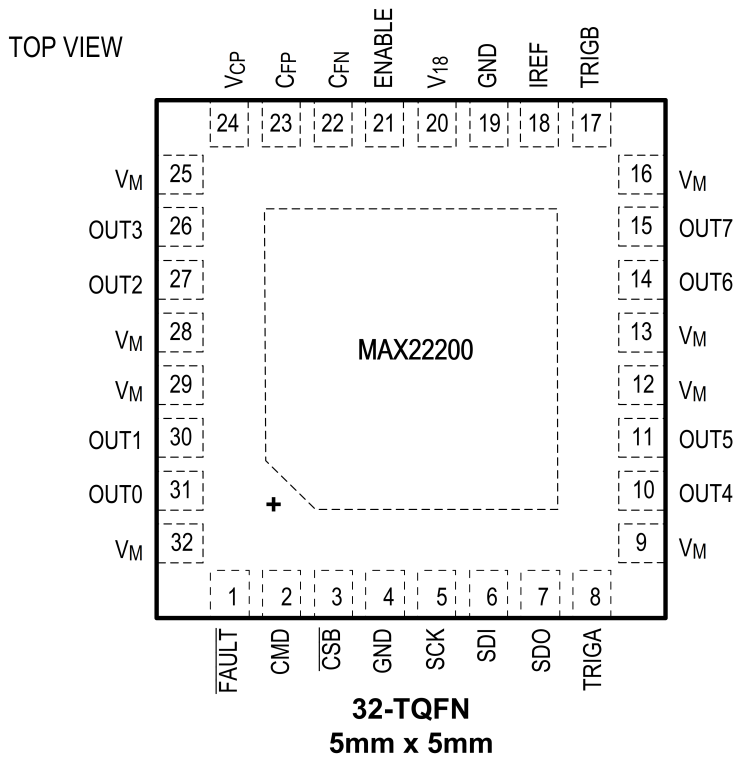


図1. SPIタイミング図

ピン配置

MAX22200



32-TQFN
5mm x 5mm

端子説明

端子番号	名称	説明	タイプ
1	$\overline{\text{FAULT}}$	オープン・ドレイン出力。フォルト状態時にはロジック・ローに引き下げられます。オープン・ドレイン出力にはプルアップ抵抗を外付けする必要があります。	OD
2	CMD	コマンド・ロジック入力。このピンをハイにするとコマンド・レジスタに書き込まれます。このピンをローにするとその他すべてのレジスタの読出し／書込みができます。内部プルダウン。	INP
3	$\overline{\text{CSB}}$	SPIチップ・セレクト–アクティブ・ロー。内部プルアップ電流。	INP
4, 19	GND	信号グランド。	GND GND
5	SCK	SPIクロック入力。立上がりエッジでデータがデバイスにクロック入力され、書込み動作が行われます。立下がりエッジでデータがデバイスからクロック出力され、読出し動作が行われます。内部プルダウン。	INP
6	SDI	コントローラからのSPIデータ入力。内部プルダウン。	INP
7	SDO	SPIデータ出力。SPIロジック出力時にはロジック・ローに引き下げられます。オープン・ドレイン出力にはプルアップ抵抗を外付けする必要があります。	OD
8	TRIGA	トリガ・ロジック入力ピン。ハーフブリッジ0、2、4、6の非同期トリガ入力。内部プルダウン。	INP

端子説明(続き)

端子番号	名称	説明	タイプ
17	TRIGB	トリガ・ロジック入力ピン。ハーフブリッジ1、3、5、7の非同期トリガ入力。内部プルダウン。	INP
9, 12, 13, 16, 25, 28, 29, 32	V_M	電源電圧入力。0.1µFのセラミック・コンデンサ2個をそれぞれピン12、13およびピン28、29の近くに局所的に配置し、更に10µFの電解コンデンサ1個を配置して、すべてのV_MピンをGNDにバイパスします。	PWR
18	IREF	電流レギュレーション・リファレンス。IREFとGNDの間に15kΩ～100kΩの抵抗を接続し、CDRモードの全チャンネルのフルスケール電流を設定します。	INP
20	V_{18}	1.8V LDOレギュレータ出力。2.2µFのセラミック・コンデンサでGNDにバイパスします。	PWR
21	ENABLE	イネーブル・ピン。ロジック・ハイでデバイスがイネーブルされ、ロジック・ローでデバイスが低消費電力のスリープ・モードになります。内部プルダウン抵抗。	INP
22	C_{FN}	チャージ・ポンプ・コンデンサのN側。22nFでV_M定格のセラミック・コンデンサをC_{FN}からC_{FP}に接続します。	PWR
23	C_{FP}	チャージ・ポンプ・コンデンサのP側。22nFでV_M定格のセラミック・コンデンサをC_{FN}からC_{FP}に接続します。	PWR
24	V_{CP}	チャージ・ポンプ出力。1µFで5V以上のセラミック・コンデンサをV_Mに接続します。	PWR
31	OUT0	ドライバ出力チャンネル0。	OUT
30	OUT1	ドライバ出力チャンネル1。	OUT
27	OUT2	ドライバ出力チャンネル2。	OUT
26	OUT3	ドライバ出力チャンネル3。	OUT
10	OUT4	ドライバ出力チャンネル4。	OUT
11	OUT5	ドライバ出力チャンネル5。	OUT
14	OUT6	ドライバ出力チャンネル6。	OUT
15	OUT7	ドライバ出力チャンネル7。	OUT
—	EP	露出パッド – 電源GND。露出パッド(サーマル・パッド)はデバイスの電源GNDで、基板のGNDに電気的に接続する必要があります。良好な放熱を確保するため、複数の層に大面積のグランド・プレーンを用い、また、これらを接続する複数の近接したビアを使用してください。	GND

詳細

MAX22200は、オクタル36Vシリアル制御ソレノイド・ドライバです。各チャンネルは、シンクおよびソース駆動能力および最大1A_{RMS}の駆動電流を特長とする低インピーダンス(200mΩ(代表値))のプッシュプル出力段を備えています。デイジーチェーンに対応するシリアル・インターフェース(SPI)により、各チャンネルを個別に制御できます。

MAX22200のハーフブリッジは、ローサイド・ドライバまたはハイサイド・ドライバに設定できます。更に、ハーフブリッジのペアを並列にして駆動電流を2倍にすることや、フルブリッジとして設定して最大4つのラッチ式バルブ(双安定バルブ)または4つのブラシ付きDCモータを駆動することができます。

このデバイスは電圧駆動レギュレーション(VDR)と電流駆動レギュレーション(CDR)(ローサイド・ドライバのみ)の2つの制御方式に対応します。VDRモードでは、デバイスはPWM電圧を出力し、デューティ・サイクルはSPIを使用して設定します。所定の電源電圧およびソレノイド抵抗に対して、出力電流は設定されたデューティ・サイクルに比例します。CDRモードでは、内部の集積型無損失電流検出(ICS)回路が出力電流を検出し、それを内部のプログラマブル・リファレンス電流と比較します。CDRのループは、出力電流ピークが設定されたリファレンス電流と一致するよう、PWMデューティ・サイクルを変更します。この機能は、ローサイド駆動動作にのみ使用できます。

ソレノイド駆動アプリケーションでの最適なパワー・マネージメントを実現するために、励起駆動レベル(I_{HIT})、保持駆動レベル(I_{HOLD})、および励起駆動時間(t_{HIT})を各チャンネルに対して個別に設定することができます。複数のチャンネルを同時に動作させる場合は、ジャンクション温度が最大動作温度を超えないよう注意が必要です。

MAX22200はフル・セットの保護および診断機能も備えています。これには、過電流保護(OCP)、サーマル・シャットダウン(TSD)、低電圧ロックアウト(UVLO)、開放負荷検出(OL)、およびプランジャ移動の検出(DPM)などがあります。フォルト・イベントを通知するために、フォルト通知ピン(FAULT)が用意されています。更に、診断情報はその後の調査に用いることができるよう、フォルト・レジスタに保存されます。

使用の柔軟性、シリアル・インターフェース制御、高効率、および小型パッケージによって、MAX22200は特に低消費電力および高レベルの集積が必要なソレノイド・ドライバ・アプリケーション(バルブ制御、リレー制御など)に最適です。

イネーブル・ロジック入力

ENABLEピンをロジック・ハイにするとデバイスがイネーブルされます。ENABLEピンをロジック・ローにするとデバイスはディスエーブルされます。プルダウン抵抗(1.5MΩ(代表値))があるため、ENABLEが駆動されない場合は、デバイスはディスエーブルになります。ENABLEがローの場合、デバイスの消費電力は最小限に抑えられ、V_Mの消費電流は11µA未満です。デバイスのSPI通信が有効となるには、ENABLEピンの立上がりから0.5msを要します。

機能の説明 – 2レベルのシーケンスでソレノイド・バルブを駆動

MAX22200では、2レベルの駆動シーケンスを用いてソレノイド・バルブの最適な制御を行っています。ソレノイドをVDRで駆動した場合のMAX22200の代表的な電圧波形および電流波形を図2に、ソレノイドをCDRで駆動した場合の代表的な電圧波形および電流波形を図3に示します。どちらも、ソレノイドが正側レール(V_M)に接続されているローサイド・アプリケーションについての図です。ハイサイド駆動にはVDRのみが対応できます。

HIT電流(I_{HIT})、HOLD電流(I_{HOLD})、HIT時間(t_{HIT})は、対応する32ビットの設定レジスタ(CFG_CHx)に書き込むことで、チャンネルごとに設定できます。HOLD時間(t_{HOLD})は内部設定できず、外部から制御する必要があります。各ドライバはそれぞれ独立に制御できます。

その特定チャンネルの設定レジスタのTRGnSPIビットが示す内容に応じて、SPI(ステータス・レジスタのONCH_ビット)またはTRIGAピンおよびTRIGBピンのロジック入力信号を通じて、ドライバ・チャンネルの活性化/非活性化ができます。後者の場合、チャンネル0、2、4、6のうちの1つ(または複数)をロジック入力TRIGAでトリガできます。同様にチャンネル1、3、5、7のうちの1つ(または複数)を、ロジック入力TRIGBを用いてトリガできます。

図2および図3からわかるように、SPIまたはTRIG_ロジック入力を通じてチャンネル・ドライバが活性化されると、起動が開始されます(ポイント1)。短時間のアナログ遅延の後、ドライバがイネーブルされ、電流がI_{HIT}まで増加します。更に、t_{HIT}カウンタがカウントを開始します。両方の図においてみられるポイント1とポイント2の間のくぼみは、プランジャが動作するときの逆起電力(BEMF)の影響を表しています。なお、CDRを用いた場合、電流がI_{HIT}レベルに達するまでドライバのデューティ・サイクルが最大値に設定されるため、電流値はVDRに比べ速く増加する点に注意してください。電流は、目標電流レベルI_{HIT}に近づくと安定します(ポイント2)。

t_{HIT}の時間が経過すると（ポイント3）直ちに、ドライバは目標電流をI_{HOLD}に自動的に切り替えます。この値は通常、I_{HIT}より大幅に小さい値に設定されます。電流は減少し始め、規定された値に到達します（ポイント4）。なお、CDRを用いた場合、電流がI_{HOLD}レベルに達するまでドライバのデューティ・サイクルが最小のt_{ON}に設定されるため、電流値はVDRに比べ速く減少する点に注意してください。最後に、チャンネルがSPIまたはTRIG_を通じて非活性化されると、直ちにシーケンスは終了します。

VDRを用いた場合、出力電流はHITの間とHOLDの間、わずかに減少します。この現象は、電源電圧の低下が生じている可能性や励起中の過熱によりソレノイド抵抗が増加している可能性があることを示しています。帰還クローズド・ループ手法により、CDRはこの種の環境変化にはそれほど影響を受けないため、より安定した一定の電流制御が可能です。

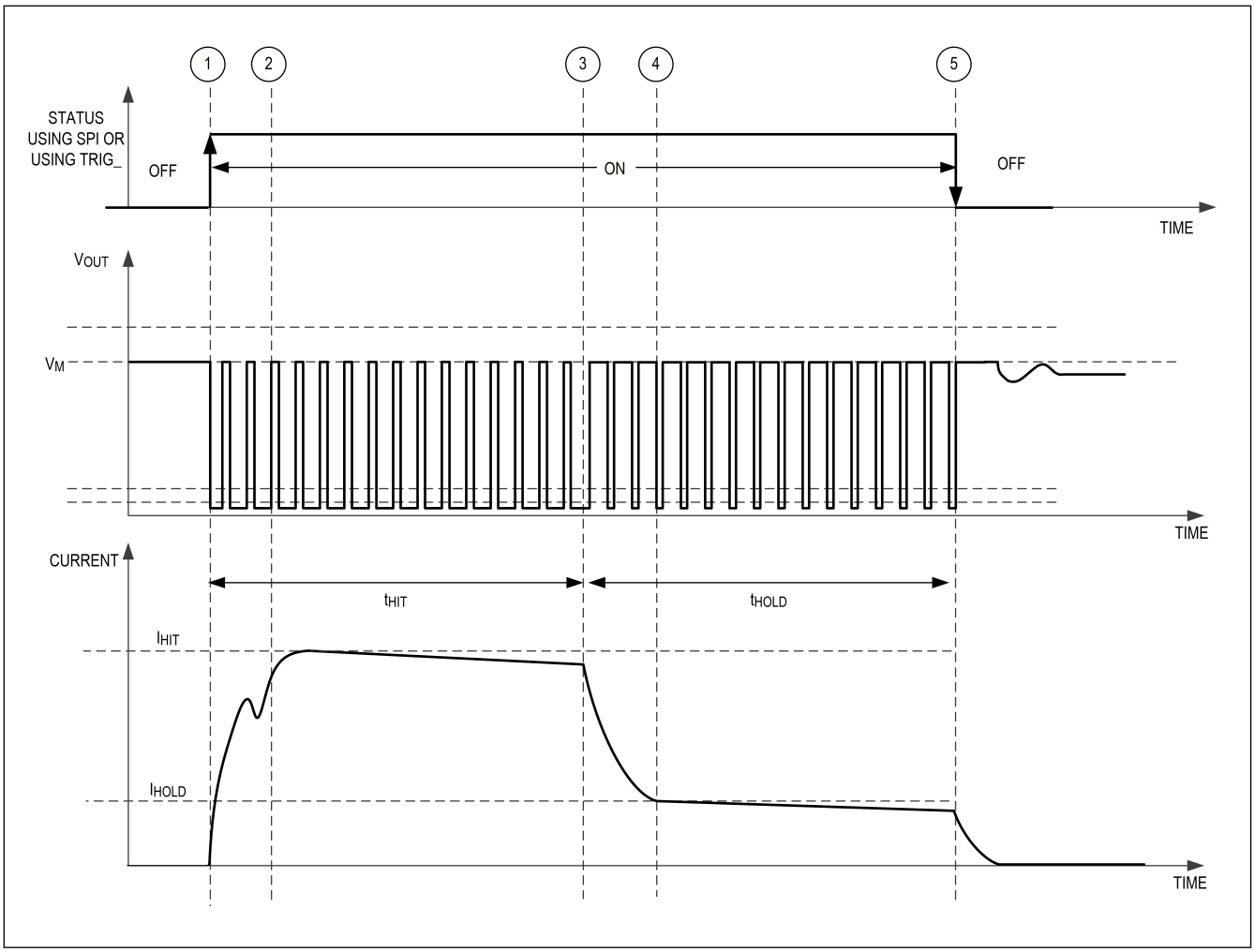


図2. VDRのタイミング図

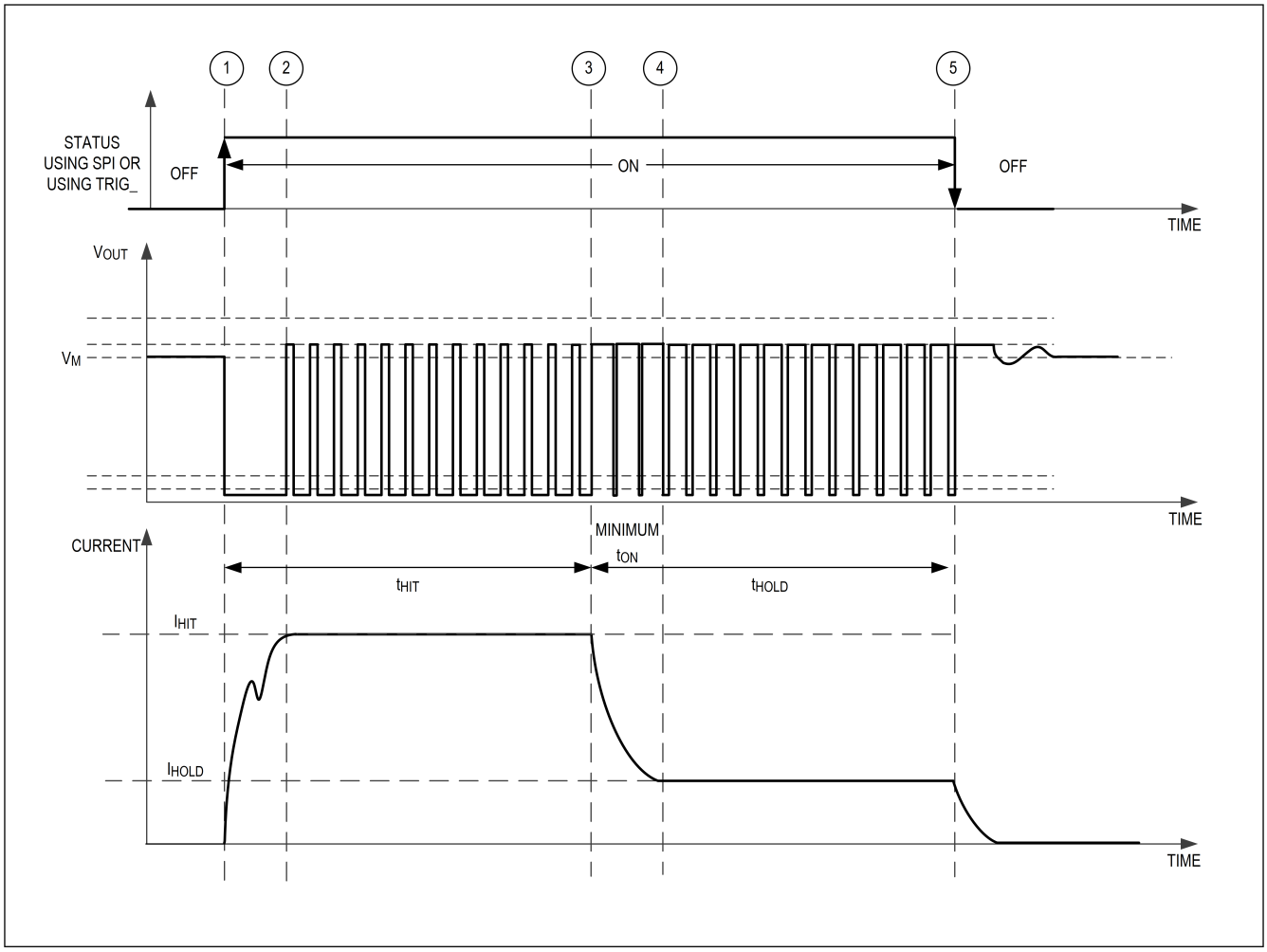


図3. CDRのタイミング図

チョッピング周波数（FREQM、FRQ_CFG_）

MAX22200は、発振器を内蔵しています。この発振器は、デバイスのタイム・ベースを設定し、VDRおよびCDRのどちらにおいてもチョッピング周波数を定めます。発振器の周波数は、STATUSレジスタのFREQMビット（全チャンネルに対しグローバル）に応じて、100kHzまたは80kHzのいずれかに設定できます。

更に、設定レジスタの2つのビット（FREQ_CFG_[1:0]）を用いると、各チャンネルのチョッピング周波数が表1のように発振器周波数の分周周波数となるようにユーザ設定できます。

表1. チョッピング周波数

CHOPPING FREQUENCY		CHOPPING FREQUENCY f_{CHOP} (kHz)
FREQM = 0	FREQ_CFG[1:0] = 11	100
	FREQ_CFG[1:0] = 10	50
	FREQ_CFG[1:0] = 01	33.3
	FREQ_CFG[1:0] = 00	25
FREQM = 1	FREQ_CFG[1:0] = 11	80
	FREQ_CFG[1:0] = 10	40
	FREQ_CFG[1:0] = 01	26.6
	FREQ_CFG[1:0] = 00	20

スルーレート制御モード(SRC)

CDRモードとVDRモードのどちらにおいても、立上がりエッジと立下がりエッジの速度を抑え電磁放射(EME)を低減できます。1つのハーフブリッジをスルーレート制御(SRC)モードに設定するには、設定レジスタ(CFG_CH_)のSRCビットをハイにセットする必要があります。SRCモードが有効化されると、立上がり/立下がりエッジは約200ns(代表値)に制限され、OCPデグリッチ時間は2倍になります。SRCモードは、ローサイド・ドライバ構成でスイッチング周波数が50kHz未満の場合にのみ使用できます。

最小および最大デューティ・サイクル

CDRとVDRのどちらにおいても、デューティ・サイクルには表2に記載する制約があります。デューティ・サイクルの最小値および最大値は、選択したスイッチング周波数とスルーレート設定(SRCビット)によって異なります。

表2. 最小および最大デューティ・サイクル

CHOPPING FREQUENCY SRC = 0		CHOPPING FREQUENCY f_{CHOP} (kHz)	VDR/CDR MIN DUTY δ_{MIN}	VDR/CDR MAX DUTY δ_{MAX}
FREQM = 0	FREQ_CFG[1:0] = 11	100	**8%**	**92%**
	FREQ_CFG[1:0] = 10	50	**4%**	**96%**
	FREQ_CFG[1:0] = 01	33.33	**4%**	**96%**
	FREQ_CFG[1:0] = 00	25	**4%**	**96%**
FREQM = 1	FREQ_CFG[1:0] = 11	80	**8%**	**92%**
	FREQ_CFG[1:0] = 10	40	**4%**	**96%**
	FREQ_CFG[1:0] = 01	26.66	**4%**	**96%**
	FREQ_CFG[1:0] = 00	20	**4%**	**96%**
CHOPPING FREQUENCY SRC = 1		**CHOPPING FREQUENCY f_{CHOP} (kHz)**	**VDR/CDR MIN DUTY δ_{MIN}**	**VDR/CDR MAX DUTY δ_{MAX}**
FREQM = 0	FREQ_CFG[1:0] = 01	33.33	**7%**	**93%**
	FREQ_CFG[1:0] = 00	25	**7%**	**93%**
FREQM = 1	FREQ_CFG[1:0] = 10	40	**7%**	**93%**
	FREQ_CFG[1:0] = 01	26.66	**7%**	**93%**
	FREQ_CFG[1:0] = 00	20	**7%**	**93%**

電圧駆動レギュレーション(VDR)

VDRで動作させるには、設定レジスタのVDRnCDR_ビットをハイにセットする必要があります(レジスタ・マップのセクションを参照)。VDRを用いる場合、HITフェーズおよびHOLDフェーズの間に出力する必要のあるPWM波形を、チャンネルごとに設定できます。HITおよびHOLDのデューティ・サイクル($\delta = t_{ON} / t_{CHOP}$)は、1%の分解能でユーザ設定できます。

HITとHOLDの目標デューティ・サイクルは、表3に示すように設定レジスタによりチャンネルごとに事前設定されています。デューティ・サイクルの最小値と最大値(δ_{MIN}、δ_{MAX})は、表2に示すように、チョッピング周波数の設定とSRC設定ビットで決まります。

表3. VDRのデューティ・サイクル

HIT CURRENT PROGRAMMING CONDITION		OUTPUT DUTY CYCLE
$HIT[6:0]_{DEC}$	= 0	0 duty cycle
	> 0, < δ_{MIN}	δ_{MIN}
	≥ δ_{MIN}, < δ_{MAX}	$HIT[6:0]_{DEC}$
	≥ δ_{MAX}, < 100	δ_{MAX}
	≥ 100	100% duty cycle
HOLD CURRENT PROGRAMMING CONDITION		**OUTPUT DUTY CYCLE**
$HOLD[6:0]_{DEC}$	= 0	0 duty cycle
	> 0, < δ_{MIN}	δ_{MIN}
	≥ δ_{MIN}, < δ_{MAX}	$HOLD[6:0]_{DEC}$
	≥ δ_{MAX}, < 100	δ_{MAX}
	≥ 100	100% duty cycle

電流駆動レギュレーション(CDR)

CDRで動作させるには、設定レジスタのVDRnCDR_ビットをローにセットする必要があります(レジスタ・マップのセクションを参照)。これは、パワーアップ時のデフォルト設定でもあります。CDRはローサイド構成でのみサポートされます。

HITおよびHOLDの電流設定(CDR)

CDRモードを用いる場合、電流は7ビットの分解能で制御できます。帰還手法により、CDRはVDRに比べてより効率的なパワー・マネージメントが可能です。実際、VDRとは異なり、CDRでは、温度、ソレノイド抵抗の変動、電源電圧の低下などの環境パラメータの変化に対する設計マージンは不要です。バッテリ駆動システムの場合、これによりバッテリ寿命を延ばすことができます。CDRの電流ループは、コイル電流を1サイクルごとにレギュレーションします。外部検出抵抗が不要となるよう、非散逸性の高精度電流検出が内蔵されています。

HITおよびHOLD電流は、チャンネルごとに設定レジスタで設定可能で、表4に示す式が適用できます。

表4. HITおよびHOLDの電流設定(CDR)

HIT CURRENT PROGRAMMING CONDITION		I_{TRIG} PEAK CURRENT
$HIT[6:0]_{DEC}$	0	HS Switch ON, LS Switch OFF
	0 < $HIT[6:0]_{DEC}$ < 127	$I_{HIT} = HIT_[6:0]_{DEC} / 2^7 \times I_{FS}$
	127	HS Switch OFF, LS Switch ON
HOLD CURRENT PROGRAMMING CONDITION		**I_{TRIG} PEAK CURRENT**
$HOLD[6:0]_{DEC}$	0	HS Switch ON, LS Switch OFF
	0 < $HOLD[6:0]_{DEC}$ < 127	$I_{HOLD} = HOLD_[6:0]_{DEC} / 2^7 \times I_{FS}$
	127	HS Switch OFF, LS Switch ON

ここで、I_{FS}はフルスケール電流です。

CDRループは、ピーク電流(I_{TRIG})をレギュレーションします。平均電流(HIT電流およびHOLD電流の両方)は、電流リップルの影響でこれよりは小さい値となります。

フルスケール電流設定(I_{FS})

I_{FS}は、次の式に従ってIREFピンとグランドの間に抵抗を接続することで、ユーザ設定可能です。

$$I_{FS} = K_{FS} \times \frac{1(V)}{RREF(\Omega)}$$

ここで、K_{FS}は定数(ゲイン係数)、RREFはIREFピンとGNDの間に接続する抵抗です。

ゲイン係数K_{FS}は、設定レジスタのHFSビット値によって異なります(ハーフ・フルスケール設定(HFSビット)のセクションを参照)。HFS_ = 0の場合はK_{FS} = 15k、HFS = 1の場合はK_{FS} = 7.5kです。RREFの推奨設定範囲は、15kΩ～100kΩです。

ハーフ・フルスケール設定(HFSビット)

低ドライバ電流レベルが必要な場合は常に、設定レジスタのHFSビットをハイに設定することで、電流制御の精度と分解能を向上できます。これはハーフブリッジごとに個別に行うことができます。(この機能は、ローサイド・アプリケーションでのみ使用可能です)。

HFSビットがロー(デフォルト)にセットされている場合、ドライバのオン抵抗はR_{ON} = 0.2Ωで、フルスケール電流はI_{FS} = 1Aに設定されます。電流制御精度は、電気的特性のセクションに示されています。

HFSビットがハイにセットされている場合、ドライバのオン抵抗は2倍(R_{ON} = 0.4Ω)になりますが、最大フルスケール電流とRMS電流は半分(I_{FS} = 0.5A)になります。

必要なピーク電流が0.5A未満のソレノイドまたはブラシ付きDCモータでは、ハーフ・フルスケール設定を行うと、電流検出精度が向上し、制御の精度と分解能が高くなります。それと引き換えに、ドライバのオン抵抗が高くなるため、ドライバの効率は低下します。

固定周波数電流制御

電流制御ループは、固定周波数トポロジと内蔵の非散逸性電流検出機能を用いて、サイクルごとにドライバ電流をレギュレーションします。CDRはローサイド駆動モードでのみ使用できます。

チョッピング・クロック周期の開始時に、ローサイドFETはオンになり、コイルの電流は電源電圧および巻線のインダクタンスに応じた割合で増加します。電流が電流レギュレーション・スレッショルドに達すると、ローサイドFETはオフになりますが、ハイサイドFETはオンになり、巻線電流が減少していきます。内部チョッピング・クロックによって次のオンサイクルがトリガされるまで、この状態が続きます。チョッピング周波数の設定に関する詳細については、チョッピング周波数(FREQM、FRQ_CFG_)のセクションを参照してください。

電流リップルは、チョッピング周波数に反比例します。リップルを減らし平均電流の制御性を向上するには、高いチョッピング周波数を用いることを検討する必要があります。リップルの1次近似は、平均電流に比べてリップルが小さくなるよう、オフ時間がソレノイドの時定数(τ = L/R)より大幅に短いと仮定することで、実行できます。この仮定の下、ピークtoピークのリップルは次式で求まります。

$$\Delta I \cong \frac{1}{\frac{L}{R} \times f_{CHOP}} \times \left(1 - \frac{I_{TRIG}}{\frac{V_M}{R}}\right)$$

ここで、

ΔI = ピークtoピーク・リップル

I_{TRIG} = スレッショルド電流

V_M = 電源電圧

L = コイルのインダクタンス

R = 抵抗

スイッチング・ノイズによる誤トリガを防ぐため、ブランキング遅延とフィルタは統合化されています。これらは上式では考慮されていません。

HIT励起時間（t_{HIT}）

励起時間は設定レジスタのHIT_T_[7:0]ビットを設定することで、256通りの値を設定できます（レジスタ・マップのセクションを参照）。

HIT時間（t_{HIT}）は、チョッピング周波数に反比例し（チョッピング周波数（FREQM、FRQ_CFG_）のセクションを参照）、f_{CHOP}を発振器周波数（Hz単位）として表5の式に従って計算できます。例えば、発振器がf_{CHOP} = 20KHzで動作している場合、t_{HIT}の範囲はt_{MIN} = 0ms～t_{MAX} = 508ms、時間分解能は2msとなります。機能の説明の段落で説明したように、t_{HIT}カウンタは、SPIプログラミング・コマンドまたは外部トリガ信号のいずれかでトリガできます。

表5. HIT励起時間（t_{HIT}）

CONFIGURATION BITS	t_{HIT} VALUE	COMMENTS
$HIT_T_[7:0]_{DEC}$ = 0	t_{HIT} = 0	No Hit Time
$HIT_T_[7:0]_{DEC}$ from 1 to 254	$t_{HIT} = HIT_T_[7:0]_{DEC} \times 40 / f_{CHOP}$	
$HIT_T_[7:0]_{DEC}$ = 255	t_{HIT} = ∞	Continuous I_{HIT}

サポート対象のドライバ設定

MAX22200には柔軟性があります。その独立した8つのハーフブリッジは、異なるアプリケーションに対応するよう、別々に構成できます。

1. 各ハーフブリッジをローサイド・ドライバまたはハイサイド・ドライバに設定可能です。
2. 2つのハーフブリッジを並列に用いて電流駆動能力を2倍にすることができます。
3. 2つのハーフブリッジを用いてフルブリッジを構成し、ラッチ式バルブやブラシ付きDCモータを駆動することができます。

これらの構成は、ステータス・レジスタに書き込むことで、パワーアップ直後に設定する必要があります。

ローサイド／ハイサイド動作（HSnLS）

MAX22200は、負荷を正側レールに接続するかグランドに接続するかに応じて、ローサイド駆動モードまたはハイサイド駆動モードに対応します。ローサイド駆動動作の場合は、設定レジスタのHSnLSビットはローにセットする必要があり（デフォルト）、ハイサイド駆動の場合はハイにセットする必要があります。ハイサイド駆動動作の場合、CDRはサポートされず、チャンネルはVDRモードでのみ制御できます。更に、ハイサイド動作ではSRC機能とHFS機能がサポートされません。

ハーフブリッジの並列化

数ペアのチャンネルを並列に接続して駆動電流を2倍にすることができます。0–1、2–3、4–5、6–7のペアを並列化して用いるには、対応する出力ピンを互いに接続します（アプリケーション構成図を参照）。ペアx-yを並列モードに設定するには、STATUS[15:8]レジスタのCMxy[10]ビットに01を書き込む必要があります（レジスタ・マップのセクションを参照）。

ハーフブリッジの1つのペアを並列モードで用いる場合、ID番号の小さい方のハーフブリッジの設定レジスタの設定が両方のハーフブリッジを制御し、大きい方の設定は無視されます。例えば、0-1のペアを並列モードで用いる場合、すべての設定がチャンネル0の設定レジスタから読み出され、チャンネル1の設定レジスタは無視されます。

並列モードになっている2つのハーフブリッジの活性化／非活性化（オン／オフ・コマンド）は、独立を維持します。表6に示すように、設定レジスタのTRGnSPIビットにより、ドライバがイネーブル／ディスエーブルされます。

表6. ハーフブリッジ並列モードでのTRGnSPI

TRGnSPIy	TRGnSPIx	CONTROL MODE
0	0	Channels controlled by SPI (both ONCHx and ONCHy set logic high)
0	1	Channels controlled by TRIGA
1	0	Channels controlled by TRIGB
1	1	Channels controlled by SPI (both ONCHx and ONCHy set logic high)

フルブリッジ構成

ハーフブリッジ・ペア0–1、2–3、4–5、6–7をフルブリッジとなるよう構成し、ラッチ式（双安定）ソレノイド・バルブやブラシ付きバイポーラDCモータを駆動できます。ステータス・レジスタのCMxy_[1:0]ビットを10に設定することで、1ペアのx-yがフルブリッジに構成されます（レジスタ・マップのセクションを参照）。

フルブリッジ・モードの場合、表7に示すように、フルブリッジはステータス・レジスタのONCHyビットおよびONCHxビットの内容に応じて、4通りのステータスで動作します。

表7. フルブリッジ構成

(x,y) = (0,1), (2,3), (4,5), (6,7)				
ONCHy	ONCHx	OUTx	OUTy	DESCRIPTION
0	0	Hi Z	Hi Z	Hi Z
0	1	VM	VDR/CDR Y settings	Forward
1	0	VDR/CDR X settings	VM	Reverse
1	1	GND	GND	Brake

表7において、制御用の設定パラメータは、順方向モードではチャンネルYの設定レジスタから読み出され、逆方向モードではチャンネルXの設定レジスタから読み出されます。例えば、ペア0–1をフルブリッジ・モードで用いる場合、[ONCHy, ONCHx] = [0,1]（順方向）では制御パラメータがチャンネルYの設定レジスタの内容に依存します。[ONCHy, ONCHx] = [1,0]（逆方向）の場合はその逆で、制御はチャンネルXの設定レジスタの内容に依存します。このように、様々な電流レベルやタイミングを用いて、ラッチ式バルブのラッチ動作やラッチ解除動作を行うことができます。フルブリッジ動作の場合、HSnLSビットは無視されることに注意してください。

最後に、フルブリッジ動作では、表8に示すように、設定レジスタのTRGnSPIビットにより、ドライバがイネーブル／ディスエーブルされます。

表8. フルブリッジ・モードでのTRGnSPI

TRGnSPIy	TRGnSPIx	CONTROL MODE
0	0	Channels controlled by SPI
0	1	Channels controlled by SPI
1	0	Channels controlled by SPI
1	1	Channels controlled by TRIGA/TRIGB

保護回路

MAX22200には、低電圧（UVLO）、過電流（OCP）、加熱（OVT）などを含むフル・セットの保護機能があります。また、デバイスには、開放負荷検出（OL）、プランジャ移動の検出（DPM）、「HIT電流未達」検出（HHF）、通信エラー検出（COMF）などの診断機能も備えています。オープン・ドレイン・フォルト通知ピン（$\overline{\text{FAULT}}$）は、検出したフォルトをコントローラに送信するのに用いられます。上記の故障はそれぞれ（COMFを除き）、デフォルトで$\overline{\text{FAULT}}$ピンに送信されます。フォルト通知は、ステータス・レジスタ（STATUS[15:8]）の対応するビットをハイにセットすることでマスクできます。フォルトがマスクされている場合、フォルト・イベントは$\overline{\text{FAULT}}$ピンを活性化しません。

過電流保護(OCP)

過電流保護では、レール(V_MおよびGND)へのドライバ出力の短絡やドライバ出力同士の短絡からデバイスを保護します。出力がOCPトリガ・レベルを超えると、対応するチャンネルが自動的にオフになり、$\overline{FAULT}$出力がアサートされます(アクティブ・ロー)。更に、フォルト・レジスタの対応するOCPフラグが診断用にハイにセットされます。フォルト・レジスタを読み出すことでフラグはクリアされ、$\overline{FAULT}$出力がデアサートされますが、不具合のあるチャンネルはオンにはなりません。フラグがクリアされると、ステータス・レジスタで不具合のあるチャンネルをオフにすることで、通常動作が再開されます。

開放負荷検出(OL)

設定レジスタの1つのビットを用いて、OL検出機能を有効化あるいは無効化できます。この機能が有効化されている場合、負荷が切り離されると常に、そのチャンネルの動作がローサイド・モードに設定されている場合はわずかなソース電流が出力ノードをプルアップし、動作がハイサイド・モードに設定されている場合はわずかなシンク電流が出力ノードをプルダウンします。出力ピンで検出された電圧が、ローサイド設定の場合は+2Vを下回り、ハイサイド設定の場合はV_M – 2Vを上回った場合、開放負荷状態が通知されます。次いで、フォルト・レジスタの対応フラグがハイにセットされ、$\overline{FAULT}$出力がアサートされます(フォルトがマスクされていない場合)。対応する出力がオンになるか、フォルト・レジスタが読み出されると、開放負荷フォルトは自動的にクリアされ、$\overline{FAULT}$ピンがリリースされます。

プランジャ移動の検出(DPM)

MAX22200は、バルブが活性化された後、アーマチュア内のプランジャが正常に動作しているかどうかを判定する、新奇な診断機能を備えています。この機能は、プランジャ移動の検出(DPM)と呼ばれ、誤動作しているバルブを特定し、問題のあるバルブを直ちに修理あるいは交換するのに有用なツールです。

図4に、動作中のバルブ(青線)と動けなくなったバルブ(黒線)が示す代表的な電流プロファイルを示します。バルブがアクチュエートされている場合、ソレノイド電流は、ゼロから設定済みの励起電流レベルI_{HIT}まで増加します。バルブが正しく動作していれば、電流プロファイルは単調増加ではなく、ソレノイド内のプランジャの移動によって生成されたBEMFによるくぼみを示します。

このくぼみの大きさはバルブごとの特性であり、電源電圧や温度などの外部変数にはほとんど依存しません。このDPM機能が有効化されると、励起フェーズにおけるこのくぼみの存在が検出されます。くぼみが生じない場合、$\overline{FAULT}$ピンにフォルト通知が出力され(マスクされていない場合)、フォルト・レジスタのフォルト・ビットがアサートされます。

DPMは、電流がユーザ・プログラマブルな初期電流値(I_{START})を超えるとモニタリングを開始します。このモニタリングは、設定された励起レベル(I_{HIT})に電流が達すると直ちに終了します。ユーザは、フルスケール電流未満の値にDPMスレッショルド(I_{DPM_TH})を設定できます。最後に、環境ノイズに起因する誤検出を防ぐために、バウンス防止時間を設定できます。DPM設定の更なる詳細については、CFG_DPMのセクションを参照してください。

電流のくぼみが十分でない場合や電流増加があまりに速すぎる場合は、検出が失敗する場合があります。DPM機能は、各チャンネルの設定レジスタの1つのビットをロジック・ハイにセットすることで活性化できます。

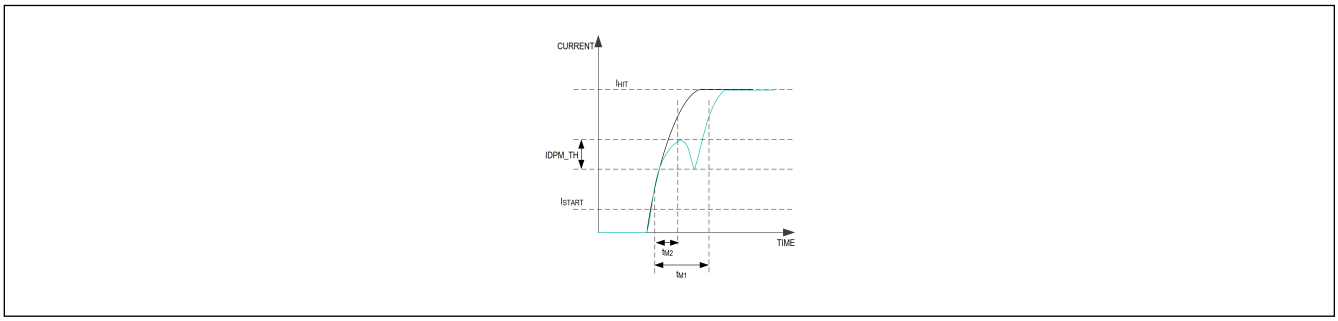


図4. プランジャ移動の検出

サーマル・シャットダウン（TSD）

ダイ温度が安全限界を超えた場合、すべての出力はディスエーブルされます。フォルト・レジスタの1つのフラグ・ビットはハイにセットされ、FAULTピンがローに駆動されます。ダイ温度が安全なレベルまで低下すると、動作は自動的に再開します。FAULTピンはリリースされますが、フラグ・ビットはフォルト・レジスタが読み出されるまで「1」にセットされたままになります。

低電圧ロックアウト（UVLO）

V_Mピンの電圧が低電圧ロックアウト・スレッショルド（約+4V（代表値））未満に低下した場合は常に、全チャンネルがスリーステートとなり、内蔵チャージ・ポンプはディスエーブルされます。V_M未満で動作するV_{18}レギュレータがレギュレーションしなくなり、V_{18}がデジタル・パワーオン・リセット（POR）スレッショルド未満に低下するまで、ロジック・レジスタの内容は保持されます。これが生じると（通常、V_{18} = 1.0Vで発生）、すべてのレジスタは、デフォルト値にリセットされます。

PORの原因とならないUVLOイベントは、対応するマスク・ビット（M_UVM）がロジック・ロー（デフォルト）にセットされている場合は、フォルト通知ピンを活性化します。V_Mが回復してUVLOスレッショルドを上回るとすぐに、MAX22200は通常動作を再開します。

PORの原因となるUVLOイベントが発生すると常に$\overline{\text{FAULT}}$ピンが活性化され、ユーザはデバイスを再設定してデバイスの通常動作を再度活性化する必要があります。特に、パワーアップ時には$\overline{\text{FAULT}}$が常にアサートされます。

「HIT電流未達」フラグ（HHF）

CDRモードでは、事前設定したHIT電流レベルに到達したかどうかをモニタできます。この診断ツールは、HHF_EN_ビットを「1」にセットすることで有効化できます。t_{HIT}の時間が経過しても目標電流に達しない場合は、フォルト・レジスタの対応フラグ・ビットがハイにセットされます。フォルト・マスク・ビットM_HHFが「0」にセットされている場合、$\overline{\text{FAULT}}$通知ピンが活性化され、ドライバはディスエーブルされません。また、フォルト・レジスタが読み出された場合、またはチャンネルが新しいサイクルを開始するたびに、フラグ・ビットがクリアされます。

プログラミング情報

SPIの詳細な説明

通常動作時（ENABLE = ロジック・ハイ）、MAX22200はSPIで制御されます。インターフェースでは、クロック（SCK）、チップ・セレクト（$\overline{\text{CSB}}$）、コマンド（CMD）、シリアル・データ入力（SDI）、シリアル・データ出力（SDO）の5つの信号が使われます。SPIインターフェースのロジックは、SPIクロック極性（CPOL） = 0とクロック位相（CPHA） = 0に従います。SPIはデイジーチェーン構成に対応し、最大5MHzで動作できます。図5に、代表的なデイジーチェーン構成を示します。

MAX22200は、10個の32ビット・データ・レジスタ（1個のステータス・レジスタ、8個の設定レジスタ、1個のフォルト・レジスタ）と、1個の8ビット・コマンド・レジスタを備えています。最初にコマンド・レジスタ（書込み専用）に書込みを行う必要があります。その内容によって以降のSPIサイクルの変換が決まるためです。

ステータス・レジスタ、設定レジスタ、フォルト・レジスタの長さは32ビットです。ただし、コマンド・レジスタの「8bit/nr32」ビットをハイにセットすると、わずか1バイト長のSPI転送を行うだけで最初の最上位バイトを処理できます。

- ステータス・レジスタのMSBにより、各ハーフブリッジのイネーブル／ディスエーブルができます。そのため、活性化／非活性化の操作は、わずか1バイト長のSPI転送で行うことができ、システム遅延が最小限に抑えられます。
- 設定レジスタのMSBでは、HOLD電流とHFSビットの設定ができます。そのため、HOLD電流の更新をわずか1バイト長のSPI転送で行うことができ、そのような電流を動的に制御する必要があるアプリケーションにおいて、短時間の更新が可能となります。
- フォルト・レジスタのMSBがOCP情報を伝達します。そのため、わずか1バイトの読出し操作でOCP情報を読み出せます。

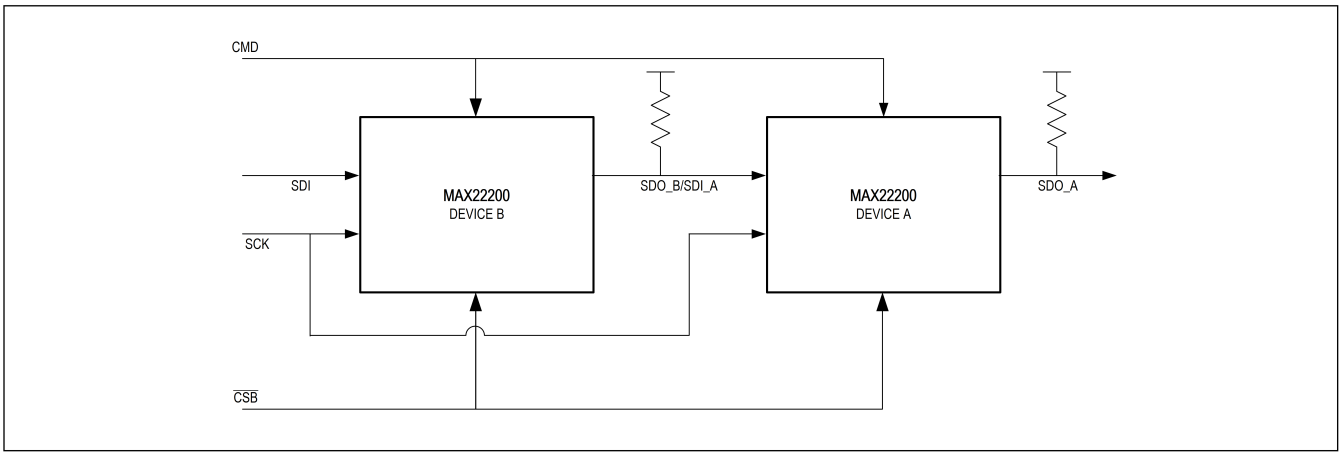


図5. SPIのデイジーチェーン構成

プログラミング手順

MAX22200の初期化および動作のための推奨フロー・チャートを図6に示します。

手順の各ステップでは、最初にコマンド・レジスタに書き込んで（CMD = 1）2つの連続するSPI転送を行い、その後の他のレジスタへの書込み／読出し操作に備える必要があります（詳細についてはコマンド・レジスタの説明（COMMAND）のセクションを参照）。

1. パワーアップ後の最初のステップは、STATUSレジスタの読出しで構成されます。これは、低電圧フォルト・フラグ・ビット（UVM）をクリアし、nFAULTインジケータ・ピンをデアサートするために必要です。
2. 2番目のステップは、各チャンネルのSTATUSレジスタのハードウェア設定に書込みを行うことで構成されます。ここでは、どのチャンネルを並列モードあるいはフルブリッジ・モードの設定で用いるかが指定されます。デバイスをイネーブルするためにACTIVEビットもハイにセットされます。
3. 3番目のステップでは、各チャンネルの駆動パラメータを設定します。これを実行するには、各チャンネルの32ビット設定レジスタ（CFG_CH）に書込みを行い、HIT電流およびHOLD電流、HIT時間、優先駆動モード（CDR/VDR）、スルー・レート制御など、必要な駆動パラメータを設定します。
4. 全チャンネルを設定したら、STATUSレジスタを読み出して、UVMビットと他のすべてのフォルト・ビットをクリアします。

COMMANDレジスタへの書込み動作ごとに、MAX22200はフォルト・フラグ・バイト（STATUS[7:0]）をSPI出力します。コントローラは通信エラーが報告されているかどうかをモニタする必要があります。通信フォルトが報告されている場合（STATUS[7:0]=0x02）、図6に示す手順を繰り返す必要があります。

5. ステップ1～4の手順が完了し、いずれのフォルトも報告されていなければ、チャンネルは活性化し、「並行して」アクションを実行できます。特に、
   a. オン／オフ・ステータスを更新して、チャンネルごとに活性化／非活性化を行うことができます。このアクションでは、1バイト転送でSTATUSレジスタの最上位バイトに書込みを行う必要があります。
   b. HOLD電流値（IHOLD）およびハーフ・フルスケール設定（HFS）を更新して、チャンネルごとに供給されるHOLD電流を動的に制御できます。このアクションでは、その特定のチャンネルの設定レジスタの最上位バイトに書込みを行う必要があります。IHOLDの更新は、チャンネルがHOLD電流を供給している間も「並行して」行うことができます。
   c. 各チャンネルの設定パラメータの一部は、特定のチャンネルの32ビット設定レジスタ全体に書込みを行うことで、「並行して」変更することもできます。スルー・レート制御設定（SRC）およびチョッピング周波数設定（FREQ_CFG）がこれに該当します。なお、制御モード設定（VDR/CDRビット）とハイサイド／ローサイド設定（HSnLSビット）を変更できるのは、全チャンネルがオフでTRIGA入力とTRIGB入力がいずれもロジック・ローの場合だけである点に注意してください。

フォルトが発生した場合、マスクされていなければ、nFAULTインジケータ・ピンがアサートされます。このイベントにより、フォルト手順がトリガされます（図6には示していません）。更に、COMMANDレジスタへの書込み動作ごとに、MAX22200はフォルト・フラグ・バイト（STATUS[7:0]）をSPI出力します。これは診断目的でも利用できます。

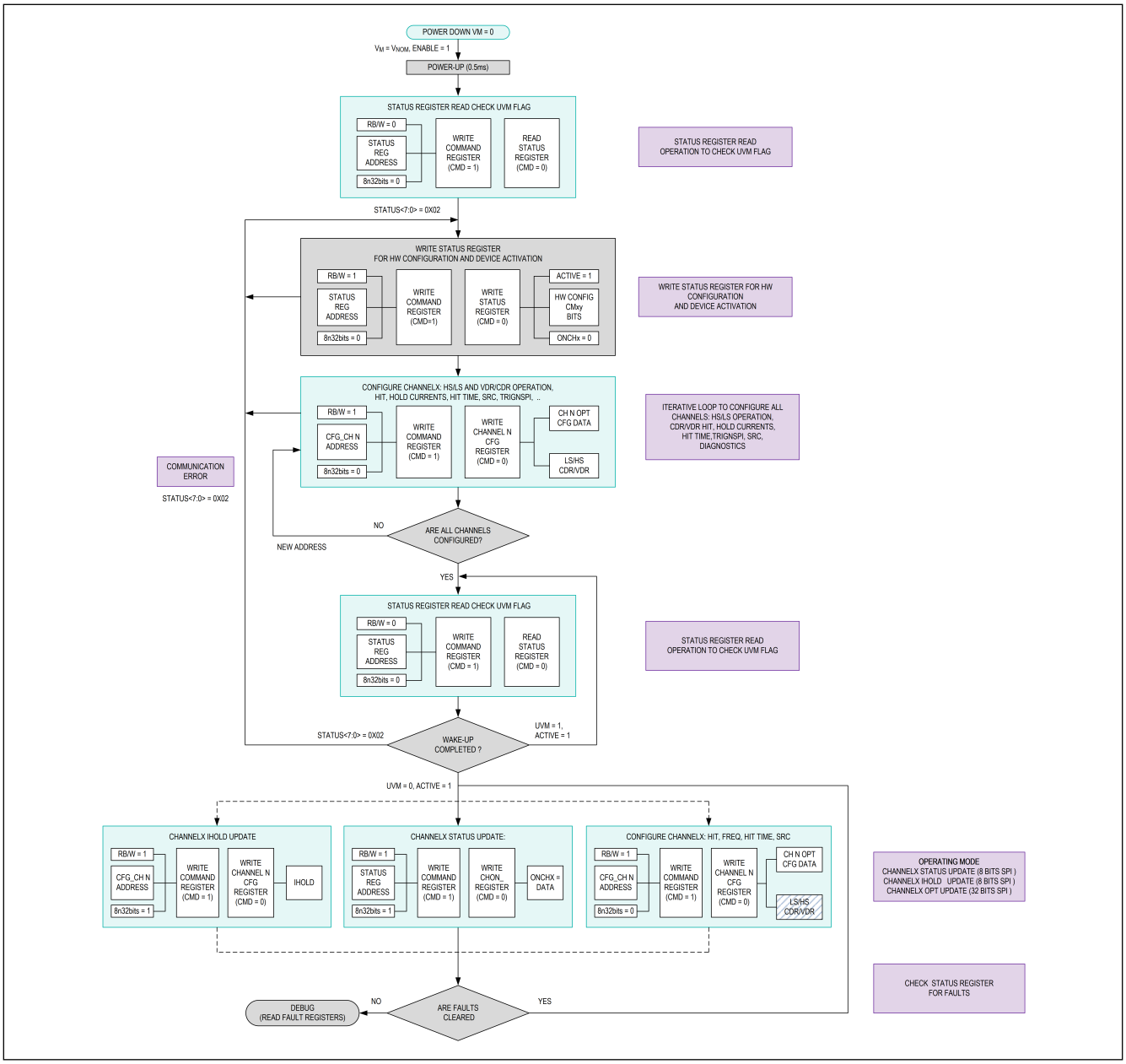


図6. プログラミングのフロー・チャート

コマンド・レジスタの説明(COMMAND)

コマンド・レジスタは8ビットのレジスタです。コマンド・レジスタに書込みを行うことで、その後のSPIサイクルに対するデバイスの準備ができます。ユーザは、最初にコマンド・レジスタに書き込む必要があります。その内容によって、後続のSPI転送のタイプや有効なデータ・フォーマットが決まるためです。コマンド・レジスタに書込みを行った後は、コマンド・レジスタに再書込みをしない限り、後続のSPI転送は同じタイプを維持します。

8ビットのコマンド・レジスタに書き込むためには、ロジック入力(CMD)をロジック・ハイにし、SPI転送の間はハイを維持する必要があります。その他すべてのレジスタ(ステータス、設定、フォルトの各レジスタ)の操作では、CMDロジック入力をロジック・ローにする必要があります。表9にコマンド・レジスタ・ビットのデータの説明を記載します。図7には、単一デバイスの使用例とデイジーチェーンでの使用例の両方について、コマンド・レジスタへの書込み操作のタイミング図を示します。ロジック入力(CMD)は、$\overline{CSB}$の立上がりエッジの間、ハイを維持する必要があります。診断用に、SPIはコマンド・レジスタへの書込み時にフォルト・フラグ・バイト(STATUS[7:0])を出力します。

表9. コマンド・レジスタ

BIT	NAME	DESCRIPTION
7	RB/W	This bit determines whether the follow-on SPI transfer is a Write or Read operation. (Read = 0, Write = 1)
6:5	RFU	Reserved For Testing and Future Usage. Write these bits logic low.
4:1	A_BNK	This data field contains the address of the 32-bit register bank to be used for the follow-on SPI transfer (see the Register Map)
0	8bit/ n32bits	Set this bit logic High to have access to the 8 MSB of the 32-bit register bank. The follow-on SPI transfer is 8-bits long. Set this bit logic Low to have access to the whole 32 bits register bank. The follow-on SPI transfer is 32-bits long.

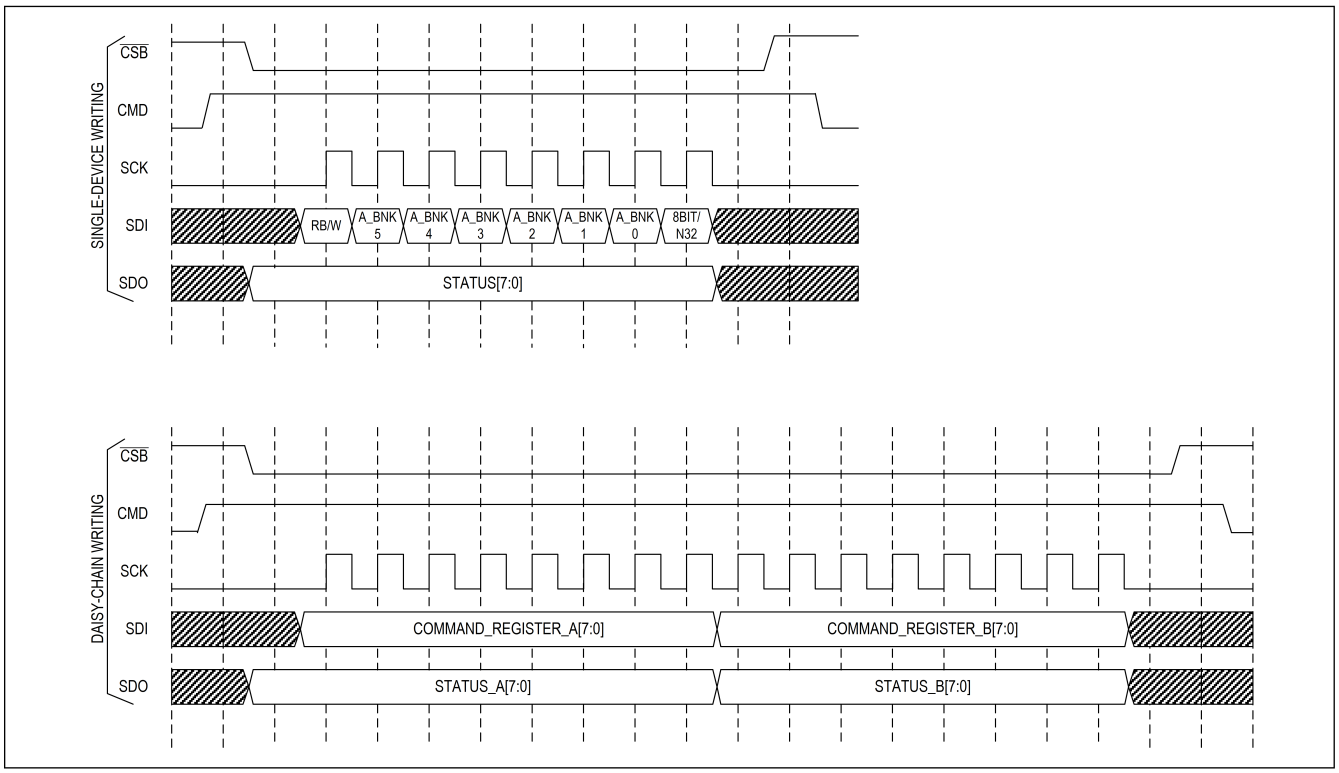


図7. コマンド・レジスタの書込み

ステータス・レジスタの説明(STATUS)

ステータス・レジスタは32ビットのレジスタです。

- 最初の最上位バイト(STATUS[31:24])には各チャンネルの活性化ビットが格納されます。チャンネルxを活性化するには、ONCHxビットをハイにします。チャンネルxを非活性化するには、ONCHxビットをローにします。
- 2番目の最上位バイト(STATUS[23:16])には、マスク・フォルト・ビットとマスタ周波数選択ビット(FREQM)が格納されます。
- 3番目の最上位バイト(STATUS[15:8])には、連続するチャンネルによるペアのハードウェア設定ビットが格納されます。このレジスタを設定することで、連続するチャンネルが並列モードまたはフルブリッジ・モードで動作するよう設定できます。詳細については、サポート対象のドライバ設定のセクションを参照してください。
- 最下位バイト(STATUS[7:0])には、7つの読出し専用フラグ・フォルト・ビットおよびACTIVEビットが格納されます。ACTIVEビットは、グローバルなイネーブル・ビットで、パワーアップ時には「0」に設定されています(デフォルト)。
  - ACTIVEが「0」の場合、デバイスは低消費電力モードになり、チャンネルはスリーステートとなります。
  - 通常動作ではACTIVEを「1」にセットする必要があります。

以下に、7つのフラグ・フォルト・ビットを示します。

- OVT = 過熱フォルト・フラグ
- OCP = 過電流フォルト・フラグ—少なくとも1つのチャンネルで過電流を検出
- OLF = 開放負荷フォルト・フラグ—少なくとも1つのチャンネルで開放負荷を検出
- HHF = HIT電流未達フォルト・フラグ—少なくとも1つのチャンネルでHIT電流未達フォルトを検出
- DPM = プランジャ移動の検出フラグ—少なくとも1つのチャンネルでプランジャ移動フォルトを検出
- COMER = 通信エラー・フォルト・フラグ
- UVM = 低電圧フォルト・フラグ—UVMはパワーアップ時にハイにセットされ、動作をイネーブルするにはSTATUSレジスタを読み出すことによってクリアする必要があります。

注:OCP、OLF、HHF、DPMの診断情報の詳細は、FAULTレジスタで説明します(レジスタ・マップを参照)。

表10. ステータス・レジスタ

BITS	DESCRIPTION
[32:24]	ONCHx bits. 1 = Channel is active. 0 = Channel is not active (default)
[23:16]	Fault Mask Bits: 1 = Fault is masked and does not assert the $\overline{\text{FAULT}}$, 0 = Fault is not masked (default) FREQM: set the master frequency of the internal oscillator
[15:8]	CMxy: Hardware Configuration bits for pairs of contiguous channels. Channels can be configured in Parallel or Full-Bridge mode (see the *Supported Driver Configurations* section)
[7:0]	Fault Flag Bits: OVT, OCP, OLF, HHF, DPM,COMER, UVM ACTIVE bit: 1 = The Device is Active ; 0 = The device is not Active and all channels are Hi-Z (default)

設定レジスタの説明(CFG_CH_)

32ビット(4バイト)の設定レジスタが8個あり、独立したチャンネル設定ができます。

- 最上位バイトCFG_CH_[31:24]には、HOLD電流の情報(7ビット)とハーフ・フルスケール選択ビット(HFSx)が格納されます。
- 2番目の最上位バイトCFG_CH_[23:16]には、HIT電流の情報(7ビット)と外部トリガ選択ビット(TRGnSPI)の情報が格納されます。
- 3番目の最上位バイトCFG_CH_[15:8]には、励起時間の情報が格納されます。
- 最下位バイトCFG_CH_[7:0]には、次のチャンネル設定が格納されます。
  - VDR/CDR選択ビット(VDRnCDR)
  - HS/LS選択ビット(HSnLS)
  - チャンネル・チョッピング周波数ビット(FREQ_CFG)
  - スルー・レート選択ビット(SRC)
  - 開放負荷検出イネーブル・ビット(OL_EN)
  - HIT電流検出イネーブル・ビット(HHF_EN)

詳細については、詳細およびレジスタ・マップのセクションを参照してください。以下の表に設定レジスタの内容をまとめます。

表11. 設定レジスタ

BIT	DESCRIPTION
[31:24]	HFS selector bit. "1" for Half Full-Scale operation; "0" for Full-Scale operation (default) HOLD Current
[23:16]	TRGnSPI selector bit. "1" for external trigger; "0" for SPI trigger HIT Current
[15:8]	HIT Time
[7:0]	• VDRnCDR selector bit. "1" for Voltage Drive Regulation; "0" for Current Drive Regulation (default). The VDRnCDR selector bit can only be changed when STATUS = OFF. See the *Functional Description - Two Levels Drive Sequence for Solenoid Valves* • HSnLS selector bit. "1" for High-Side Drive; "0" for Low-Side Drive (default). The HSnLS selector bit can only be changed when STATUS = OFF. • FREQ_CFG bits. See the *Chopping Frequency (FREQM, FRQ_CFG_)* section • SRC. "1" for Slew-Rate Controlled mode; "0" for Fast Mode (default) • OL_EN Enable bit. "1" Enable Open-Load Detection; "0" Disable Open-Load Detection (default) • HHF_EN Enable bit. "1" Enable HIT Current Detection; "0" HIT Current Detection (default)

フォルト・レジスタの説明(FAULT)

フォルト・レジスタは、各チャンネルのフォルト・フラグ・ビットを含む32ビットの読出し専用レジスタです。

- 最上位バイトFAULT[31:24]には、過電流保護フラグ・ビット(OCP)が格納されます。チャンネル0は最下位ビットに対応します。
- 2番目の最上位バイトFAULT[23:16]には、「HIT電流未達フラグ」ビット(HHF)が格納されます。チャンネル0は最下位ビットに対応します。
- 3番目の最上位バイトFAULT[15:8]には、「開放負荷検出」フラグ・ビット(OLF)が格納されます。チャンネル0は最下位ビットに対応します。
- 最下位バイトFAULT[7:0]には、「プランジャ移動の検出」フラグ・ビット(MCF)が格納されます。チャンネル0は最下位ビットに対応します。

詳細については、保護および診断機能のセクションを参照してください。

表12. フォルト・レジスタ

BIT	DESCRIPTION
32:24	OCP - Overcurrent Protection Flag Bits. Channel 0 is the LSB
23:16	HHF - HIT Current Not Reached Flag Bits. Channel 0 is the LSB
15:8	OLF - Open-Load Detection Flag Bits. Channel 0 is the LSB
7:0	DPM - Detection of Plunger Movement Flag Bits. Channel 0 is the LSB

プランジャ移動の検出レジスタの説明(CFG_DPM)

CFG_DPMレジスタは、プランジャ移動の検出アルゴリズムを設定するために用いることのできる、32ビットのレジスタです(プランジャ移動の検出(DPM)のセクションを参照)。15個の最下位ビット(CFG_DPM[14:0])のみがDPM設定に使用されます。最上位ビットCFG_DPM[31:15]はゼロにセットする必要があります。

CFG_DPM[14:8]には、くぼみ検出のためにDPMアルゴリズムが開始電流として用いる電流値(DPM_ISTART[6:0])が格納されます。ISTART電流は次式で与えられます。

$ISTART = DPM_ISTART[6:0]_{DEC} \times (IFS / 127)$、ここでIFSはフルスケール電流です。

CFG_DPM[7:4]には、DPMバウンス防止の値(DPM_TDEB[3:0])が格納されます。このパラメータは、アルゴリズムが有効なものとして認識する電流くぼみの最小継続時間を定めます。DPM_TDEBは次式のように、チョッピング周期で表されます。

$DPM_TDEB = DPM_TDEB[3:0]_{DEC} / f_{CHOP}$

CFG_DPM[3:0]には、電流のくぼみと比較するDPMスレッショルドの値（DPM_ITPH[3:0]）が格納されます。I_{TPH}スレッショルドは次式で与えられます。

$$I_{TPH} = DPM_ITPH[3:0]_{DEC} \times (I_{FS} / 127)$$

図4に、励起電流の代表的なプロファイルに関する上記DPMパラメータを示します。DPMアルゴリズムは、電流がI_{START}を超えるとモニタを開始し、電流がHITレベル（I_{HIT}）に達するかHIT時間（t_{HIT}）が経過するまで、有効な「電流くぼみ」を探します。有効なくぼみが見つからない場合、DPMフォルトが信号として出力されます（マスクされていない場合）。

I_{START}は、プランジャ移動による電流くぼみが生じると予想される最小電流値よりわずかに小さい値に設定することを推奨します。くぼみの大きさがDPM_IPTHスレッショルドより大きく、かつ、くぼみの継続時間がDPM_TDEBバウンス防止時間より長い場合に、電流くぼみが有効と認識されます。

DPM_IPTHおよびDPM_TDEBの値が小さいと感度は高くなりますが、スプリアス信号によるプランジャ移動を誤って検出する可能性があります。

くぼみが十分でない場合は、検出アルゴリズムの精度に対する信頼性が低下します。

また、確実に信頼できる検出を行うには、内蔵ADCが追跡できるよう、I_{START}レベルを超える電流の傾きが700mA/msより小さいことが必要です。

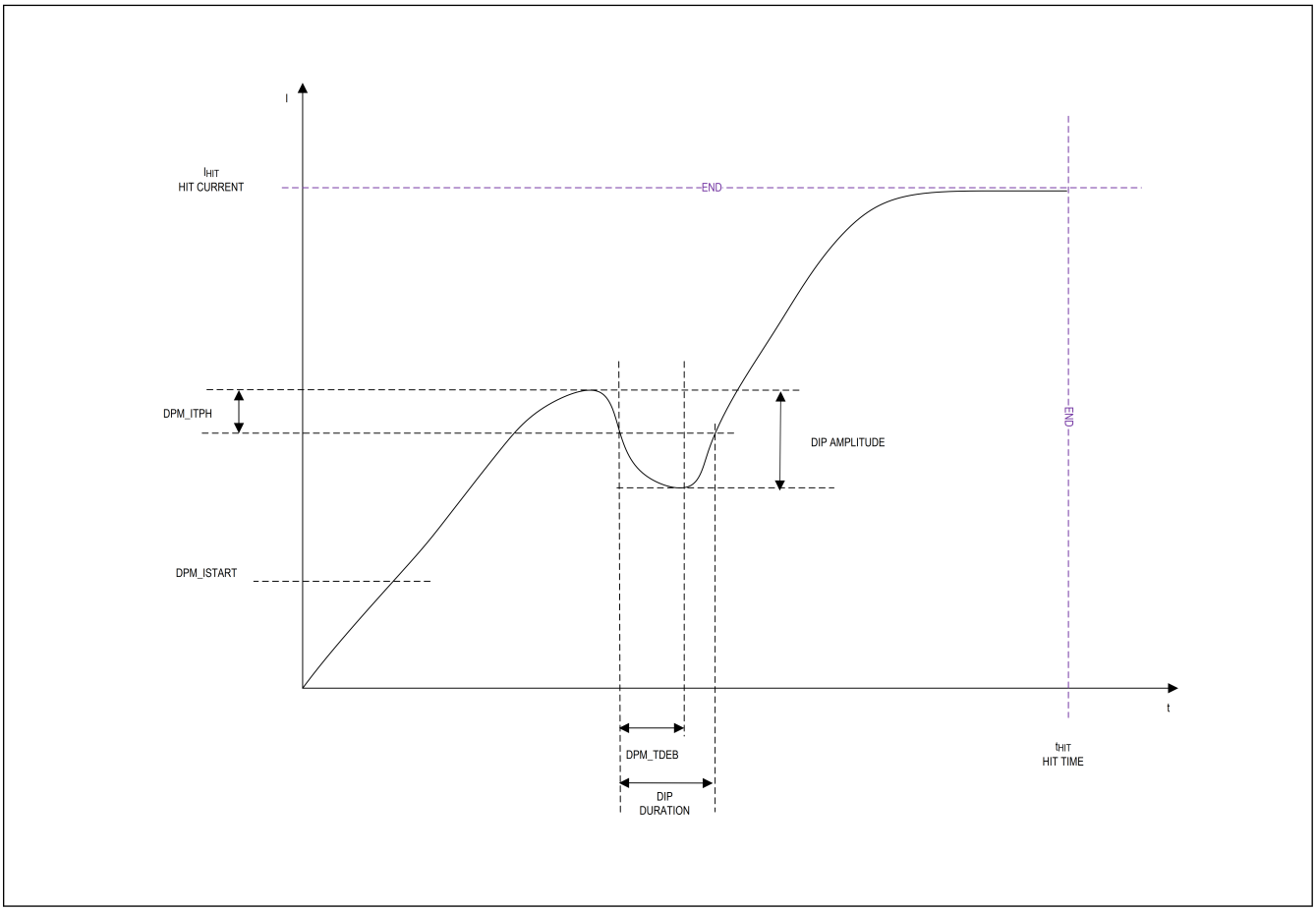


図8. プランジャ移動の検出

レジスタの読出しおよび書込み操作

CMDピンがローの場合、SPI転送は、事前設定されたコマンド・レジスタの内容によって決まります。32ビット（図9および図10を参照）または8ビット（図11および図12を参照）の、2種類の読出し／書込みデータ転送が可能です。コマンド・レジスタの8/n32ビットにより、後続のSPIのデータ転送が8ビット長であるか32ビット長であるかが決まります（コマンド・レジスタの説明（COMMAND）のセクションを参照）。

なお、8ビットの書込み操作が行われる場合（図11参照）、MAX22200はSDO出力にSTATUSレジスタのLSBを出力しますが、32ビットの書込み操作の場合には（図9参照）、MAX22200はSDO出力にSTATUSレジスタとCOMMANDレジスタを出力するため、ユーザは事前設定されたコマンド・レジスタが正しく設定されているかどうかを確認できます。

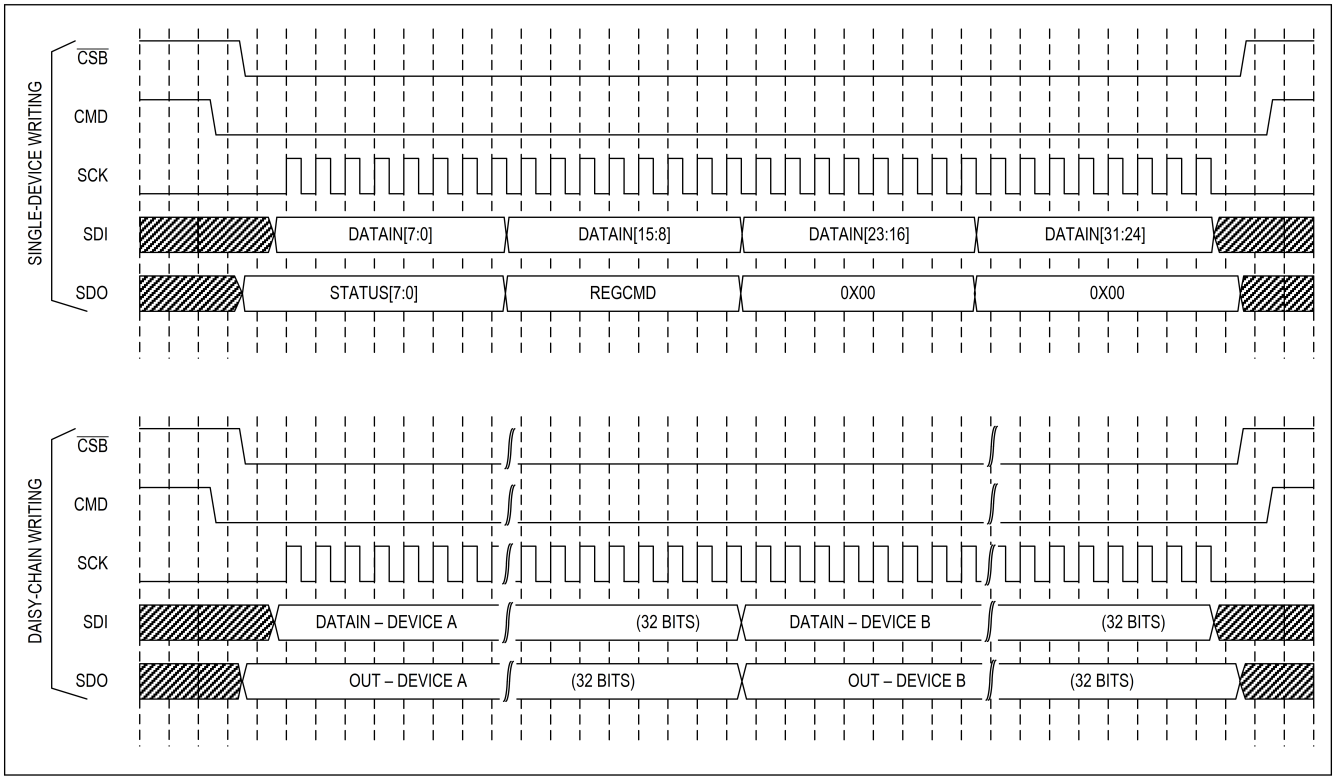


図9. 32ビット・レジスタ書込み—タイミング図

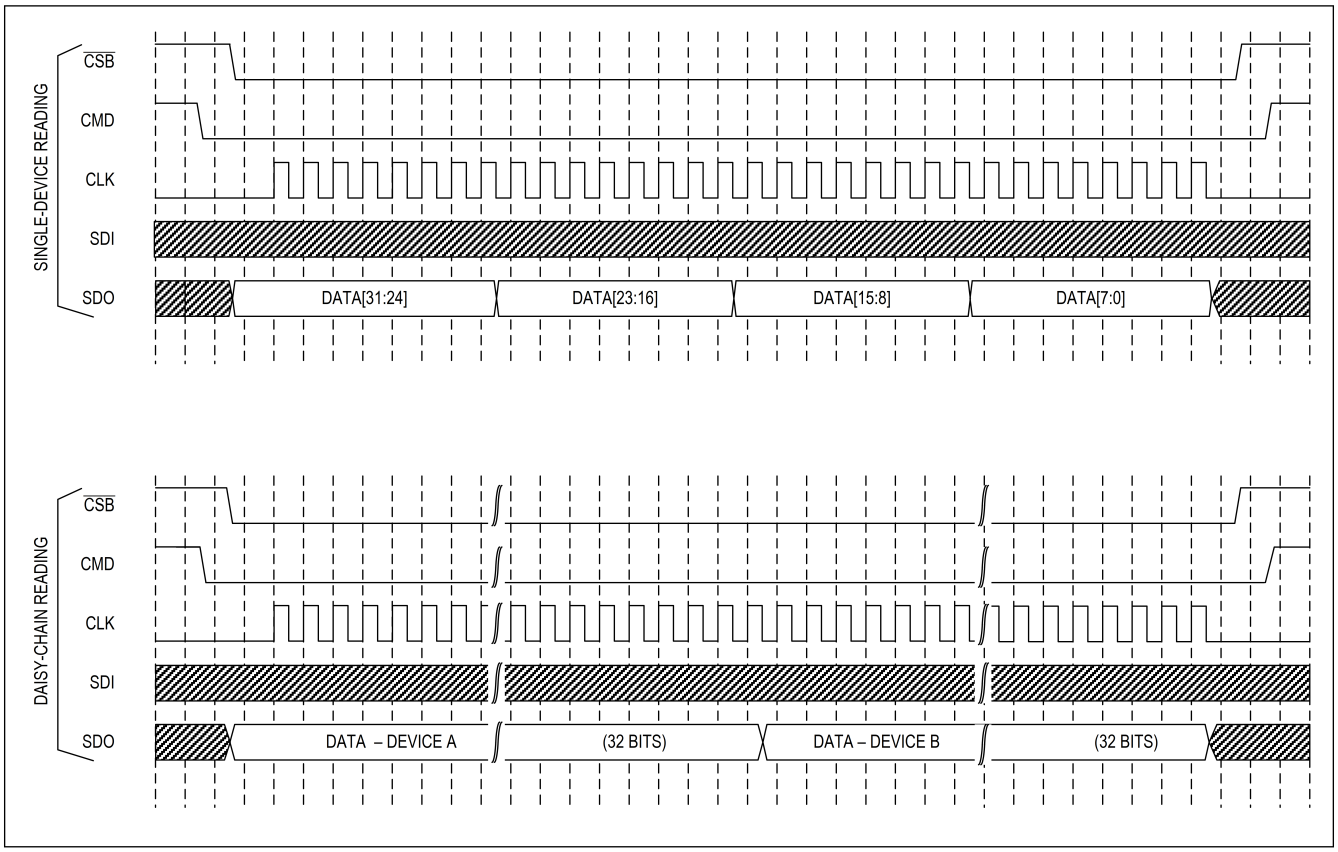


図10. 32ビット・レジスタ読出し—タイミング図

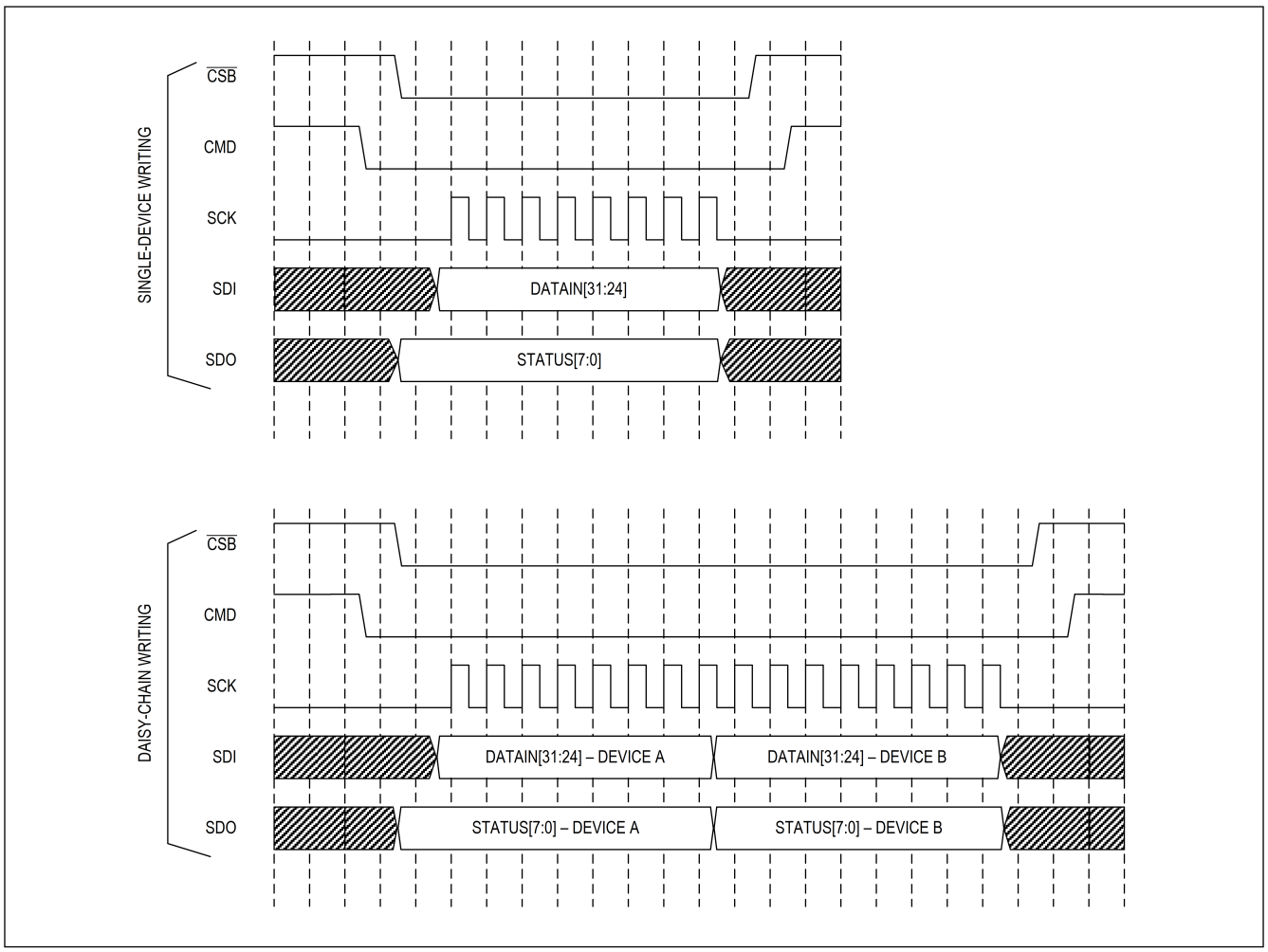


図11. 8ビット・レジスタ書込み—タイミング図

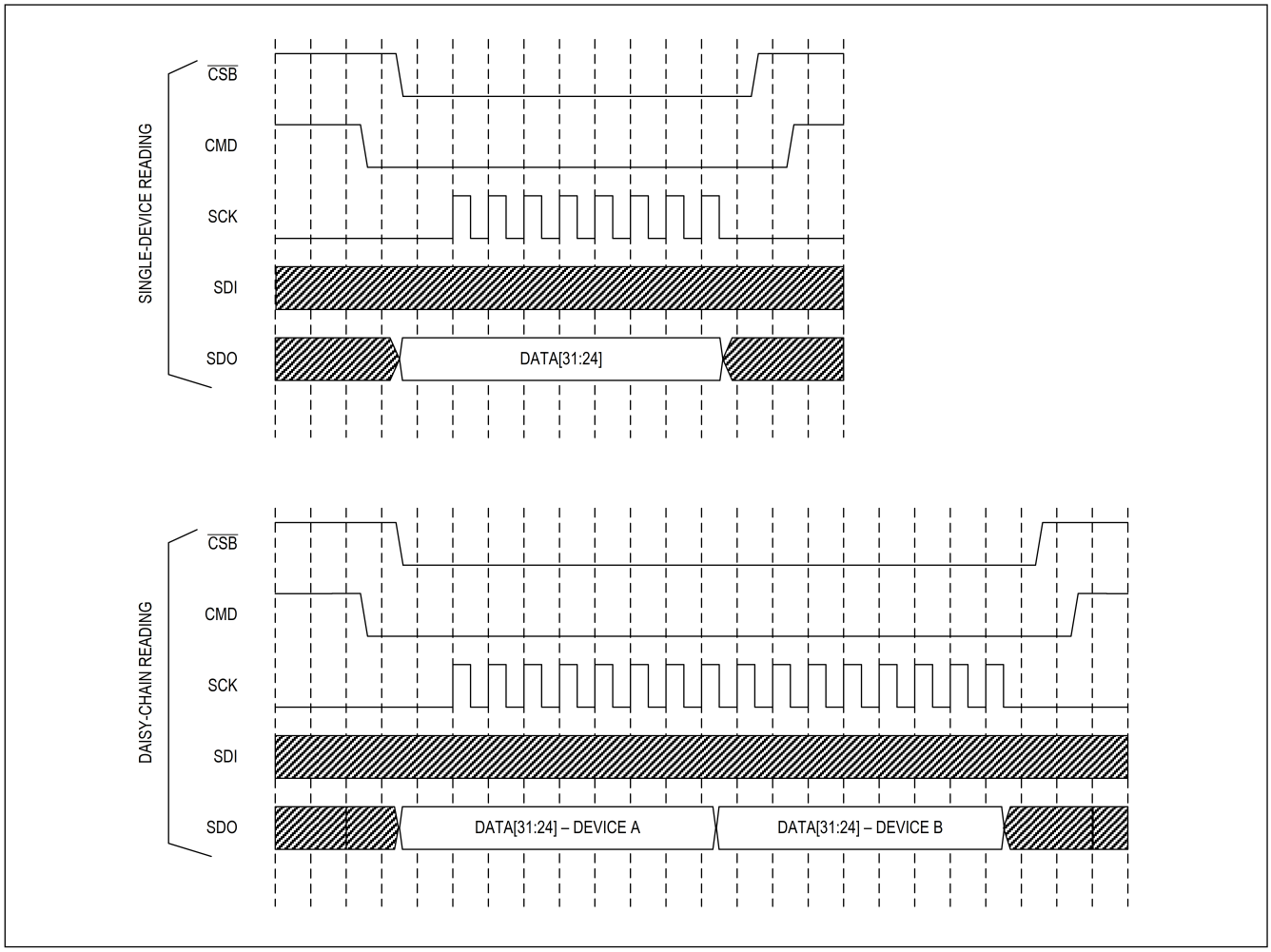


図12. 8ビット・レジスタ読出し—タイミング図

通信エラー検出(COMF)

各書込みSPI転送に対し、MAX22200は受信クロック・サイクル数をチェックします。32ビット書込みコマンドでは、この制御は最初の32クロック・サイクルで行われます。その後、制御は8ビットを受信するごとに行われます(図9参照)。これを行うのは、デイジーチェーン接続されている場合にデバイスが正しく機能できるようにするためです。8ビットの書込みコマンドでは、この制御は8クロック・サイクルごとに行われます。クロック・サイクル数がこのチェックに合格しない場合、通信エラーが検出され、対応するSPI転送は無視されます。更に、FAULT通知ピンがアサートされます(マスクされていない場合)。

レジスタ・マップ

MAX22200のレジスタ・マップ

ADDRESS	NAME	MSB							LSB
USER									
0x00	STATUS[31:24]	ONCH[7:0]							
	STATUS[23:16]	M_OVT	M_OCP	M_OLF	M_HHF	M_DPM	M_COMF	M_UVM	FREQM
	STATUS[15:8]	CM76[1:0]		CM54[1:0]		CM32[1:0]		CM10[1:0]	
	STATUS[7:0]	OVT	OCP	OLF	HHF	DPM	COMER	UVM	ACTIVE
0x01	CFG_CH 0[31:24]	HFS0	HOLD0[6:0]						
	CFG_CH 0[23:16]	TRGnSPI0	HIT0[6:0]						
	CFG_CH 0[15:8]	HIT_T0[7:0]							
	CFG_CH 0[7:0]	VDRnCDR0	HSnLS0	FREQ_CFG0[1:0]		SRC0	OL_EN0	DPM_EN0	HHF_EN0
0x02	CFG_CH 1[31:24]	HFS1	HOLD1[6:0]						
	CFG_CH 1[23:16]	TRGnSPI1	HIT1[6:0]						
	CFG_CH 1[15:8]	HIT_T1[7:0]							
	CFG_CH 1[7:0]	VDRnCDR1	HSnLS1	FREQ_CFG1[1:0]		SRC1	OL_EN1	DPM_EN1	HHF_EN1
0x03	CFG_CH 2[31:24]	HFS2	HOLD2[6:0]						
	CFG_CH 2[23:16]	TRGnSPI2	HIT2[6:0]						
	CFG_CH 2[15:8]	HIT_T2[7:0]							
	CFG_CH 2[7:0]	VDRnCDR2	HSnLS2	FREQ_CFG2[1:0]		SRC2	OL_EN2	DPM_EN2	HHF_EN2
0x04	CFG_CH 3[31:24]	HFS3	HOLD3[6:0]						
	CFG_CH 3[23:16]	TRGnSPI3	HIT3[6:0]						
	CFG_CH 3[15:8]	HIT_T3[7:0]							
	CFG_CH 3[7:0]	VDRnCDR3	HSnLS3	FREQ_CFG3[1:0]		SRC3	OL_EN3	DPM_EN3	HHF_EN3
0x05	CFG_CH 4[31:24]	HFS4	HOLD4[6:0]						
	CFG_CH 4[23:16]	TRGnSPI4	HIT4[6:0]						
	CFG_CH 4[15:8]	HIT_T4[7:0]							
	CFG_CH 4[7:0]	VDRnCDR4	HSnLS4	FREQ_CFG4[1:0]		SRC4	OL_EN4	DPM_EN4	HHF_EN4
0x06	CFG_CH 5[31:24]	HFS5	HOLD5[6:0]						
	CFG_CH 5[23:16]	TRGnSPI5	HIT5[6:0]						
	CFG_CH 5[15:8]	HIT_T5[7:0]							

ADDRESS	NAME	MSB							LSB
	CFG_CH 5[7:0]	VDRnCDR5	HSnLS5	FREQ_CFG5[1:0]		SRC5	OL_EN5	DPM_EN5	HHF_EN5
0x07	CFG_CH 6[31:24]	HFS6	HOLD6[6:0]						
	CFG_CH 6[23:16]	TRGnSPI6	HIT6[6:0]						
	CFG_CH 6[15:8]	HIT_T6[7:0]							
	CFG_CH 6[7:0]	VDRnCDR6	HSnLS6	FREQ_CFG6[1:0]		SRC6	OL_EN6	DPM_EN6	HHF_EN6
0x08	CFG_CH 7[31:24]	HFS7	HOLD7[6:0]						
	CFG_CH 7[23:16]	TRGnSPI7	HIT7[6:0]						
	CFG_CH 7[15:8]	HIT_T7[7:0]							
	CFG_CH 7[7:0]	VDRnCDR7	HSnLS7	FREQ_CFG7[1:0]		SRC7	OL_EN7	DPM_EN7	HHF_EN7
0x09	FAULT[31:24]	OCP[7:0]							
	FAULT[23:16]	HHF[7:0]							
	FAULT[15:8]	OLF[7:0]							
	FAULT[7:0]	DPM[7:0]							
0x0A	CFG_DPM[31:24]	RSVD[10:3]							
	CFG_DPM[23:16]	RSVD[2:0]			RSVD	RSVD	RSVD	RSVD	RSVD
	CFG_DPM[15:8]	RSVD	DPM_ISTART[6:0]						
	CFG_DPM[7:0]	DPM_TDEB[3:0]				DPM_IPTH[3:0]			

レジスタの詳細

STATUS(0x00)

BIT	31	30	29	28	27	26	25	24
Field	ONCH[7:0]							
Reset	0x0							
Access Type	Write, Read							
BIT	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Field	M_OVT	M_OCP	M_OLF	M_HHF	M_DPM	M_COMF	M_UVM	FREQM
Reset	0x0	0x0	0x0	0x0	0x0	0x1	0x0	0x0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read
BIT	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Field	CM76[1:0]		CM54[1:0]		CM32[1:0]		CM10[1:0]	
Reset	0x0		0x0		0x0		0x0	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

BIT	7	6	5	4	3	2	1	0
Field	OVT	OCP	OLF	HHF	DPM	COMER	UVM	ACTIVE
Reset	0x0	0x0	0x0	0x0	0x0	0x0	0x1	0x0
Access Type	Read Clears All	Read Only	Read Only	Read Only	Read Only	Read Only	Read Clears All	Write, Read

ビット・フィールド	ビット	説明	デコード
ONCH	31:24	チャンネルの活性化／非活性化ビット	0: Half bridge is off 1: Half bridge is on
M_OVT	23	OVTフォルト・マスク・ビット	0x0: OVT signaled on the FAULT\ pin 0x1: OVT not signaled on the FAULT\ pin
M_OCP	22	OCPフォルト・マスク・ビット	0x0: OCP signaled on the FAULT\ pin 0x1: OCP not signaled on the FAULT\ pin
M_OLF	21	OLFフォルト・マスク・ビット	0x0: OLF signaled on the FAULT\ pin 0x1: OLF not signaled on the FAULT\ pin
M_HHF	20	HHFフォルト・マスク・ビット	0x0: HHC signaled on the FAULT\ pin 0x1: HHC not signaled on the FAULT\ pin
M_DPM	19	DPMフォルト・マスク・ビット	0x0: DPM signaled on the FAULT\ pin 0x1: DPM not signaled on the FAULT\ pin
M_COMF	18	通信フォルト・マスク・ビット	0x0: MCOMER signaled on the FAULT\ pin 0x1: MCOMER not signaled on the FAULT\ pin
M_UVM	17	低電圧ロックアウト・マスク・ビット	0x0: UV signaled on the FAULT\ pin 0x1: UV not signaled on the FAULT\ pin
FREQM	16	内部発振器周波数設定ビット	0x0: 100kHz 0x1: 80kHz
CM76	15:14	CH6/CH7の動作モード設定。CM76ビットの書込みは、OCH6/OCH7が0にセットされている場合にのみ可能です。	0x0: CH6/CH7 independently controlled by register CFG6/CFG7 0x1: CH6/CH7 in parallel mode both controlled by register CFG6 and ONCH6 0x2: CH6/CH7 H-Bridge mode – ONCH6 and ONCH7 control status and direction (00 = Hi-Z, 01 = Fwd, 10 = Rev, 11 = Brake). PWM regulation control on LS according to CFG6 0x3: Reserved
CM54	13:12	CH5/CH4の動作モード設定。CM54ビットの書込みは、OCH5/OCH4が0にセットされている場合にのみ可能です。	0x0: CH4/CH5 independently controlled by register CFG4/CFG5 0x1: CH4/CH5 in parallel mode both controlled by register CFG4 and ONCH5 0x2: CH4/CH5 H-Bridge mode – ONCH4 and ONCH5 control status and direction (00 = Hi-Z, 01 = Fwd, 10 = Rev, 11 = Brake). PWM regulation control on LS according to CFG4 0x3: Reserved

ビット・フィールド	ビット	説明	デコード
CM32	11:10	CH3/CH2の動作モード設定。CM32ビットの書込みは、OCH3/OCH2が0にセットされている場合にのみ可能です。	0x0: CH3/CH2 independently controlled by register CFG3/CFG2 0x1: CH3/CH2 in parallel mode both controlled by register CFG2 and ONCH2 0x2: CH3/CH2 H-Bridge mode – ONCH3 and ONCH2 control status and direction (00 = Hi-Z, 01 = Fwd, 10 = Rev, 11 = Brake). PWM regulation control on LS according to CFG2 0x3: Reserved
CM10	9:8	CH1/CH0の動作モード設定。CM10ビットの書込みは、OCH1/OCH0が0にセットされている場合にのみ可能です。	0x0: CH0/CH1 independently controlled by register CFG0/CFG1 0x1: CH0/CH1 in parallel mode both controlled by register CFG0 and ONCH0 0x2: CH0/CH1 H-Bridge mode – ONCH0 and ONCH1 control status and direction (00 = Hi-Z, 01 = Fwd, 10 = Rev, 11 = Brake). PWM regulation control on LS according to CFG0 0x3: Reserved
OVT	7	過熱保護フラグ・ビット	0x0: Normal operation 0x1: Chip is in thermal protection
OCP	6	過電流保護フラグ・ビット	0x0: Normal operation 0x1: At least 1 channel has detected an overcurrent event
OLF	5	開放負荷フォルト・フラグ・ビット	0x0: Normal operation 0x1: At least 1 channel has detected an open load fault
HHF	4	HIT電流未達フラグ・ビット（CDRモードのみ）	0x0: Normal operation 0x1: At least 1 channel has detected a HIT current fault
DPM	3	DPMフォルト・フラグ・ビット	0x0: Normal operation 0x1: At least 1 channel has detected a Detection of Plunger Movement Fault
COMER	2	通信エラー・フラグ・ビット	0x0: No SPI error detected 0x1: SPI Write comunication error detected
UVM	1	低電圧ロックアウト・フラグ・ビット	0x0: Normal operation 0x1: VM UVLO event has been detected
ACTIVE	0	アクティブ・ビット	0x0: Low-power mode, chip off 0x1: Normal operation

CFG_CH（0x01、0x02、0x03、0x04、0x05、0x06、0x07、0x08）

BIT	31	30	29	28	27	26	25	24
Field	HFS	HOLD[6:0]						
Reset	0x0	0x0						
Access Type	Write, Read	Write, Read						

BIT	23	22	21	20	19	18	17	16
Field	TRGnSPI	HIT[6:0]						
Reset	0x0	0x0						
Access Type	Write, Read	Write, Read						
BIT	15	14	13	12	11	10	9	8
Field	HIT_T[7:0]							
Reset	0x0							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	VDRnCDR	HSnLS	FREQ_CFG[1:0]		SRC	OL_EN	DPM_EN	HHF_EN
Reset	0x0	0x0	0x00		0x0	0x0	0x0	0x0
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
HFS	31	フルスケール／ハーフスケール選択ビット	0x0: 1 0x1: 0.5
HOLD	30:24	HOLD電流設定ビット	0: HS off, LS on (in HS mode) HS on, LS off (in LS mode) 1-126: VDR duty cycle setting (in HS mode) VDR duty cycle or CDR current setting (in LS mode) 127: HS on, LS off (in HS mode) HS off, LS on (in LS mode)
TRGnSPI	23	TRIG/SPI制御選択ビット	0x0: CH_ is controlled by ONCH_ SPI bit 0x1: CH_ is controlled by TRIG_ pin
HIT	22:16	HIT電流設定ビット	0: HS off, LS on (in HS mode) HS on, LS off (in LS mode) 1-126: VDR duty cycle setting (in HS mode) VDR duty cycle or CDR current setting (in LS mode) 127: HS on, LS off (in HS mode) HS off, LS on (in SL mode)
HIT_T	15:8	HIT時間設定ビット	0: No HIT time 1-254: T_{HIT} = HIT_T_[7:0] × 40 / f_{CHOP} 255: Continous IHIT
VDRnCDR	7	電流駆動／電圧駆動モード選択ビット	0x0: CH_ is controlled in Current-Drive mode 0x1: CH_ is controlled Voltage-Drive mode
HSnLS	6	VDRnCDR = 1の場合、このビットでハイサイド・モードとローサイド・モードの選択ができます。 VDRnCDR = 0の場合、チャンネルは常にローサイド・モードで動作します。	0x0: CH_ works in low-side mode 0x1: CH_ works in high-side mode
FREQ_CFG	5:4	チョッピング周波数設定ビット	0x0: FreqMain/4 0x1: FreqMain/3 0x2: FreqMain/2 0x3: FreqMain

ビット・フィールド	ビット	説明	デコード
SRC	3	スルーレート制御イネーブル・ビット	0x0: Fast OUT transitions 0x1: OUT transition is slew-rate controlled in low-side mode
OL_EN	2	開放負荷検出イネーブル・ビット	0x0: Open-load diagnostic is disabled 0x1: Open-load diagnostic is enabled
DPM_EN	1	プランジャ移動の検出イネーブル・ビット	0x0: DPM fault diagnostic is disabled 0x1: DPM fault diagnostic is enabled
HHF_EN	0	HIT電流チェック・イネーブル・ビット	0x0: HIT current reached diagnostic is disabled 0x1: HIT current reached diagnostic is enabled

FAULT (0x09)

BIT	31	30	29	28	27	26	25	24
Field	OCP[7:0]							
Reset								
Access Type	Read Clears All							
BIT	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Field	HHF[7:0]							
Reset								
Access Type	Read Clears All							
BIT	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Field	OLF[7:0]							
Reset								
Access Type	Read Clears All							
BIT	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Field	DPM[7:0]							
Reset								
Access Type	Read Clears All							

ビット・フィールド	ビット	説明
OCP	31:24	OCP保護フラグ
HHF	23:16	HIT電流未達フラグ
OLF	15:8	開放負荷検出フラグ
DPM	7:0	プランジャ移動の検出フォルト・フラグ

CFG_DPM(0x0A)

BIT	31	30	29	28	27	26	25	24
Field	RSVD[10:3]							
Reset								
Access Type	Write, Read							
BIT	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Field	RSVD[2:0]			RSVD	RSVD	RSVD	RSVD	RSVD
Reset				0x0				0x0
Access Type	Write, Read			Read Only	Read Only	Write, Read	Read Only	Write 1 to Set, Read
BIT	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Field	RSVD	DPM_ISTART[6:0]						
Reset								
Access Type	Write, Read	Write, Read						
BIT	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Field	DPM_TDEB[3:0]				DPM_IPTH[3:0]			
Reset								
Access Type	Write, Read				Write, Read			

ビット・フィールド	ビット	説明	デコード
RSVD	31:21	予備	Reserved
RSVD	20	予備	Reserved
RSVD	19	予備	Reserved
RSVD	18	予備	Reserved
RSVD	17	予備	Reserved
RSVD	16	予備	Reserved
RSVD	15	予備	Reserved
DPM_ISTART	14:8	プランジャ移動開始電流の検出	ISTART = $DPM_ISTART[6:0]_{DEC} \times (I_{FS} / 127)$
DPM_TDEB	7:4	DPM BEMFバウンス防止時間	TDEB = $DPM_TDEB[3:0]_{DEC} / f_{CHOP}$
DPM_IPTH	3:0	DPM電流くぼみスレッショルド	IPTH = $DPM_IPTH[3:0]_{DEC} \times (I_{FS} / 127)$

アプリケーション情報

使用事例

MAX22200は柔軟性を備えた設計となっており、次のような様々な使用事例に対応できます。

1. ローサイドCDRモード
2. ローサイドVDRモード
3. ハイサイドVDRモード
4. ブリッジ結合負荷VDRモード（ラッチ式バルブまたはブラシ付きDCモータ）
5. ブリッジ結合負荷CDRモード（ラッチ式バルブまたはブラシ付きDCモータ）

各使用事例は、制御が容易になるよう、専用のロジックが対応します。例えば、事例4および5に対応するために、制御系は単純なSPIコマンドを送信して、ブラシ付きDCモータを順方向、逆方向、ブレーキ、高インピーダンス・モードで駆動します。

上記事例の他、ハーフブリッジのペアを並列化して駆動電流能力を倍増することもできます。

電流定格

最大駆動電流は過電流制限と熱制限の2つの要素によって制限されます。これら2つの制限のうち大きい方がMAX22200の電流能力を制限します。

CDRを用いる場合、電流はレギュレーション・ループによって内部で制限されます。VDRを用いる場合は、電流は1.1A（最小値）に設定されている過電流保護回路によって制限されます。どちらの場合も、信頼性確保のため、チャンネルあたりの駆動電流が$1A_{RMS}$を超えないようにすることを推奨します。

熱制限は、デバイス内の電力損失によるもので、この損失は、ジャンクション温度が限界レベルにまで増加する原因となります。デバイス内の合計消費電力は、周囲温度、PCBの熱特性、電圧源、動作中のチャンネル数、スイッチング周波数、デューティ・サイクル、スルー・レート設定など、いくつかのアプリケーション・パラメータによって異なります。デバイスの熱ストレスは、また、それに伴って実際のアプリケーションにおいて許容される最大電流は、PCBの熱特性および環境要因に大きく依存することを理解しておく必要があります。

長期信頼性を確保し、デバイスの損傷を避けるため、ジャンクション温度が$T_{J(MAX)}$=125ºCを超えることのないようにする必要があります。図13、図14、図15、図16に、標準的なJEDEC 2s2pボードを用いた場合の安全動作領域（$I < I_{OCP}$かつ$T_J < T_{J(MAX)}$）を示します。

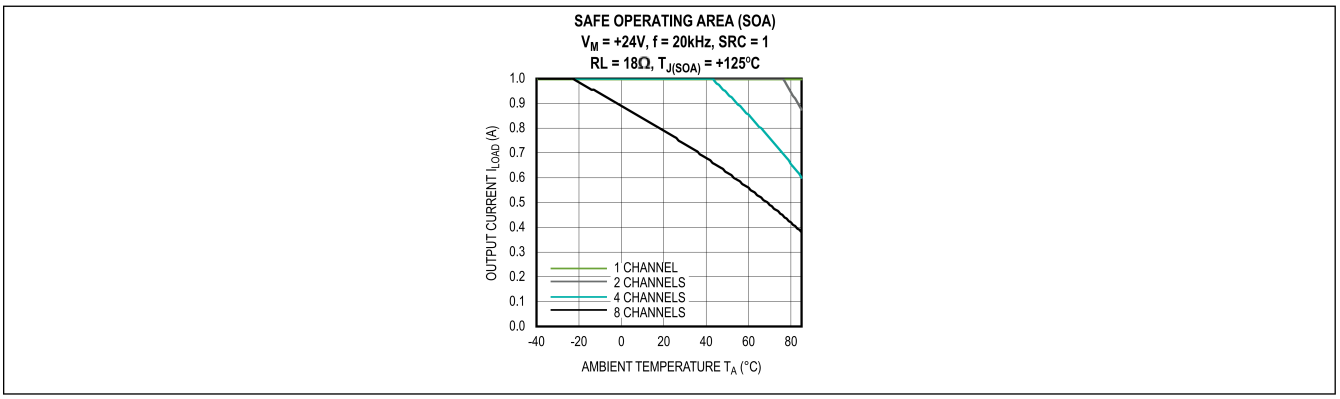


図13. +24Vでの安全動作領域

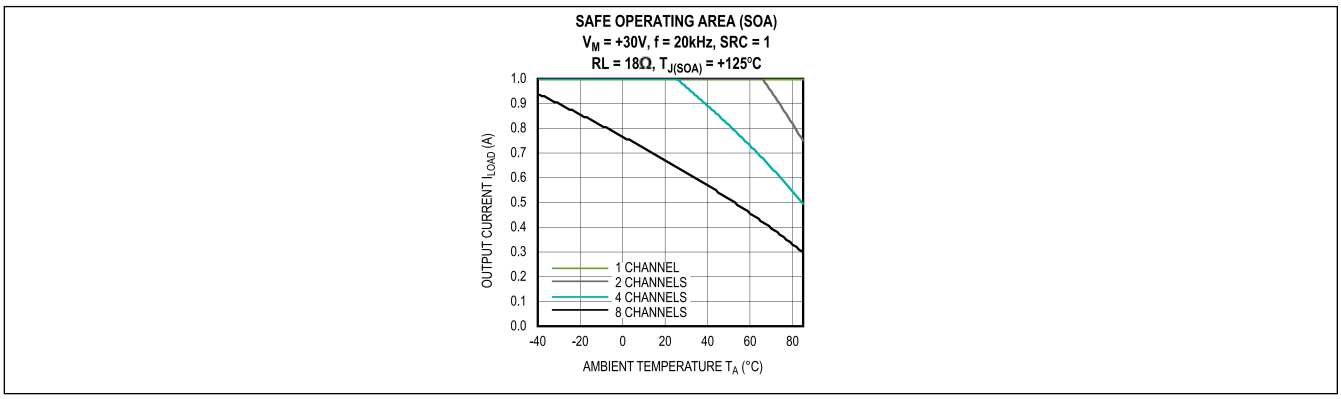


図14. +30Vでの安全動作領域

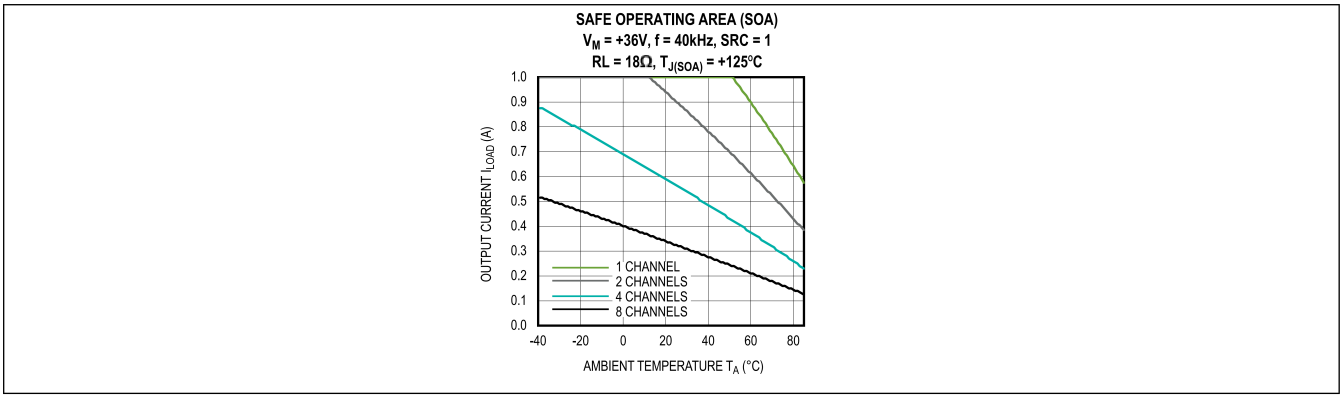


図15. +36Vでの安全動作領域

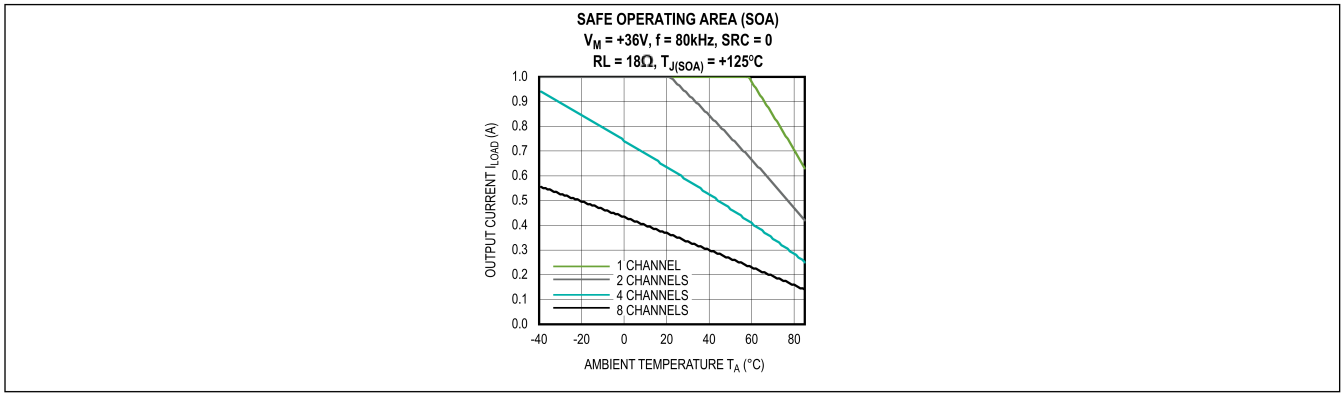


図16. +36V、SRC = 0での安全動作領域

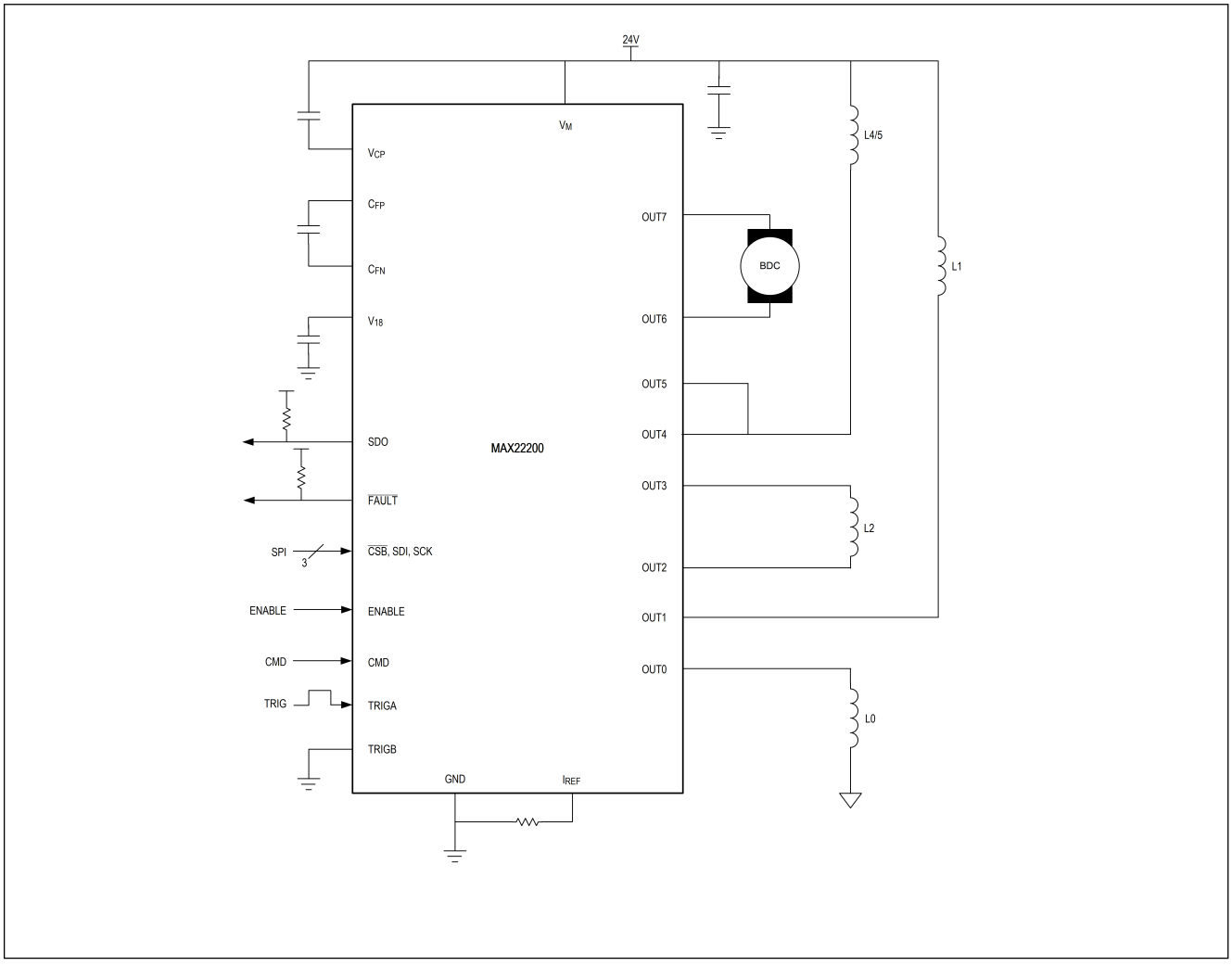
標準アプリケーション回路

アプリケーション構成図

以下のアプリケーション構成図は、あくまで一例として、次の場合におけるMAX22200のアプリケーションを示したものです。

- チャンネル0はGNDに接続されたソレノイドL0を駆動（ハイサイド・ドライバ構成）
- チャンネル1は正側レールに接続されたソレノイドL1を駆動（ローサイド・ドライバ構成）
- チャンネル2および3はラッチ式バルブL2を駆動（フルブリッジ構成）
- チャンネル4および5は並列接続され、正側レールに接続されたソレノイドL4-5を駆動（並列構成のローサイド・ドライバ構成）
- チャンネル6および7はブラシ付きDCモータを駆動（フルブリッジ構成）

更に、チャンネル4-7は、SPIを通じて活性化／非活性化され（TRIGBは接地）、チャンネル0-3の1つ（または複数）は外部トリガ信号（TRIGA）を用いて活性化されています。



オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX22200ETJ+	-40°C to +85°C	32-TQFN 5x5mm

+は鉛(Pb)フリー／RoHS準拠パッケージを表します。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	4/20	初版発行	—

マキシム・ジャパン株式会社　〒141-0032　東京都品川区大崎1-6-4 大崎ニューシティ 4号館　20F　TEL: 03-6893-6600

MaximIntegratedは完全にMaximIntegrated製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

© 2021 Maxim Integrated Products, Inc.　Maxim IntegratedおよびMaxim IntegratedのロゴはMaxim Integrated Products, Inc.の商標です。