



MAX22216/MAX22217

高度な診断機能を備えたクワッド・スマート・シリアル制御のソレノイドおよびモータ用ドライバ

概要

MAX22216/MAX22217 はユーザ設定可能な 36V ハーフブリッジを 4 つ内蔵しています。このデバイスは、主にオンオフ・ソレノイド・バルブ、DC モータ、比例バルブ、双安定バルブ、リレーなどの誘導負荷を駆動することを目的としており、MAX22216 はハーフブリッジあたり最大 3.2A_{FS}、MAX22217 はハーフブリッジあたり最大 1A_{FS} の電流を供給できます。MAX22216/MAX22217 は-40°C~+125°C の周囲温度で動作します。

MAX22216/MAX22217 のハーフブリッジは 2 種類の使用例に対応しています。最初の使用例ではシリアル・ペリフェラル・インタフェース (SPI) 経由で構成設定を入力でき、この設定はいつでも変更可能です。もう 1 つの使用例では、ワンタイム・プログラマブル (OTP) レジスタに設定を保存して、起動時にロードできます。これにより、スタンドアロン動作が可能になります。レジスタはユーザが設定できます。OTP 書込み手順は、温度や電圧の条件が適切に制御されている工場で行う必要があります。

ハイサイド/ローサイドのシングルエンド駆動動作構成と、ブリッジ接続負荷 (BTL) 構成がサポートされています。更にチャンネルの並列化もサポートされている他、電圧制御方式と電流制御方式、および混合方式がサポートされています。

電圧駆動レギュレーション・モード (VDR モード) ではハーフブリッジ出力電圧が制御され、電源の変動は内部で補償されます。

電流駆動レギュレーション・モード (CDR モード) では、ハーフブリッジ出力電流が制御されます。電流は内部で検出されて、コントローラにフィードバックされ、正確なクローズド・ループ・レギュレーションを行います。また、比例ゲインと積分ゲインを設定することで、定常状態の誤差と動的性能を最適化することができます。

MAX22216/MAX22217 は、ソレノイドと DC モータの駆動制御を最適化するための機能を内蔵しています。これらの機能には、省電力のための 2 レベルのシーケンサ、ノイズ低減のための駆動信号ランプ制御 (RAMP)、静止摩擦とヒステリシスの影響をなくすためのディザ機能 (DITH)、オンオフ・サイクルを短縮するための高速消磁機能 (DC_H2L)、突入電流とストール電流を制限するための DC モータ電流リミッタなどが含まれています。

高度な診断機能を備えているので、システムの信頼性を向上することや、予防保全を行うことが可能です。これらの機能には、プランジャ動作の検出 (DPM)、インダクタンス測定、動作時間測定、開放負荷検出 (OL)、シリアル・インタフェースを介したリアルタイム電流モニタリングなどが含まれています。

MAX22216/MAX22217 は、過電流保護 (OCP)、過熱保護 (OVT)、低電圧ロックアウト (UVM) などを含むフルセットの保護回路を備えています。フォルトが検出されるとフォルト・インジケータ・ピンがアサートされます。

MAX22216/MAX22217 は、TQFN32 5mm × 5mm パッケージで提供されます。

アプリケーション

- ソレノイド・オンオフ・バルブおよびリレー
- DC モータ
- 比例バルブ
- 相安定ラッチ・ソレノイド・バルブ
- リアルタイム電流測定機能付きスイッチング・ドライバ
- デジタル出力インタフェース

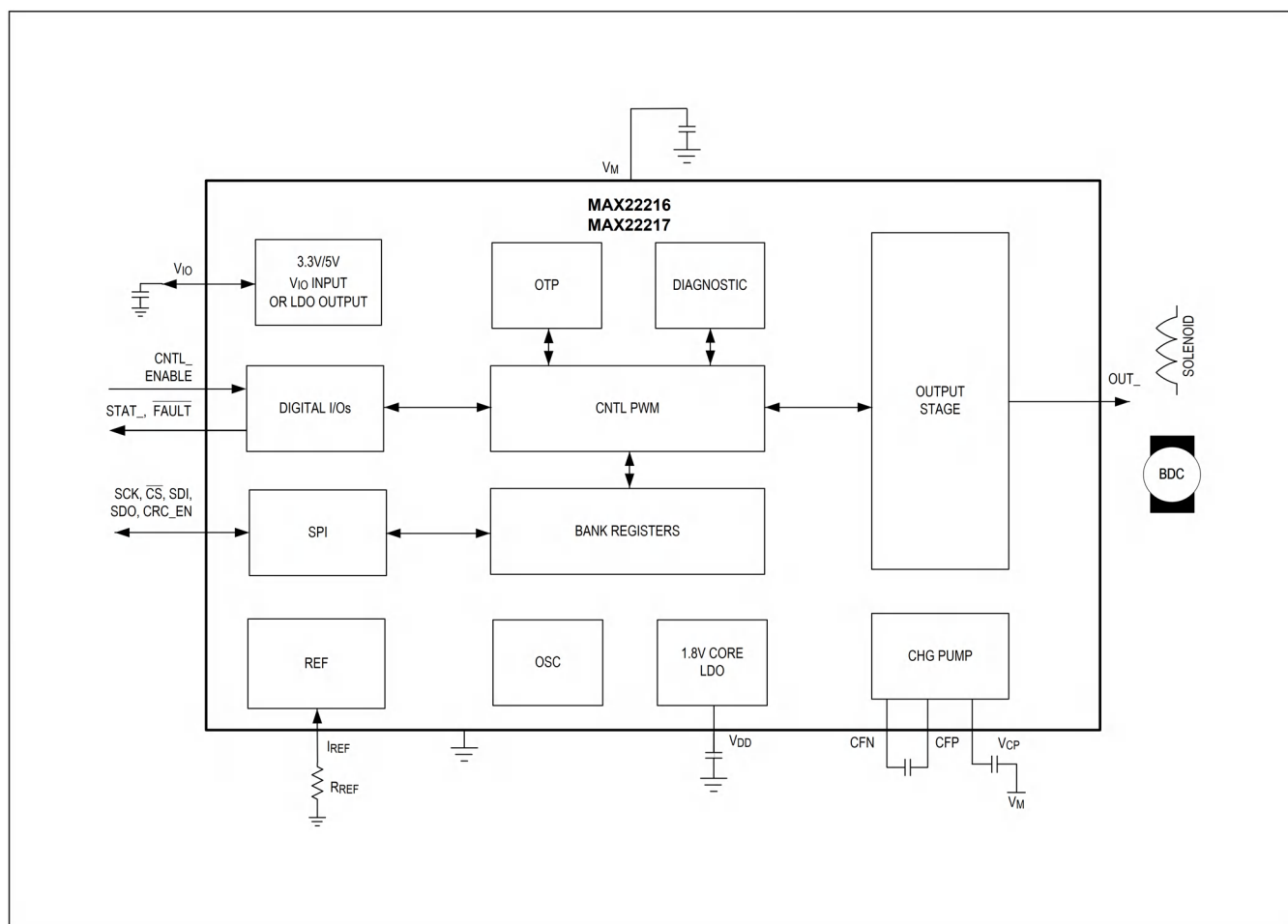
特長と利点

- シリアル制御の 36V ハーフブリッジを 4 つ内蔵
 - 1.7A DC ($T_A = 25^\circ\text{C}$) および 3.2A フルスケールの電流能力 (MAX22216)
 - 0.55A DC ($T_A = 25^\circ\text{C}$) および 1A フルスケールの電流能力 (MAX22217)
- 低 R_{ON} 、高効率
- 高い柔軟性：
 - 独立したチャンネル設定
 - ハイサイド/ローサイド/ブリッジ接続負荷構成/パラレル・モードをサポート
- 高度な制御方法
 - 電圧/電流駆動レギュレーション
 - 省電力のための 2 レベル・シーケンサ
 - 電流リミッタ付き DC モータ・ドライバ
 - ディザリング機能
 - ランプアップ/ランプダウン制御
 - 消磁電圧制御
 - 電流検出機能を内蔵
- 診断機能：
 - 反応時間と動作時間の測定
 - プランジャ動作の検出
 - 開放負荷の検出
 - インダクタンスの測定
 - デジタル電流検出モニタ
- フルセットの保護機能
 - 過電流保護
 - 過熱保護
 - 低電圧ロックアウト

型番はデータシート末尾に記載されています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

簡略ブロック図



目次

概要	1
アプリケーション	1
特長と利点	1
簡略ブロック図	2
絶対最大定格	8
パッケージ情報	8
TQFN 32 – 5mm × 5mm	8
電気的特性	8
ピン配置	13
MAX22216/MAX22217	13
端子説明	13
機能図	15
機能図	15
詳細	16
動作モードの概要	17
シングルエンド動作	17
ブリッジ接続負荷動作（フルブリッジ）	19
DC モータの駆動	21
機能の説明	22
MAX22216/MAX22217 の SPI または OTP 構成	22
イネーブル・ロジック入力（ENABLE）	22
ナップ・モードとアクティブ・ビット	22
V _{IO} ピンの説明（V _{IO} ）	23
CNTL ピンと CNTL ビット	23
ハードウェア構成	23
HS または LS シングルエンド構成	25
チョッピング周波数と時間ベースの設定	25
スルー・レートとブランキング設定（SRC）	25
シーケンサの設定	26
シーケンサ制御モードの設定	26
シーケンサ・レベルの設定	27
電圧駆動レギュレーション（VDR）	27
電流駆動レギュレーション（CDR）	27
電流駆動レギュレーション（CDR）	27
PI コントローラ	28
最小 TON に関する制約	29
電流リファレンス	30
励磁時間（TIME_L2H）の設定	30
ランプ・スロープの設定	31

目次

ディザリングまたはインダクタンス測定用にサイン波ジェネレータをイネーブル.....	31
サイン波ジェネレータの設定.....	32
ブレーキ電流リミッタ機能.....	32
診断機能とステータス・モニタ.....	33
デジタル電流モニタ機能.....	33
PWM デューティ・サイクルのモニタ機能.....	34
デジタル V_M 電源電圧のモニタ.....	34
インダクタンス測定の概要.....	34
インダクタンス測定の設定.....	35
ブランジャ動作の検出 (DPM) – 概要.....	35
ブランジャ動作検出の設定.....	37
抵抗測定.....	38
ステータス・モニタの設定.....	38
STAT モニタ – シングルエンド波形図.....	41
STAT モニタ – 差動波形図.....	42
保護機能とフォルト・インジケータ.....	42
保護機能とフォルト・インジケータ・ピン (FAULT).....	42
低電圧ロックアウト (UVM).....	43
過電流保護 (OCP).....	44
チャンネル・オフ時の開放負荷検出 (OL).....	44
過熱保護 (OVT).....	44
「ヒット電流未達」フラグ (HHF).....	45
MAX22216/MAX22217 の設定方法.....	45
SPI の概要.....	45
SPI データ.....	45
シリアル・インタフェースの CRC エラー検出.....	46
ワンタイム・プログラマブル (OTP).....	47
OTP プログラミング.....	47
パワーアップ時に OTP ダウンロードを行うためのウェイクアップ時間.....	48
レジスタ・マップ.....	49
機能レジスタ.....	49
レジスタの詳細.....	54
OTP_CONTROLLER.....	72
レジスタの詳細.....	72
アプリケーション情報.....	75
使用例.....	75
スタンダアロン V_M スイッチング.....	76
標準アプリケーション回路.....	79
標準アプリケーション回路.....	79

目次	
型番	79
改訂履歴	80

図一覧

図 1. シングルエンド構成	17
図 2. ブリッジ接続負荷構成	19
図 3. DC モータ	21
図 4. 電流制御ループのブロック図	29
図 5. HS 構成における最大電圧のグラフ	29
図 6. LS 構成における最小電圧のグラフ	30
図 7. プランジャ動作の検出	36
図 8. STATUS 出力モニタ・ピン－シングルエンド	41
図 9. STATUS 出力モニタ・ピン－差動	42
図 10. フォルト出力の回路図	44
図 11. CRC なしの SPI データグラム	45
図 12. CRC ありの SPI データグラム	45
図 13. CRC バイト	46
図 14. 使用例	76
図 15. スタンドアロン－VM スイッチング	78

表一覧

表 1. ハードウェア構成	23
表 2. 制御表	24
表 3. フルブリッジ制御	24
表 4. PWM マスタ周波数の設定	25
表 5. 個別 PWM 周波数	25
表 6. スルー・レート制御	25
表 7. ブランキング時間	26
表 8. 制御モードの設定	26
表 9. フルスケールと検出スケール	28
表 10. ディザとインダクタンス測定	32
表 11. I _{MONITOR} ADC の最大値 – 10 進	33
表 12. インダクタンス測定のリセット検出	35
表 13. インダクタンス測定に基づく STATUS のモニタ	35
表 14. STAT ロジック出力ピンの選択	39
表 15. 多機能ステータス・ピン	40
表 16. マスク・ビット	43
表 17. 延長のイネーブル	43

絶対最大定格

$V_M \sim GND$	$-0.3V \sim +42V$
$V_{CP} \sim GND$	$V_M - 0.3V \sim \min(+42V, V_M + 6V)$
$C_{FP} \sim GND$	$V_M - 0.3V \sim V_{CP} + 0.3V$
$C_{FN} \sim GND$	$-0.3V \sim \min(+42V, V_M + 0.3V)$
$CNTL_ \sim GND$	$-0.3V \sim \min(6V, V_{IO} + 0.3V)V$
$OUT_ \sim GND$	$-0.3V \sim V_M + 0.3V$
$PGND \sim GND$	$-0.3V \sim +0.3V$
$CRC_EN \sim GND$	$-0.3V \sim \min(6V, V_{IO} + 0.3V)V$
$STAT_ \sim GND$	$-0.3V \sim V_{IO} + 0.3V$
$ENABLE \sim GND$	$-0.3V \sim V_M + 0.3V$
$\overline{CS} \sim GND$	$-0.3V \sim \min(6V, V_{IO} + 0.3V)V$
$SDI \sim GND$	$-0.3V \sim \min(6V, V_{IO} + 0.3V)V$

$SCK \sim GND$	$-0.3V \sim \min(6V, V_{IO} + 0.3V)V$
$SDO \sim GND$	$-0.3V \sim \min(6V, V_{IO} + 0.3V)V$
$V_{DD} \sim GND$	$-0.3V \sim \min(+2.2, V_M + 0.3)V$
$V_{IO} \sim GND$	$-0.3V \sim +6V$
$FAULT \sim GND$	$-0.3V \sim +6V$
$I_{REF} \sim GND$	$-0.3V \sim \min(+2.2, V_{DD} + 0.3)V$
連続消費電力 (2s2p 基板) ($T_A = +70^\circ C$ 、 $+70^\circ C$ を超える 温度では $34.5mW/^\circ C$ でディレーティング)	2758.6mW
動作温度範囲	$-40^\circ C \sim +125^\circ C$
ジャンクション温度	$+150^\circ C$
保存温度範囲	$-65^\circ C \sim 150^\circ C$
リード温度 (はんだ処理、10s)	$+300^\circ C$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

TQFN 32 – 5mm × 5mm

Package Code	T3255Y+4C
Outline Number	21-100214
Land Pattern Number	90-100082
Thermal Resistance, Single-Layer Board:	
Junction to Ambient (θ_{JA})	-
Junction to Case (θ_{JC})	-
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	29°C/W
Junction to Case (θ_{JC})	1.7°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maximintegrated.com/thermal-tutorial を参照してください。

電気的特性

($V_M = 4.5V \sim 36V$ 、 $V_{IO} = 2.2V \sim 5.25V$ 、 $R_{REF} = 12k\Omega$ 、 $ENABLE =$ ロジック・ハイ、代表値は $T_A = 25^\circ C$ および $V_M = 24V$ における値。制限値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により裏付けられています。「GBD」と記載された仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Supply Voltage Range	V_M		4.5		36	V
Logic Input Supply Voltage	V_{IO}		2.2		5.25	V
Sleep Mode Current consumption	I_{SLEEP}	Enable logic low		4	18	μA

電気的特性（続き）

($V_M = 4.5V \sim 36V$ 、 $V_{IO} = 2.2V \sim 5.25V$ 、 $R_{REF} = 12k\Omega$ 、 $ENABLE =$ ロジック・ハイ、代表値は $T_A = 25^\circ C$ および $V_M = 24V$ における値。制限値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により裏付けられています。「GBD」と記載された仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Nap Mode Current Consumption	I_{NAP}	Enable logic high, Active = 0		210	450	μA
Quiescent Current Consumption	I_{VM}	Enable logic high, Active = 1		7	9	mA
LOGIC LEVEL INPUTS-OUTPUTS						
Input Voltage Level - High	V_{IH}		$0.7 \times V_{IO}$			V
Input Voltage Level - Low	V_{IL}		$0.3 \times V_{IO}$			V
Input Hysteresis	V_{HYS}		$0.15 \times V_{IO}$			mV
Logic Input Pin Pulldown Resistance	R_{PD}	To GND. Pins CNTL_, SCK, SDI, CRC_EN.	70	100	130	$k\Omega$
$\overline{CS}$ Pin Pullup Resistance	R_{PU}	To V_{IO}	70	100	130	$k\Omega$
Logic-Low Output Voltage	V_{OL}	$I_{LOAD} = 5mA$, STAT_ and $\overline{FAULT}$ pin			0.4	V
Logic-High Output Voltage	V_{OH}	$I_{LOAD} = -5mA$	$V_{IO} - 0.4$			V
Enable Voltage Level High	$V_{IH(EN)}$		0.9			V
Enable Voltage Level Low	$V_{IL(EN)}$		0.6			V
Enable Pulldown Input Resistance	$R_{PD(EN)}$		0.8	1.5		$m\Omega$
OUTPUT SPECIFICATIONS						
Output On-Resistance Low Side	$R_{ON(LS)}$	MAX22216	SNSF[1:0] = "00"	0.17	0.330	Ω
			SNSF[1:0] = "01"	0.23	0.45	
			SNSF[1:0] = "10"	0.43	0.83	
		MAX22217		0.43	0.83	
Output On-Resistance High Side	$R_{ON(HS)}$			0.17	0.33	Ω
Output Leakage	I_{LEAK}	Driver OFF	-5		5	μA
Dead Time	t_{DEAD}			0.1		μs
Slew-Rate Control	SRC	SRC[1:0] = "00"	Fast/No limit			V/ μs
		SRC[1:0] = "01"	200			
		SRC[1:0] = "10"	100			
		SRC[1:0] = "11"	50			

電気的特性（続き）

($V_M = 4.5V \sim 36V$ 、 $V_{IO} = 2.2V \sim 5.25V$ 、 $R_{REF} = 12k\Omega$ 、ENABLE = ロジック・ハイ、代表値は $T_A = 25^\circ C$ および $V_M = 24V$ における値。制限値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により裏付けられています。「GBD」と記載された仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
PROTECTION CIRCUITS							
Overcurrent Protection Threshold	OCP	SNSF[1:0] = "00"		4			A
	t _{OCP}	SNSF[1:0] = "01"		2.5			
	OCP	SNSF[1:0] ="10"		1.2			
Overcurrent Protection Blanking Time	TOCP			1.45	2.1	2.85	μs
UVLO Threshold on V _M	UVLO	Rising		3.75	4	4.25	V
		Falling			3.88	4.12	
Thermal Protection Threshold Temperature	T _{SD}				165		°C
Thermal Protection Temperature Hysteresis	T _{SD_HYST}				20		°C
Open-Load Detection Current	I _{OL_LS}	OL_EN_ = 1	HSnLS = 0, Pulldown current	75		135	μA
	I _{OL_HS}		HSnLS = 1, Pullup current	-50	-22		
Open-Load Detection Voltage	V _{OL_LS}	OL_EN_ = 1	HSnLS = 0	1.7		2.4	V
	V _{OL_HS}		HSnLS = 1	V _M - 2.4	V _M - 1.75		
Open-Load Detect Deglitch Time	t _{OL}			189	200	211	μs
LINEAR REGULATORS / V _{DD} REGULATOR							
V _{DD} Regulator Output Voltage	V _{VDD}	I _{LOAD} = 20mA		1.868			V
V _{DD} Current Limit	IV _{DD_LIM}			20			mA
LINEAR REGULATORS / V _{IO} REGULATOR - (for Stand-Alone USE CASE)							
V _{IO} Regulator Output Voltage	V _{VIO}	EN_LDO = 1, I _{LOAD} = 10mA	V5nV3 = 1	4.8	5	5.2	V
			V5nV3 = 0	3.15	3.3	3.4	
V _{IO} Current Limit	IV _{IO_LIM}	Total current. Internal loads account for maximum 10mA		10			mA
CONTROL							
Internal Oscillator Frequency	FCLK			23.7	25	26.3	MHz
PWM Blanking Time	t _{BLK}	SRC[1:0] = "11", T_BLANKING[1:0] = "00"		2.28			μs
	TBLK	SRC[1:0] = "00", T_BLANKING[1:0] = "00"		1.16			
CDR Maximum Full Scale - LS or FB	IFS _{MAX}	MAX22216 GAIN[1:0] = "00" - LS or FB config. (Note 1)	SNSF[1:0] = "00"	3.2			A
			SNSF[1:0] = "01"	2.1			
			SNSF[1:0] = "10"	1			

電気的特性 (続き)

($V_M = 4.5V \sim 36V$ 、 $V_{IO} = 2.2V \sim 5.25V$ 、 $R_{REF} = 12k\Omega$ 、 $ENABLE = \text{ロジック・ハイ}$ 、代表値は $T_A = 25^\circ C$ および $V_M = 24V$ における値。制限値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により裏付けられています。「GBD」と記載された仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
CDR Maximum Full Scale - HS	IFS _{MAX}	MAX22216 GAIN[1:0] = "00" - HS config. (Note 1)	SNSF[1:0] = "00"		1.5		A
		MAX22216 GAIN[1:0] = "00" - HS config. (Note 1)	SNSF[1:0] = "01"		1		
			SNSF[1:0] = "10"		0.5		
CDR Maximum Full Scale - LS or FB	IFS _{MAX}	MAX22217 GAIN[1:0] = "00" - LS or FB config. (Note 1)			1		A
CDR Maximum Full Scale - HS	IFS _{MAX}	MAX22217 GAIN[1:0] = "00" - HS config. (Note 1)			0.5		A
CDR Constant	K _{CDR}	MAX22216			1.017		mA
		MAX22217			0.339		
VDR Constant	K _{VDR}				30.518		μV
Resistance Measurement Constant	K _R				8.437		mΩ
REF Pin Resistor Range	R _{REF}	See Note 2			12kΩ ± 5%		kΩ
Supply Voltage (V _M) Monitoring Constant	K _{VM}				9.73		mV
CONTROL / ACCURACY (Note 3)							
Current Control and Monitor - Accuracy	DCDR	MAX22216, GAIN[1:0] = "00"	I _{OUT} ≥ 250mA, SNSF[1:0] = "00"	-5		5	%
			I _{OUT} ≥ 140mA, SNSF[1:0] = "01"	-5		5	
			I _{OUT} ≥ 70mA, SNSF = "10"	-5		5	
		MAX22217, GAIN[1:0] = "00"	I _{OUT} ≥ 70mA	-5		5	
FUNCTIONAL TIMINGS							
Disable Time	t _{DIS}	Enable falling edge to OUT_ tristated				20	μs
Enable Time	t _{EN}	From enable logic high to normal operation (see Note 4 for details)				0.8	ms
Fixed Wake-Up Time	t _{FWU}	From active = 1 to normal operation (excluding user OTP download) - (Note 5)				1.1	ms
Variable Wake-Up Time	t _{VWU}	Time required to download one user-configurable OTP register (2 bytes). (Note 5)				2.56	μs
SPI SPECIFICATIONS							
SCK Clock Period	t _{CLK}	V _{IO} > 3V		100			ns
		V _{IO} < 3V		140			
SCK High Time	t _{CH}			20			ns
SCK Low Time	t _{CL}			20			ns

電氣的特性（続き）

($V_M = 4.5V \sim 36V$ 、 $V_{IO} = 2.2V \sim 5.25V$ 、 $R_{REF} = 12k\Omega$ 、 $ENABLE =$ ロジック・ハイ、代表値は $T_A = 25^\circ C$ および $V_M = 24V$ における値。制限値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により裏付けられています。「GBD」と記載された仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
$\overline{CS}$ SCK Valid before or after change of $\overline{CS}$	t_{CC}			20			ns
$\overline{CS}$ Pulse-Width High	t_{CSH}	See also Note 6		20			ns
SDI Setup Time before SCK Rising Edge	t_{DS}			10			ns
SDI Hold Time after SCK Rising Edge	t_{DH}			10			ns
SDO Propagation Delay	t_{DO}	$C_{LOAD} = 15pF$	$V_{IO} > 3V$			40	ns
			$V_{IO} < 3V$			75	

Note 1: 推奨「CDR 最大フルスケール」は、デバイスの特性評価とテストに使用した最大電流の仕様を規定します。過電流保護制限値と熱制限値を超えなければ、このデバイスは IFS_{MAX} を超える電流を供給できます。

Note 2: 電流制御とモニタの精度は、 I_{REF} ピンに接続された抵抗の精度に正比例します。精度が必要とされる場合は、必ず許容誤差 $\pm 1\%$ 以下の抵抗を使用してください。このデータシートの精度データは、 $R_{REF} = 12k\Omega$ の理想抵抗の使用を前提としています。

Note 3: ベンチでの特性評価によって確認されています。出荷テストの対象外です。 $R_{REF} = 12k\Omega$ 。

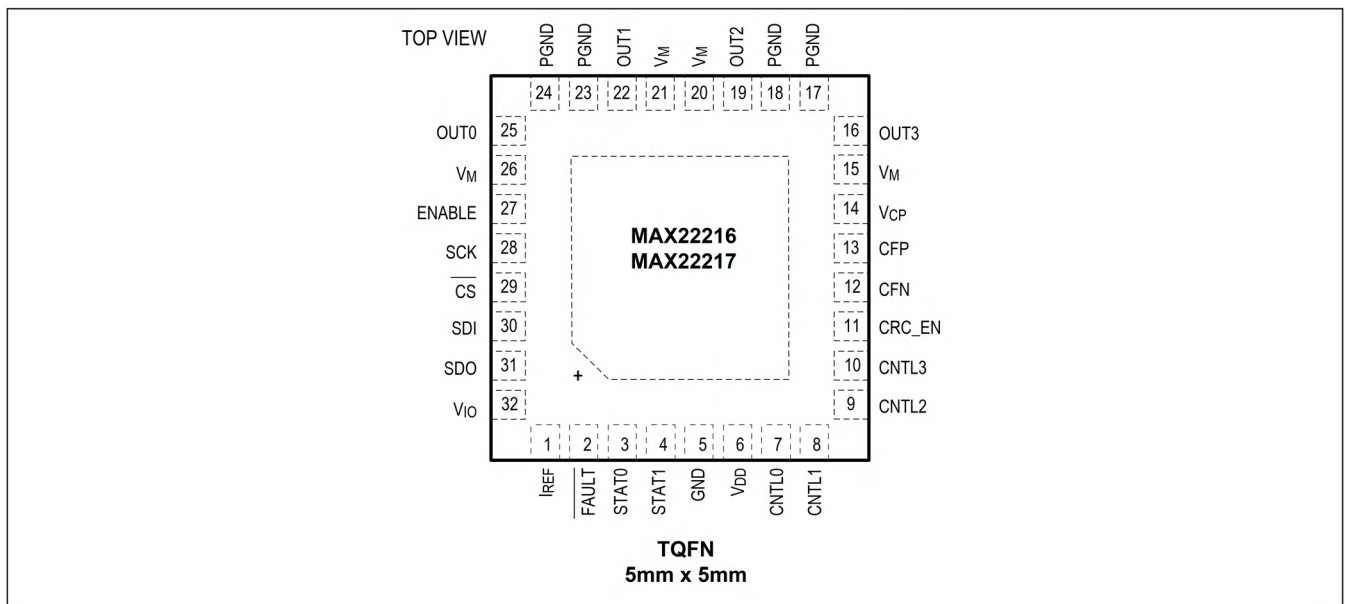
Note 4: MAX22216/MAX22217 がパワーアップ・シーケンスを確実に完了できるようにするには、イネーブル・コマンドを $0.8ms$ 以上ロジック・ハイに保つ必要があります。コマンドの長さが $0.8ms$ 未満の場合は、デバイスが予期できない状態になることがあります。

Note 5: 合計ウェイクアップ時間 (t_{WU}) は、固定時間要素 (T_{SWU}) と可変時間要素 ($N \times T_{VWU}$) の合計によって与えられます。可変時間要素の N は、OTP バンクに書き込まれるユーザ設定可能な OTP レジスタ (各 2 バイト) の合計数です ([パワーアップ時に OTP ダウンロードを行うためのウェイクアップ時間](#)のセクションを参照)。

Note 6: フォルト状態をクリアする必要がある場合は常に、 T_{CSH} を長くする必要があります。その場合は T_{CSH} を $1\mu s$ 以上とすることを推奨します。

ピン配置

MAX22216/MAX22217



端子説明

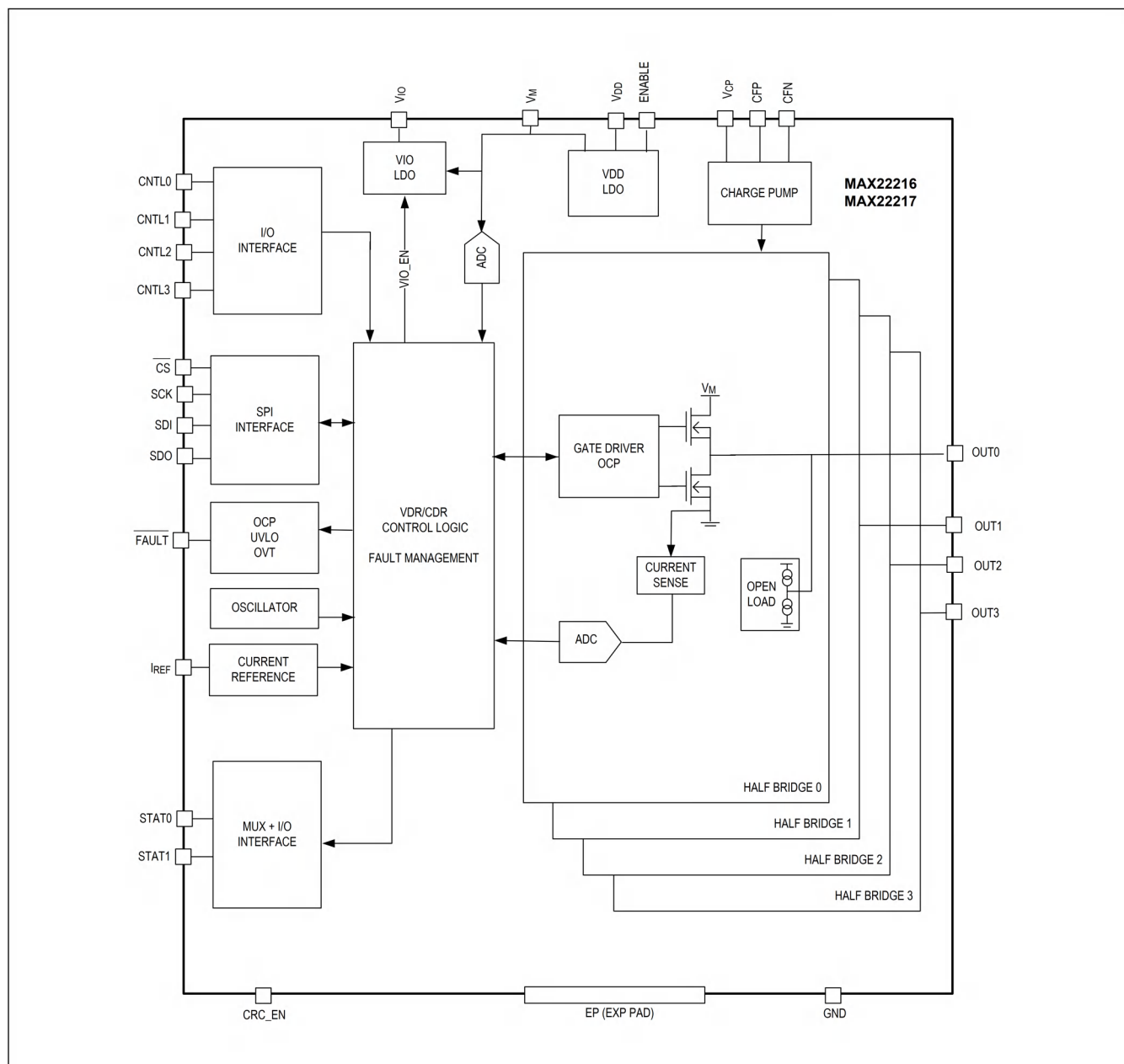
ピン	名称	説明	リファレンス 電源	タイプ
15, 20, 21, 26	V _M	電源電圧入力。V _M ピンは、すべて基板に短絡する必要があります。 0.1μFのローカル・セラミック・コンデンサをピン21と20、およびピン26と15の近くに配置して、V _M ピンをGNDにバイパスします。そのアプリケーションに必要な場合は、電解リザーバ・タンク・コンデンサを追加してください（代表値 > 10μF）。		Power
32	V _{IO}	内部リニア・レギュレータがディスエーブルされている場合 (EN_LDO = 0のデフォルト状態)は、I/O電源入力電圧ピンです。 SPIベースのアプリケーションでコントローラとMAX22216/MAX22217間の通信を正しく行うには、V _{IO} を外部MCUの電源電圧に接続します。V _{IO} は、100nF以上のコンデンサでGNDにバイパスしてください。 内部リニア・レギュレータがイネーブルされている場合 (EN_LDO = 1)は、電圧レギュレータ出力です。この設定はスタンダアロンのOTPベース・アプリケーションに使用します。リニア・レギュレータ出力は3.3Vまたは5Vに設定できます。レギュレータを安定させるには、GNDとの間に0.47μF以上のバイパス・コンデンサを接続してください。最大外部負荷は10mAです。		
6	V _{DD}	1.8V LDOレギュレータ出力。GNDは2.2μFのセラミック・コンデンサでバイパスしてください。		Power
12	C _{FN}	チャージ・ポンプ・コンデンサのN側。容量22nF、定格V _M のセラミック・コンデンサをC _{FN} とC _{FP} の間に接続します。		Power
13	C _{FP}	チャージ・ポンプ・コンデンサのP側。容量22nF、定格V _M のセラミック・コンデンサをC _{FN} とC _{FP} の間に接続します。		Power

端子説明 (続き)

ピン	名称	説明	リファレンス 電源	タイプ
14	V _{CP}	チャージ・ポンプ出力。1μF、5V 以上のセラミック・コンデンサを V _M に接続します。		Power
17, 18, 23, 24	PGND	電源グランド。PGND ピンはすべて基板に短絡する必要があります。		GND
5	GND	信号グランド。		GND
25	OUT0	チャンネル 0 のドライバ出力。		Output
22	OUT1	チャンネル 1 のドライバ出力。		Output
19	OUT2	チャンネル 2 のドライバ出力。		Output
16	OUT3	チャンネル 3 のドライバ出力。		Output
1	I _{REF}	電流レギュレーション・リファレンス。CDR モードで全チャンネルのフルスケール電流を設定するには、I _{REF} と GND の間に精度 1% の 12kΩ の抵抗を接続します。		Analog Input
29	$\overline{\text{CS}}$	SPI チップ・セレクト (アクティブ・ロー)。内部プルアップ電流。	V _{IO}	Logic Input
28	SCK	SPI クロック入力。書き込み動作時は、立上がりエッジでデバイスにデータがクロック入力されます。読み出し動作時は、立下がりエッジでデータがデバイスからクロック出力されます。GND への内部プルダウン。	V _{IO}	Logic Input
30	SDI	コントローラからの SPI データ入力。GND への内部プルダウン。	V _{IO}	Logic Input
31	SDO	SPI データ出力。	V _{IO}	Logic Output
7	CNTL0	制御ロジック入力。GND への内部プルダウン。大きなノイズによる誤トリガを避けるために、このピンを使用しない場合は GND に接続することを推奨します。	V _{IO}	Logic Input
8	CNTL1	制御ロジック入力。GND への内部プルダウン。大きなノイズによる誤トリガを避けるために、このピンを使用しない場合は GND に接続することを推奨します。	V _{IO}	Logic Input
9	CNTL2	制御ロジック入力。GND への内部プルダウン。大きなノイズによる誤トリガを避けるために、このピンを使用しない場合は GND に接続することを推奨します。	V _{IO}	Logic Input
10	CNTL3	制御ロジック入力。GND への内部プルダウン。大きなノイズによる誤トリガを避けるために、このピンを使用しない場合は GND に接続することを推奨します。	V _{IO}	Logic Input
3	STAT0	ステータス・ロジック出力。	V _{IO}	Logic Output
4	STAT1	ステータス・ロジック出力。	V _{IO}	Logic Output
11	CRC_EN	ロジック入力。SPI 通信の CRC (巡回冗長検査) をイネーブルするには、CRC_EN をロジック・ハイにします。GND への内部プルダウン。	V _{IO}	Logic Input
2	$\overline{\text{FAULT}}$	フォルト状態でロジック・ローになります。オープンドレイン出力には外付けのプルアップ抵抗が必要です。		Open Drain Output
27	ENABLE	イネーブル・ピン。V _M まで HV ロジック入力ピンと互換です。デバイスをイネーブルするには ENABLE をロジック・ハイにし、低消費電力のスリープ・モードにするには ENABLE をロジック・ローにします。内部プルダウン抵抗。		Logic Input
–	EP	露出パッド。露出パッド (サーマル・パッド) は基板 GND に電気的に接続する必要があります。良好な放熱を確保するために、複数層で大面積グランド・プレーンを用い、それらのプレーンを複数のビアで接続してください。		GND

機能図

機能図



詳細

MAX22216/MAX22217 はユーザ設定可能な 36V ハーフブリッジを 4 つ内蔵しています。このデバイスは、主にオンオフ・ソレノイド・バルブ、DC モータ、比例バルブ、双安定バルブ、リレーなどの誘導負荷を駆動することを目的としており、MAX22216 はハーフブリッジあたり最大 3.2A_{FS}、MAX22217 はハーフブリッジあたり最大 1A_{FS} の電流を供給できます。MAX22216/MAX22217 は -40°C ~ +125°C の周囲温度で動作します。

MAX22216/MAX22217 のハーフブリッジは 2 種類の使用例に対応しています。最初の使用例では、シリアル・ペリフェラル・インタフェース (SPI) 経由で構成設定を入力でき、この設定はいつでも変更可能です。もう 1 つの使用例では、ワンタイム・プログラマブル (OTP) レジスタに設定を保存して、起動時にロードできます。これにより、スタンドアロン動作が可能になります。レジスタはユーザが設定できます。OTP 書込み手順は、温度や電圧の条件が適切に制御されている工場で行う必要があります。

複数の負荷条件に対応できるよう、ハイサイドおよびローサイド両方のシングルエンド駆動動作がサポートされています。

ハーフブリッジのペアは、ブリッジ接続負荷 (BTL) 構成で負荷を駆動するように設定することも可能です。代表的な例としては、比例ソレノイド・バルブ、双安定バルブ、DC モータなどがあります。

各種の設定は完全に独立したものであるので、MAX22216/MAX22217 デバイスから様々なタイプの負荷を同時に駆動することができます。例えば、フルブリッジ構成のシングルエンド制御バルブ 2 個と双安定バルブ 1 個を、同じ MAX22216/MAX22217 から駆動することができます。

電流容量を増やすためにチャンネルを並列にすることも可能です。最大限の柔軟性を実現するために、2 つ、3 つ、または 4 つすべてのハーフブリッジを並列に接続することで、電流容量をそれぞれ 2 倍、3 倍、4 倍にすることができます。

電圧制御方式と電流制御方式の両方に加えて、混合モードもサポートされています。

電圧モードでは 2 つのレギュレーション方法がサポートされており、各駆動チャンネルは独立して設定することができます。

- **VDR_DUTY** ではユーザが目標デューティ・サイクルを設定します。このモードでは、負荷に加わる実際の電圧が V_M 電源に直接依存します。
- **VDR モード (VDRnVDRDUTY)** ではユーザが負荷の目標電圧を設定します。内部回路が電源電圧を検出して、必要な電圧が得られるように出力デューティ・サイクルを補正します。

電流モード (CDR モード) では出力電流が制御されます。電流は内部で検出されて、コントローラにフィードバックされ、正確なクローズド・ループ・レギュレーションを行います。また、比例ゲインと積分ゲインを設定することで、定常状態の誤差と動的性能を最適化できます。CDR モードのリファレンス電流は、 I_{REF} ピンに接続された抵抗によって決まります。したがって、 I_{REF} ピンと **GND** の間に正確な 12k Ω 抵抗を接続する必要があります。

MAX22216/MAX22217 は、以下に示すような、ソレノイドと DC モータの駆動制御を最適化するための機能を内蔵しています。

- 省電力とソレノイド・バルブの最適駆動を実現するマルチレベル駆動制御法 (励磁時間を設定可能な励磁およびホールド駆動)。
- バルブの作動/停止をスムーズにして騒音を減らす、プログラマブルな電圧/電流ランプ (RAMP)。
- 小さいリップルを DC レベルに重ねることによって静止摩擦とヒステリシスの影響を軽減する、プログラマブル・ディザ (DITH)。
- 電圧駆動モードでモータを駆動する DC モータ・コントローラ。内部リミッタ回路によって突入電流とストール電流が制限されます。
- 消磁電流の正確かつ安全な制御を実現する、プログラマブルな消磁電圧 (DC_H2L) (BTL 構成時のみ)。

システムの信頼性向上や予防保全のために、高度な診断機能を使用することもできます。特に、このデバイスは以下のような機能を備えています。

- プランジャ動作検出 (DPM)。励磁フェーズでプランジャの動作を検出し、プランジャがスタックしている場合はフォルトをレポートすることを目的としています。
- オン/オフ・ソレノイド・バルブの状態を検出するために使用できるインダクタンス測定回路。
- 診断および予防保全のための反応時間と動作時間の測定。
- 開放負荷検出 (OL)。
- シリアル・インタフェース (SPI) を通じたリアルタイム電流モニタリング。

最後に、MAX22216/MAX22217 は、過電流検出 (OCP)、過熱保護 (OVT)、低電圧ロックアウト (UVM) を含むフルセットの保護機能を備えています。マスクされていないフォルトが検出された場合はフォルト・インジケータ・ピンがアサートされて、専用レジスタにフォルト情報が記録されます。

動作モードの概要

シングルエンド動作

この構成ではシングルエンド・モードで負荷が駆動され、他方の端子は正のレール（ローサイド駆動構成時）または GND（ハイサイド構成時）に接続されます。

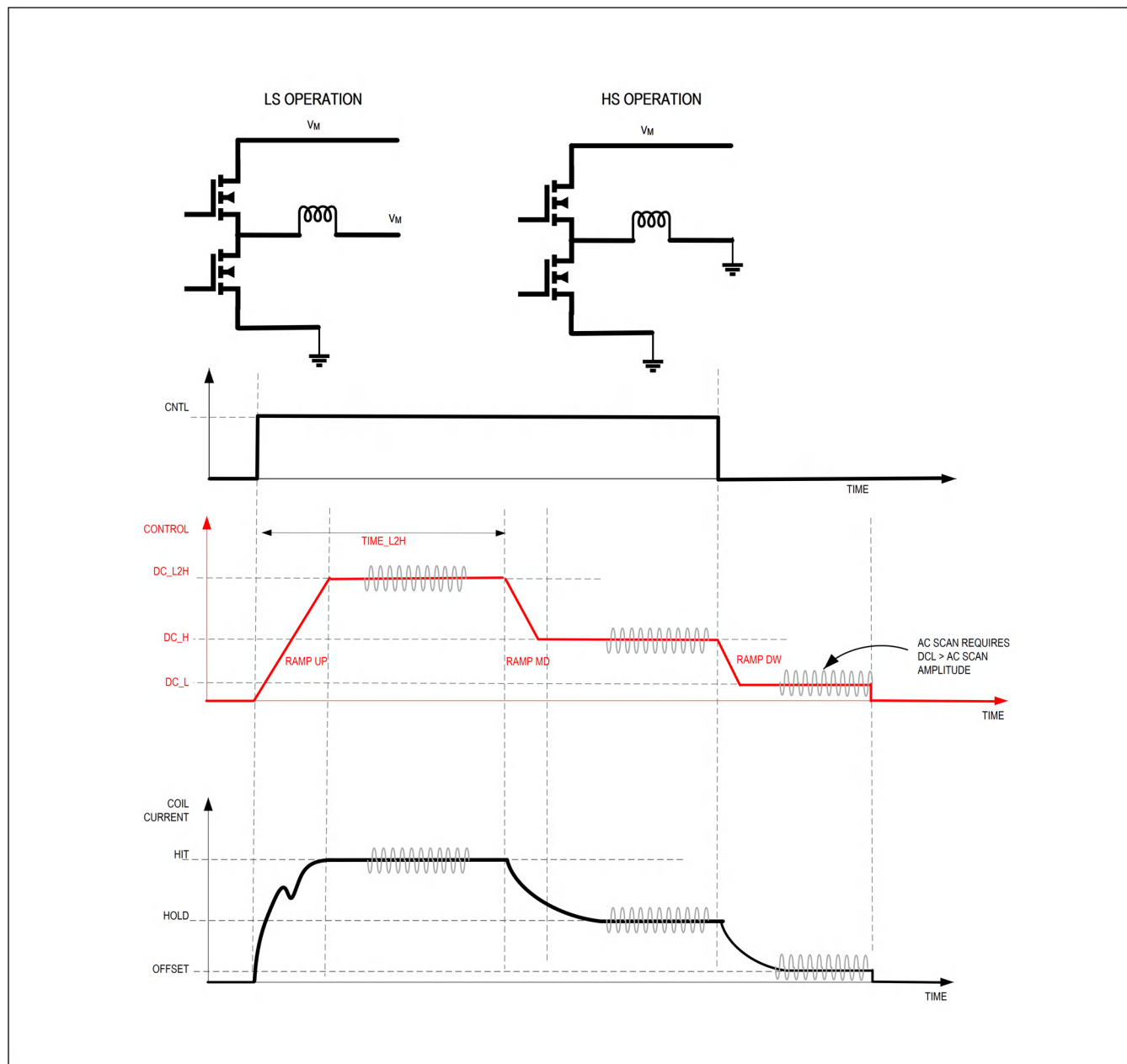


図 1. シングルエンド構成

図 1 に、シングルエンド・モードでの代表的なマルチレベル駆動シーケンスを示します。CNTL 信号（つまりロジック入力、または制御レジスタ内の対応ビット）は、図 1 に示すようにソレノイドを作動／停止させます。

以下のパラメータは、SPI（SPI ベースで使用する場合）または OTP（スタンドアロンで使用する場合）を使ってユーザが設定できます（[レジスタ・マップ](#)のセクションを参照）。

ローサイド／ハイサイド駆動設定

- 励磁ハイレベル：DC_L2H[15:0]
- ホールド・レベル：DC_H[15:0]
- ローレベル：DC_L[15:0]。ローレベル電圧設定は、主にインダクタンス測定（AC スキャン）を意図したものです。
- 励磁時間：TIME_L2H[15:0]
- 通電／通電停止ランプ・スロープ：RAMP[7:0]
- AC スキャン／ディザの振幅と周波数（全チャンネルに対しグローバルな U_AC_SCAN[14:0]と F_AC_SCAN[11:0]）

DC レベルは、必要とされる制御方針に応じて電圧、デューティ・サイクル、または電圧を基準に設定されます。混合モード（例えば電圧モードの DC_L2H や、電流モードの DC_H）もサポートされています。

ブリッジ接続負荷動作（フルブリッジ）

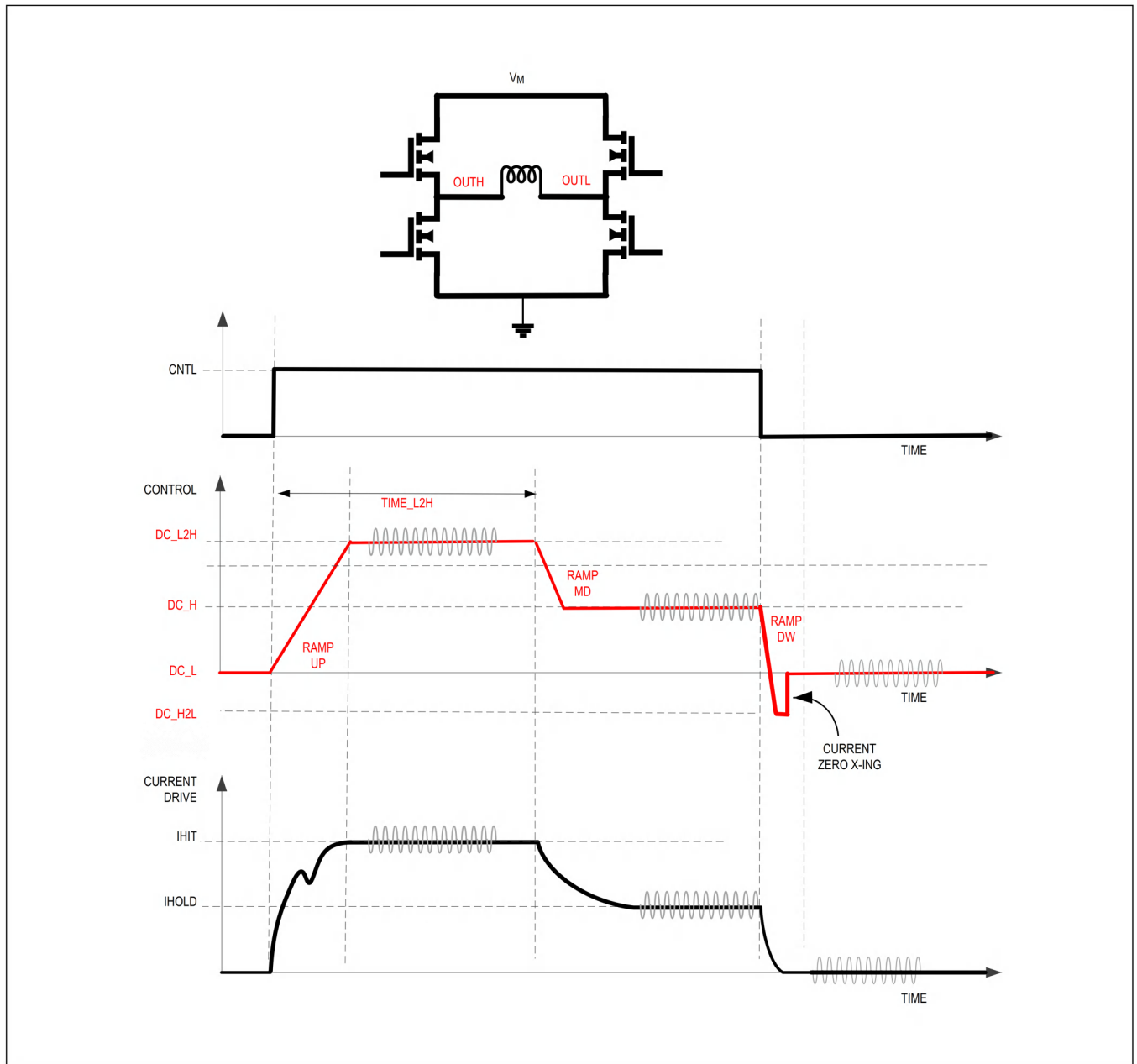


図 2. ブリッジ接続負荷構成

図 2 に、ブリッジ接続負荷ソレノイド（双安定バルブや比例バルブなど）の代表的なマルチレベル駆動シーケンスを示します。CNTL 信号（つまりロジック入力または制御レジスタ内の対応ビット）は、図 2 に示すようにソレノイドを作動/停止させます。

以下のパラメータは、SPI（SPI ベースで使用する場合）または OTP（スタンドアロンで使用する場合）を使ってユーザが設定できます（レジスタ・マップのセクションを参照）。

ブリッジ接続負荷駆動設定

- 励磁ハイレベル : **DC_L2H[15:0]**
- ホールド・レベル : **DC_H[15:0]**
- 消磁電圧 : **DC_H2L[15:0]**。駆動電圧を元に戻すことによってコイルを消磁できます。電流の反転を防ぐために、コイル電流がゼロに近付くと DC_H2L は自動的にデアサートされます。DC_H2L は全チャンネルに対しグローバルです。
- ローレベル : **DC_L[15:0]**。ローレベル電圧（通常はゼロに設定）
- 励磁時間 : **TIME_L2H[15:0]**
- 通電／通電停止ランプ・スロープ : **RAMP[7:0]**
- AC スキャン／ディザの振幅と周波数 : (**U_AC_SCAN[14:0]**と **F_AC_SCAN[11:0]**) 全チャンネルに対しグローバル。

電圧モードでのみ設定可能な消磁レベル (DC_H2L) を除き、すべての DC レベルは、必要とされる制御方針に応じて電圧、デューティ・サイクル、または電流を基準に設定されます。混合モード（例えば電圧モードの DC_L2H や、電流モードの DC_H）もサポートされています。

DC モータの駆動

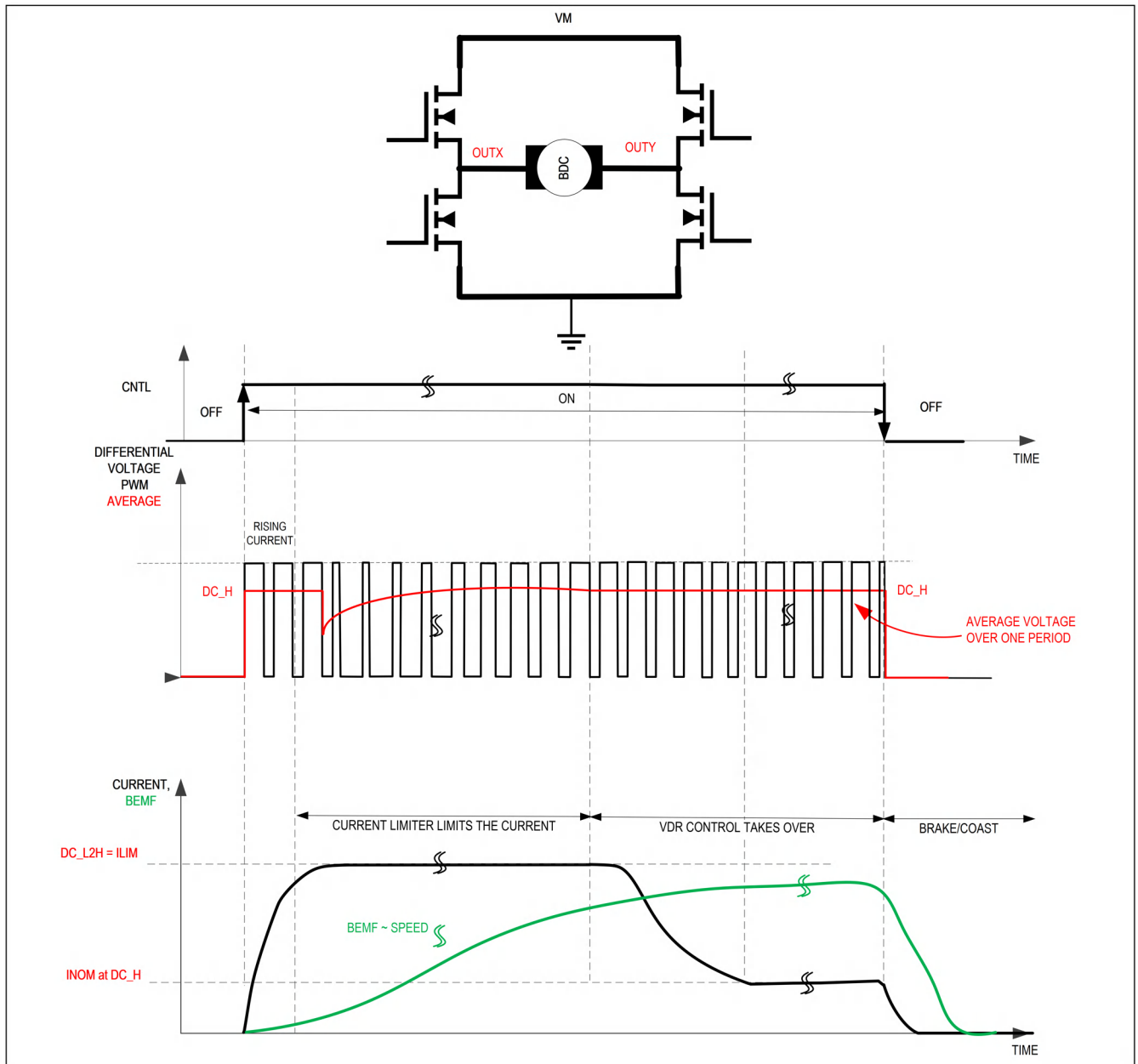


図 3. DC モータ

図 3 は、双方向 DC モータ使用時の MAX22216/MAX22217 の駆動信号を示しています（一方方向 DC モータを駆動する場合も同様の駆動方法を実行できます）。CNTL 信号が加えられると（ロジック入力から、または SPI 経由）、コントローラは最初に公称電圧レベル（DC_H）を加えます。スタートアップ時の突入電流が、プログラマブルな電流リミッタ・スレッシュホールド（DC_L2H）を超える場合でも、PWM 出力電圧を減らして突入電流を実効的に安全なレベルに制限することにより、電流リミッタは引き続きその機能を維持します。モータの公称回転数では、自動的に公称電圧（DC_H）が加えられるように BEMF が電流を制限します。

電流リミッタは常にイネーブルされています。特に、ストール状態となった場合は常にリミッタがストール電流を制限して、モータとドライバにとって安全な値に電流を抑えます。電流が DC_L2H レジスタで定義された制限値を超えると、ループがモータに加わる電圧を減らして、電流を必要とされる安全値まで実効的に制限します。

以下のパラメータはユーザが設定できます。

ブラシ付き DC モータの設定

- DC モータの駆動モード：CTRL_MODE[1:0] = 10
- 電流リミッタのスレッシュホールド：DC_L2H[15:0]
- 駆動電圧レベル：DC_H[15:0]
- ブレーキ電流レベル：TIME_L2H[15:0]

MAX22216/MAX22217 はモータのブレーキ電流用の電流リミッタを備えています。デバイスが過電流保護制限機能を備えている場合は、この機能により最短時間でモータを減速できます。詳細については[ブレーキ電流リミッタ機能](#)のセクションを参照してください。出力 PWM の生成方法が原因で、実際の出力周波数は設定された F_PWM の倍になります。また、サイン波ジェネレータがこの動作モードに与える影響は、HiZ 状態でノイズが大きくなることだけです。

DC モータ駆動はシングルエンド・モードでも使用できますが、その出力は CDR の MIN_T_ON の影響を受け（LS が最小電圧で HS が最大電圧となる）、BRAKE が機能しなくなります。

機能の説明

MAX22216/MAX22217 の SPI または OTP 構成

[動作モード](#)のセクションに示したように、MAX22216/MAX22217 は非常に柔軟な設定が可能なデバイスであり、様々なアプリケーションと使用例に対応しています。

構成設定を MAX22216/MAX22217 に入力する方法は 2 つあります。SPI を通じて行う方法と OTP を通じて行う方法です。

SPI 構成では、パワーアップ後にシリアル・ペリフェラル・インタフェース（SPI）を通じて揮発性レジスタへ書込みを行う必要があります。

OTP 構成ではワンタイム・プログラマブル（OTP）レジスタへ書込みを行い、その内容がパワーアップ時のデフォルト構成設定として使われます。OTP 書込みは、工場の管理されたテスト・セットアップで行う必要があります。OTP 構成の使用時は、外部からの制御信号を最小限に抑えてスタンダアロン・モードで MAX22216/MAX22217 を動作させることができます。

詳細については [MAX22216/MAX22217 の設定方法](#)のセクションを参照してください。

イネーブル・ロジック入力（ENABLE）

イネーブル・ピンは V_M を定格とするロジック入力ピンです。

ENABLE ロジックをローにすると、デバイスはディスエーブルされます。これはデバイスの最小消費電力状態です。

ENABLE ロジックをハイにすると、デバイスがイネーブルされます。ENABLE ピンをイネーブルする場合は、パワーアップ・シーケンスを完了させて MAX22216/MAX22217 が予期せぬ状態になるのを防ぐために、TEN 以上の時間にわたってハイに維持する必要があります。

ENABLE ピンが能動的に駆動されない場合は、プルダウン抵抗が MAX22216/MAX22217 をディスエーブルします。

スタンダアロン動作モードでは、ENABLE ピンを外部で正のレール（ V_M ）に接続できます。それにより、デバイスをパワーアップ／パワーダウンするだけでソレノイド・バルブを作動／停止させることができます（[スタンダアロン \$V_M\$ スイッチング](#)のセクションを参照）。

ナップ・モードとアクティブ・ビット

GLOBAL_CFG レジスタの ACTIVE ビットは、MAX22216/MAX22217 をアクティブ／非アクティブにします。ACTIVE = 「0」で ENABLE がロジック・ハイの場合、デバイスはナップ・モードになります。このモードでは消費電力が最小限に抑えられて（[電氣的特性](#)の表を参照）シーケンサはディスエーブルされ、ドライバ出力がスリーステートになります。SPI ベースのアプリケーションでは、これがパワーアップ時のデフォルト状態です。通常動作に入るには、デバイスの設定後に ACTIVE ビットをセットする必要があります。

OTP ベースのアプリケーションでは、このビットをハイに設定してスタンダアロン動作をイネーブルする必要があります。

V_{IO} ピンの説明 (V_{IO})

V_{IO} 電圧は、ロジック入力および出力信号用のリファレンスです。V_{IO} ピンは、STATUS_CFG[15:0]レジスタの 2 つのビットに書込みを行うことによって設定できます。

EN_LDO は、内部レギュレータのイネーブル・ビットです。

EN_LDO = 「0」の場合 (デフォルト) は V_{IO} を外部から供給する必要があり、V_{IO} は電源電圧入力ピンになります。

EN_LDO = 「1」の場合は内部リニア・レギュレータがオンになり、V_{IO} ピンは出力になります (3.3V または 5V に設定可能)。

通常、SPI ベースのアプリケーションでは V_{IO} ピンが入力として設定され、MAX22216/MAX22217 とコントローラ間の通信をイネーブルするために外部コントローラの電圧源に接続されます。

SPI を使用せず、書込みも最小限に抑える必要がある OTP ベースのアプリケーション (スタンドアロン・モード) では、内部リニア・レギュレータをイネーブルして内部 I/O 回路へ給電できます。レギュレータの出力電圧は、V5_nV3 ビットの選択に応じて 3.3V または 5V に設定できます。このレギュレータは OTP プログラミング機能を介してのみアクティブにでき、デバイスのリブート後に使用することができます。

CNTL ピンと CNTL ビット

動作モードの概要のセクションに示すように、CNTL ピンのステータスの変化、または STATUS レジスタの CNTL ビットの変化が、シーケンスを開始したり終了させたりします (ただし、電源電圧自体をコマンド信号として使用するスタンドアロン V_M スイッチング制御の場合を除きます。これについては **スタンドアロン V_M スイッチング** のセクションを参照してください)。

CNTL ピンの極性は GLOBAL_CFG 設定レジスタの CNTL_POL ビットで変更できますが、これは CNTL ビットの極性には影響しません。正の極性にするには CNTL_POL = 「0」に設定し (CNTL はアクティブ・ハイ)、負の極性にするには CNTL_POL = 「1」に設定します (CNTL はアクティブ・ロー)。フルブリッジ構成で CNTL_POL = 「1」を使用する特別なケースでは、CNTL ピンは極性ではなく制御チャンネルを変更します。例えば、CNTL0 ピンが CH1 出力を制御し、CNTL1 ピンが CH0 を制御します。CH2 と CH3 のペアについても同様です。この設定は CNTL ピンだけに影響するため、他のすべての設定は同じです。

STATUS レジスタの CNTL ビットと CNTL ピンは論理と設定になっています。このビットまたは入力信号のどちらかがアクティブな場合は、シーケンサがイネーブルされます。これは、1 つの方法を使ってチャンネルをアクティブにした場合は、他方の制御方法でそのチャンネルをオフにできないことも意味します。SPI を介して MAX22216/MAX22217 を制御する場合は、CNTL ピンを非アクティブに設定する必要があります (ノイズによる誤トリガを防ぐために CNTL ロジック・ピンを GND に接続することを推奨します)。

逆に、ロジック入力 CNTL のみを介して MAX22216/MAX22217 を制御する場合は、CNTL ビットを非アクティブ (デフォルト状態) に設定する必要があります。

ハードウェア構成

MAX22216/MAX22217 は高い柔軟性を備えています。GLOBAL_CFG レジスタのチャンネル・ハードウェア構成ビット CHS[3:0]は、MAX22216/MAX22217 のハーフブリッジのハードウェア構成に合わせて設定する必要があります。

最大電流値は、並列のハーフブリッジまたはフルブリッジ構成を使って増やすことができます。チャンネル同士は IC 内で接続されていないので、PCB 上で接続する必要があります。フルブリッジ・モードではチャンネルのペアを設定して、負荷を差動で駆動することもできます (ブリッジ接続負荷)。設定可能なハードウェア構成の概要を表 1 に示します (HB = ハーフブリッジ、FB = フルブリッジ)。

表 1. ハードウェア構成

CHS	SUPPORTED CONFIGURATIONS	HARDWARE SETTINGS
0x0	4x Independent half-bridges (HB)	OUT0, OUT1, OUT2, OUT3
0x1	3x Parallel HBs + 1x Independent HB	OUT0 = OUT1 = OUT2, OUT3
0x2	2x Parallel HBs + 2x Independent HBs	OUT0 = OUT1, OUT2, OUT3
0x3	2x Parallel HBs + 2x Parallel HBs	OUT0 = OUT1, OUT2 = OUT3
0x4	4x Parallel HBs	OUT0 = OUT1 = OUT2 = OUT3
0x5	2x Independent Full Bridges (FB)	OUT0 vs OUT1, OUT2 vs OUT3
0x6	1x Independent FB + 2x Independent HBs	OUT0 vs OUT1, OUT2, OUT3
0x7	1x Independent FB + 2x Parallel HB	OUT0 vs OUT1, OUT2 = OUT3

表 1. ハードウェア構成（続き）

0x8	1x Parallel FB	OUT0 = OUT1 vs OUT2 = OUT3
-----	----------------	----------------------------

チャンネルを並列にした場合、MAX22216/MAX22217 はチャンネル・インデックスが小さい方のチャンネルの構成設定を使用します。例えば、表 1 の 0x3 構成では、チャンネル 0 とチャンネル 2 の構成設定が並列のハーフブリッジを制御し、チャンネル 1 とチャンネル 3 の構成設定は無視されます。

それぞれのハードウェア構成におけるアクティブ制御レジスタ (CFG_) とアクティブ・コマンド信号 (CNTL_) の概要を表 2 と表 3 に示します。設定レジスタには、シーケンサが使用するすべてのパラメータ（動作モードのセクションを参照）と、以下で説明するその他の設定パラメータが保存されます。それぞれの CFG は特定の CNTL チャンネルによって制御され（CFG_0 は CNTL0 によって制御される）、制御はチャンネル構成に基づいて行われます。

表 2 に示すように、CNTL 信号は対応するチャンネルをイネーブル (CNTL = 1) またはディスエーブル (CNTL = 0) します。

イネーブル/ディスエーブル信号は、ハードウェア・ベース（ロジック I/O）またはソフトウェア・ベース（GLOBAL_CTRL レジスタの CNTL ビット）とすることができます。HW 制御と SW 制御は OR 設定です。ロジック CNTL 入力、または GLOBAL_CTRL レジスタの対応ビットがロジック・ハイの場合は、そのチャンネルがイネーブルされます。したがって、SW ベースの制御ではロジック入力ピンを接地する（ロジック・ローにする）必要があります。逆に、HW 制御では制御ビットをゼロ（パワーアップ時のデフォルト）に設定する必要があります。

フルブリッジ動作時は、実効 PWM 周波数を 2 倍にしてリップルを最小限に抑えられるように、中央揃えの PWM チョッピング法を使用します。この手法では、負荷の電圧が 0 の状態は、ブリッジ接続負荷両側のデューティ・サイクルを 50% にした場合に相当します。更に、表 3 に示すように、制御信号 (CNTLx, CNTLy) が設定レジスタを決定します。

表 2. 制御表

OUTPUT SETTINGS			ACTIVE CONFIGURATION REGISTER/CONTROL CHANNEL			
CHS[3:0]	OUTPUT CONFIGURATION		CH0 OUTPUT	CH1 OUTPUT	CH2 OUTPUT	CH3 OUTPUT
0x0	4x Independent HB		CFG_0/CNTL0	CFG_1/CNTL1	CFG_2/CNTL2	CFG_3/CNTL3
0x1	3x Parallel HBs	1x Independent HB	CFG_0/CNTL0			CFG_3/CNTL3
0x2	2x Parallel HBs	2x Independent HBs	CFG_0/CNTL0		CFG_2/CNTL2	CFG_3/CNTL3
0x3	2x Parallel HBs	2x Parallel HBs	CFG_0/CNTL0		CFG_2/CNTL2	
0x4	4x Parallel HBs		CFG_0/CNTL0			
0x5	1x Independent FB	1x Independent FB	see Table 3		see Table 3	
0x6	1x Independent FB	2x Independent HBs	see Table 3		CFG_2/CNTL2	CFG_3/CNTL3
0x7	1x Independent FB	2x Parallel HB	see Table 3		CFG_2 / CNTL2	
0x8	1x Parallel FB		see Table 3			

表 3. フルブリッジ制御

CHS[3:0]	BRIDGE CFG	CNTLx	CNTLy	OUTx	OUTy	FB Status
0 x 05	OUTx vs OUTy (x, y) = (0, 1) or (2, 3)	0	0	HiZ	HiZ	HiZ
		1	0	CFG_x		DRIVEN by CH X
		0	1	CFG_y		DRIVEN by CH Y
		1	1	50% PWM	50% PWM	BRAKE
CHS[3:0]	BRIDGE CFG	CNTL0	CNTL1	OUT0	OUT1	FB Status
0 x 06 or 0 x 07	OUT0 vs OUT1	0	0	HiZ	HiZ	HiZ
		1	0	CFG_0		DRIVEN by CH 0
		0	1	CFG_1		DRIVEN by CH 1
		1	1	50% PWM	50% PWM	BRAKE
CHS[3:0]	BRIDGE CFG	CNTL0	CNTL1	OUT0 = OUT1	OUT2 = OUT3	FB Status

表 3. フルブリッジ制御（続き）

0 x 08	OUT0 = OUT1 vs OUT2 = OUT3	0	0	HiZ	HiZ	HiZ
		1	0	CFG_0		DRIVEN by CH 0
		0	1	CFG_1		DRIVEN by CH 1
		1	1	50% PWM	50% PWM	BRAKE

HS または LS シングルエンド構成

シングルエンド・モードでは、MAX22216/MAX22217を HS ドライバ（負荷を OUT と GND の間に接続）または LS ドライバ（負荷を OUT と V_M の間に接続）として構成できます。選択ビット HSnLS は、CFG_CTRL[15:0]レジスタに書き込むことができます。HS 動作の場合は Set HSnLS = 「1」、LS 動作の場合は Set HSnLS = 「0」とします。

チョッピング周波数と時間ベースの設定

MAX22216/MAX22217は、デバイスの時間ベースを設定してチョッピング周波数 F_{PWM} を決定する発振器を内蔵しています。

表 4 に示すように、GLOBAL_CTRL レジスタの F_PWM_M[3:0] ビットはマスタ PWM 周波数を設定します。

表 4. PWM マスタ周波数の設定

HEX	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
F_PWM_M	100	80	60	50	40	30	25	20
HEX	0x8	0x9	0xA	0xB	0xC			
F_PWM_M	15	10	7.5	5	2.5			

注：0xD、0xE、0xF は 0x0 と同じです（100kHz）。

表 5 に示すように、マスタ・チョッピング周波数は、特定のチャンネルに対応する設定レジスタの F_PWM[1:0] ビットを設定することにより、更にハーフブリッジごとに個別に分周することができます。

表 5. 個別 PWM 周波数

F_PWM[1:0]		CHOPPING FREQUENCY OF INDIVIDUAL CHANNEL
0	0	F_{PWM_M}
0	1	$F_{PWM_M}/2$
1	0	$F_{PWM_M}/4$
1	1	$F_{PWM_M}/8$

得られたチョッピング周波数 (F_{PWM}) は、シーケンサやその他の機能のタイミングを設定するための時間ベースとしても使用します。一般に、PWM 周波数が設計の要求にない場合は、精度を上げるために 25kHz や 10kHz といった低い周波数を使用することを推奨します。また、各チャンネルに異なる PWM 周波数を使用する必要がない場合は、メイン周波数を F_{PWM_M} （PWM マスタ周波数）に設定して、個々のチャンネルの F_{PWM} をデフォルト設定 0x00 のままにすることができます。可聴範囲の周波数（10kHz など）を使用すると、ソレノイド・コイルにノイズが発生することがあります。

スルー・レートとブランキング設定（SRC）

立上がりエッジと立下がりエッジのスルー・レートは、設定レジスタ内の 2 つの制御ビット（SRC[1:0]）を使って制御できます。可能な設定を表 6 に示します。

エッジの立上がり／立下がりを遅くするとオーバーシュート／アンダーシュートとリンギングが減るので、電磁放射（EME）の軽減に有効です。ただし、エッジの立上がり／立下がりが遅いと消費電力が大きくなり、VDR の制御精度も低下します。

表 6. スルー・レート制御

SRC[1:0]	SLEW-RATE CONTROL
00	Fast
01	200V/μs

表 6. スルー・レート制御（続き）

10	100V/μs
11	50V/μs

立下がりエッジの直後に行う電流測定は不正確なものとなることがあります。これは、電流変化の直後に生じる電氣的ノイズの影響を受ける可能性があるためです。デバイスは、スルー・レートの設定に応じて自動的にブランキング時間を挿入します（[電氣的特性](#)の表を参照）。更に、[表 7](#)に示すように、ユーザが4通りのブランキング時間を追加設定することも可能です。T_BLANKING ビットはCFG_CTRL レジスタに保存されます。CDR モードでは、ブランキング時間を長くすると MIN_TON が制限され、その結果として所定の PWM 周波数におけるデューティ・サイクルが制限されます（[最小 TON に関する制約](#)のセクションを参照）。

表 7. ブランキング時間

T_BLANKING_[1:0]	BLANKING TIME (μs)
00	0
01	0.96
10	1.92
11	2.88

シーケンサの設定

シーケンサ制御モードの設定

[動作モード](#)のセクションに示すように、シーケンサは様々な使用例に合わせて設定できます。

また、DC_L2H と DC_H のレベルは電圧モードまたは電流モードで制御できます。加えて、DC モータ駆動アプリケーションへの対応を改善するために、DC_H2L は、電流リミッタのスレッシュホールドをセットするように設定することができます（[双方向 DC モータ駆動](#)のセクションを参照）。

[表 8](#)に示すように、目的とする制御モードは、各チャンネルの設定レジスタ内にある2つのビットを使用して選択できます。

表 8. 制御モードの設定

CTRL_MODE[1]	CTRL_MODE[0]	DCL2H	DCH	TYPICAL USE CASES
0	0	VDR	VDR	Solenoid drive
0	1	CDR	CDR	Solenoid drive, Proportional valve
1	0	Current limiter	VDR	Brushed DC motor
1	1	VDR	CDR	Solenoid drive, Proportional valve

[動作モード](#)のセクションに説明するように、3 つめのローレベル（DC_L）をチャンネルごとに設定することもできます。DC_L は、サイン波ジェネレータを使用して電圧モード（VDR）でのみ制御することができます。これは、主にシングル・モード動作で使用して、インダクタンスを測定できるようにすることを意図したものです（[インダクタンス測定](#)のセクションを参照）。

フルブリッジ構成では、励磁フェーズの終了時に逆消磁電圧をかけることによって、コイルを消磁できます（[ブリッジ接続負荷動作（フルブリッジ）](#)のセクションを参照）。消磁電圧は、グローバル・レジスタ DC_H2L[15:0]に負の値を書き込み、個々のチャンネルに H2L_EN を設定することによって設定できます。電流の反転を防ぐために、電流がゼロに近付くとすぐに、消磁電圧が自動的にデアサートされます。

コイルが通電状態で、VM_THRESHOLD レジスタの VM_THLD_DOWN[3:0]ビットに保存されたスレッシュホールド未満に電源が低下した時点で、逆消磁電圧が加えられるようにデバイスを設定することも可能です（詳細は[レジスタ・マップとスタンドアロン V_M スイッチング](#)のセクションを参照）。この機能を有効にすると、電源が VM_THLD_DOWN 未満に低下した場合、コイルを迅速に消磁できるよう直ちに DC_H2L に等しい逆電圧が加えられます。この逆電圧は電流がゼロになるまで維持されます。この消磁動作時にはコイル電流が電源に戻って流れ込み、V_M 電圧が上昇します。したがって V_M のバイパス・コンデンサは、最大動作電圧を超えることなくコイルのエネルギーを吸収できるだけの、十分な容量を備えていなければなりません。

シーケンサ・レベルの設定

電圧駆動レギュレーション (VDR)

DC_L2H、DC_H、DC_L の各レベルは、個々のチャンネルに対応する設定レジスタをプログラムすることにより、VDR モード動作に設定できます。VDR は、ハイサイド駆動、ローサイド駆動、および差動駆動のブリッジ接続負荷 (BTL) 構成でサポートされています。

GLOBAL_CFG レジスタの VDRnVDRDUTY 選択ビットを使用すれば、2つの電圧制御モードのいずれかを選択することができます。

VDRDUTY を選択すると (VDRnVDRDUTY = 「0」)、DC_レベルは目標デューティ・サイクルに対応した値になります。平均出力は電源電圧 (V_M) に比例します。したがって、平均出力電圧は次式で与えられます。

$$V_{OUT} = K_{VDR} \times V_M \times DC_ [15:0]_{DEC}$$

K_{VDR} は 30.5μ に等しい定数です (電気的特性の表を参照)。

VDR を選択すると (VDRnVDRDUTY = 「1」)、DC_レベルは目標出力電圧に対応した値になります。電源電圧の変動は内部で補償されます。平均出力電圧は次式で与えられます。

$$V_{OUT} = K_{VDR} \times 36 \times DC_ [15:0]_{DEC}$$

電圧制御の精度は、内部補償されないいくつかの非理想要素の影響を受けます。特に、立上がりおよび立下がりエッジのミスマッチとパワーFETの電圧降下は、VDRの精度に影響する可能性があります。一般に、エッジを高速にしてPWMチョッピング周波数を低くすると、性能を向上させることができます。

内部PWMジェネレータは25MHzで動作するので、制御時の実際の分解能はプログラムされたPWMチョッピング周波数によって決まります。例えば、チャンネルが30kHzで動作する場合のPWM分解能は $30\text{kHz}/25\text{MHz} = 0.12\%$ になります。

デューティ・サイクルの制御範囲は、プログラムされたチョッピング周波数、スルー・レートの設定、およびブランキング時間の設定によって制限されます。しかし、100%および0% (常時オンと常時オフ) のステータスは常にサポートされており、それぞれ $DC_ [15:0] = 0x7FFF$ および $DC_ [15:0] = 0x0000$ としてマップされます。

フルブリッジ構成時のPWM変調器は中央揃えの変調方式を採用し、コイルの両側がPWM変調されます。

$$D_{OUTX} = (1 + D)/2, D_{OUTY} = (1-D)/2$$

$$\text{Duty Cycle} = D = D_{OUTX} - D_{OUTY}$$

ここで、XとYはフルブリッジ構成で負荷を駆動する2つのチャンネルです。

このアプローチの採用時は、リップルの周波数が2倍になって振幅は半分になります。VDRまたはVDRDUTYがゼロの場合、これら2つのチャンネル出力のデューティ・サイクルは50%になります。

電流駆動レギュレーション (CDR)

電流駆動レギュレーション (CDR)

DC_L2H、DC_H、DC_L の各レベルは、対応する16ビット設定レジスタをプログラムすることにより、CDRモード動作に設定できます。CDRは、シングルエンドのLSおよびHS駆動構成と、差動BTL構成でサポートされています。

DCモータ駆動モード (チャンネル設定レジスタの CTRL_MODE_[1:0] = 「10」) の場合、DC_L2Hは、モータのスタートアップ時またストール状態時に電流リミッタが電流制限を開始するスレッシュホールドを保存します。

電流駆動レギュレーション法が使用される場合は、比例式の内蔵コントローラが電流を目的の設定点に制御します。ローサイド・パワーFETへの電流は内部で検出され、外部シャント抵抗は必要ありません。検出は双方向なので、MAX22216/MAX22217はシンク電流 (LS駆動およびフルブリッジ・モード) とソース電流 (HS駆動設定モード) の両方で測定を行うことができます。しかしHSモードでは、電流が過大になるとFETのボディ・ドレイン・ダイオードがオンになって測定精度に影響する可能性があるため、正確に測定できる最大電流がLSおよびフルブリッジ・モードの場合より小さくなります。

定常状態にあるときは、次式で制御電流を計算できます。

MAX22216	$I_{OUT(mA)} = K_{CDR} \times GAIN \times SNSF \times DC_ [15:0]_{DEC}$
MAX22217	$I_{OUT(mA)} = K_{CDR} \times GAIN \times DC_ [15:0]_{DEC}$

ここで、

- DC_[15:0]DEC は、対応するレジスタに保存される目標DC電流値 (10進表記) です。飽和を避けるために、LSおよびフルブリッジ構成では $DC_ [15:0]_{DEC} = 3145$ を超えないようにし、HS構成では 1475 を超えないようにすることを推奨します ($GAIN = SNSF = 1$ と仮定)。言葉を換えると、LSまたはフルブリッジ・モードでの最大フルスケール電流は3.2A、HSモードでは1.5Aです。電流の最大ビット値は、チャンネル制御設定と、各チャンネルの I_MONITOR スケーリングに基づいて決定されます。詳細については[デジタル電流モニタ機能](#)のセクションを参照してください。実際の電流値設定が大きすぎると、OCPがトリガされるか (I_MONITOR とは無関係であるため)、ICが過熱してOVTがトリガされます。I_MONITORの範囲は、常にその設定における最大電流を考慮して設定してください。

MAX22216/MAX22217

高度な診断機能を備えたクワッド・スマート・シリアル制御のソレノイドおよびモータ用ドライバ

- K_{CDR} は定数で、代表値は MAX22216 で 1.017mA、MAX22217 で 0.34mA です。 K_{CDR} は、 I_{REF} ピンと GND の間に接続する 12k Ω の外部リファレンス抵抗と直接的な関係にあります（[電流リファレンス](#)のセクションを参照）。正確に電流を制御するには、高精度の抵抗を使用する必要があります。
- GAIN（[表 9](#)を参照）は、プログラマブルな 2 ビットのゲイン係数です（設定レジスタの GAIN[1:0]ビット）。
- SNSF（[表 9](#)を参照）は、プログラマブルな 2 ビットの検出スケーリング係数です（設定レジスタの SNSF[1:0]ビット）。[表 9](#) に示すように、SNSF 値は、検出素子として使われるローサイド・パワーFET の抵抗（ R_{ON} ）を決定します。検出素子の抵抗が大きければ、低電流時の制御精度が向上します。この機能は MAX22216 でのみ使用できます。

複数のハーフブリッジまたはフルブリッジを並列で使用する場合は、個々のチャンネルの GAIN 設定または SNSF 設定とは無関係に、その分だけ最大デジタル指示値が増えますが（ $I_{MEASUREMENT}$ が個々のチャンネルの合計になるため）、その GAIN/SNSF 設定は、メインの設定チャンネルに基づきすべての接続チャンネルに適用されます。[デジタル電流モニタ機能](#)のセクションを参照してください。高品質の電流指示値を実現するには、そのアプリケーションの最も厳しい条件（電流消費と MOSFET の抵抗による温度上昇を含む）における最大電流に基づいて GAIN と SNSF を設定すると共に、分解能向上のためにできるだけ狭い範囲を使用することを推奨します。 $I_{MONITOR}$ 値がオーバーフローすると、インダクタンスおよび抵抗測定信頼性が損なわれます。[表 9](#) に、1 チャンネルの電流（最大デジタル電流値 4095）を測定するためのスケーリング係数とその影響を示します。

表 9. フルスケールと検出スケール

GAIN [1:0]	GAIN	SNSF [1:0]	SNSF	TYP. LS R_{ON} (Ω)	TOTAL FACTOR	MULTIPLIER	MAX CURRENT (A)
00	1	00	1	0.17	1	1.00	4.164615
01	3/4				3/4	0.75	3.12346125
10	2/4				2/4	0.50	2.0823075
11	1/4				1/4	0.25	1.04115375
00	1	01	2/3	0.24	2/3	0.67	2.77641
01	3/4				6/12	0.50	2.0823075
10	2/4				4/12	0.33	1.388205
11	1/4				2/12	0.17	0.6941025
00	1	10	1/3	0.44	1/3	0.33	1.388205
01	3/4				3/12	0.25	1.04115375
10	2/4				2/12	0.17	0.6941025
11	1/4				1/12	0.08	0.34705125

PI コントローラ

電流ループは比例積分（PI）制御に基づいています。比例係数と積分係数はチャンネルごとに個別に設定できます。PI 制御は最適な電流制御と調整可能な時間応答特性を実現できます。

16 ビット・レジスタ CFG_P[15:0]と CFG_I[15:0]は、各チャンネルの制御パラメータを定義します。これらのレジスタは、比例ゲイン（ K_p ）特性と積分ゲイン（ K_i ）特性を Q8.8 フォーマットで定義します。

[図 4](#) に電流制御ループのブロック図を示します。

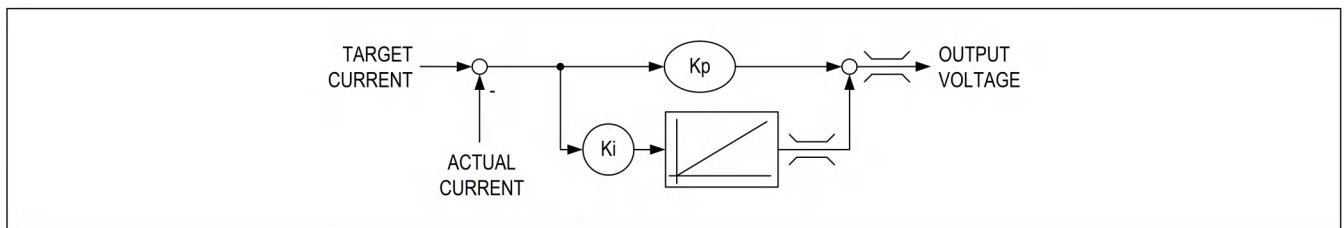


図 4. 電流制御ループのブロック図

IC の出力は負荷による影響と制約を受けるので、このことを考慮したチューニング方法が推奨されます。

P と I は共に 16 ビットの変数で、0 から 65535 までの値を取り、高度な制御を実現します。また、負荷のメーカーが定めるオープン電流とオープン時間を使用することも推奨します。この場合は、それぞれ DC_L2H と TIME_L2H です。

最小 TON に関する制約

シングルエンド（HS または LS 構成）の CDR 動作では、ローサイド・トランジスタの最小デューティ・サイクルを使用する必要があります。これは電流の正しい測定を確保するために必要です。可能なデューティ・サイクル未満のデューティ・サイクルを PI コントローラが使用した場合は、PI コントローラの出力値が上書きされます。この場合は、計算値がローサイド・トランジスタのデューティ・サイクルを上げるようなものである場合を除いて、PI コントローラの積分器が停止されます。この動作によって、LS ドライバ構成時に CDR モードで使用する正の最小電圧と、HS ドライバ構成時の最大電圧（ V_M 電源電圧未満）が生じます。下の図は LS ドライバ構成時と HS ドライバ構成時の動作を示しています。

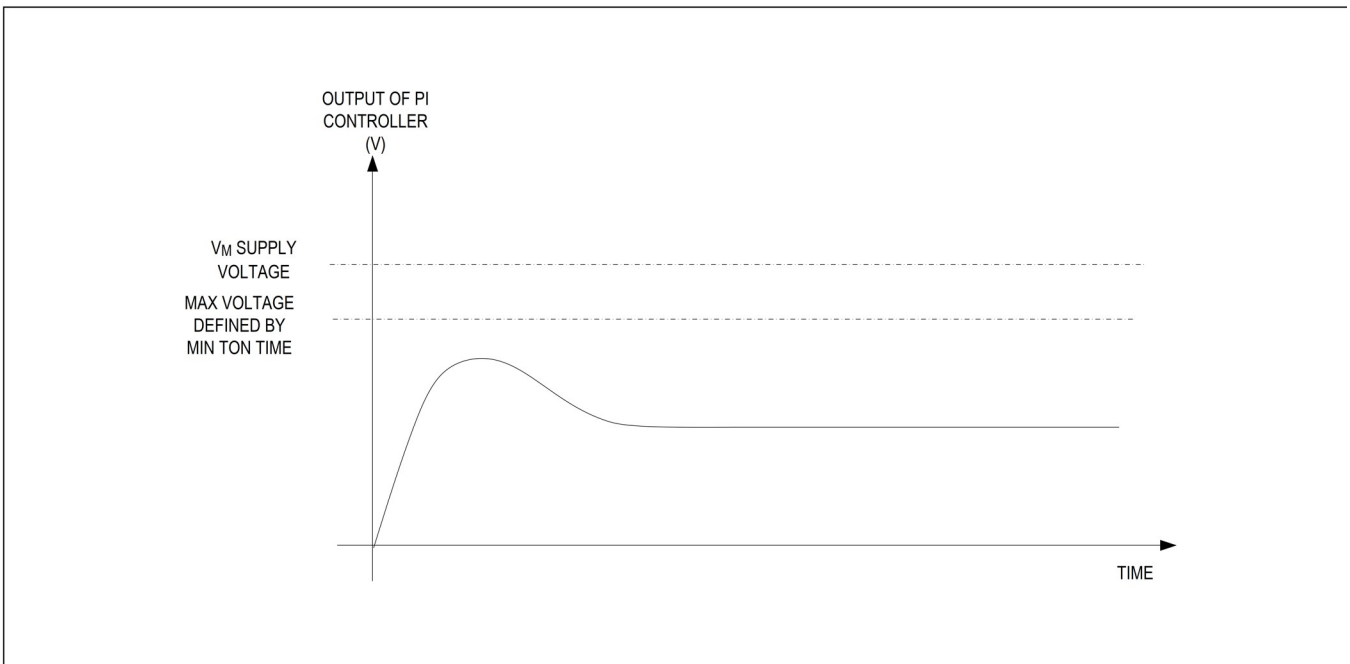


図 5. HS 構成における最大電圧のグラフ

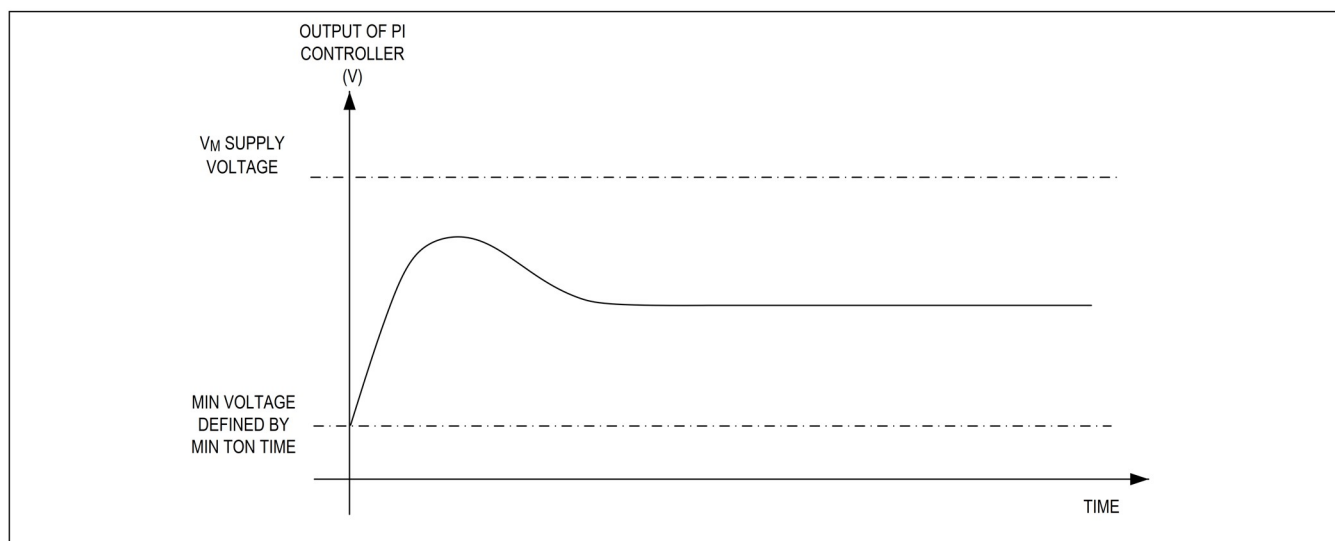


図 6. LS 構成における最小電圧のグラフ

ローサイド・トランジスタの最小オン時間は次式で表されます。

$$\text{MIN_T_ON} = 2 \times (\text{MIN_TON_SINGLE_ENDED} + 2^{\text{SLEW_RATE}[1:0]+1} + 24 \times \text{T_BLANKING}) \times 1/\text{F_PWM}$$

下の式は、HS ドライバ構成と LS ドライバ構成の両方について、ローサイド・トランジスタの最小オン時間によって決まる最小/最大電圧を定義します。

シングルエンド LS 構成：

$$V_{\text{MIN}} = V_M \times \text{MIN_T_ON} \times \text{F_PWM}$$

シングルエンド HS 構成：

$$V_{\text{MAX}} = V_M \times (1 - \text{MIN_T_ON} \times \text{F_PWM})$$

シングルエンド構成で電流を安定化するには、定常状態で加える電圧が最終的な電圧制限値（LS ドライバ構成での V_{MIN} と、HS ドライバ構成での V_{MAX} ）に近付きすぎないようにする必要があります。

電流リファレンス

内部 ADC のリファレンス電流を設定するために、 I_{REF} ピンと GND の間には高精度の 12k Ω 抵抗を接続する必要があります。MAX22216/MAX22217 は、 I_{REF} ピンの電圧を約 0.9V に固定することによって、抵抗を流れる電流の値を読み出します。したがって、 I_{REF} 電流はおおよそ次のような値となります。

$$I_{\text{REF}}(\text{A}) = 0.9\text{V}/12\text{k}\Omega = 75\mu\text{A}$$

電流制御の精度は I_{REF} 電流の精度に直接依存しています。したがって、1%より高い精度を備えた抵抗を使用することを推奨します。

励磁時間 (TIME_L2H) の設定

ソレノイド駆動動作の場合は、次の式に従い、1 つの 16 ビット・レジスタで個々のチャンネルの励磁時間 (TIME_L2H) を設定できます。

$$\text{TIME_L2H}(\text{s}) = \frac{\text{TIME_L2H}[15:0]_{\text{DEC}}}{\text{F_PWM}}$$

ここで、F_PWM は個々のチャンネルのチョッピング周波数です（[チョッピング周波数 \(FPWM\) の設定](#)のセクションを参照）。

TIME_L2H は励磁時間を予め設定します。プランジャ動作の検出 (DPM)（[プランジャ動作の検出 \(DPM\)](#)のセクションを参照）に基づく HIT から HOLD への自動電流変化機能を使用することにより、実際の励磁時間を短縮して消費電力を更に減らすことができます。

TIME_L2H[15:0] = 0xFFFF の場合は、連続的に励磁レベル DC_L2H が使われます。

ブラシ付き DC モータ駆動動作 (CTRL_MODE[1:0] = 10) の場合、このレジスタの内容は異なる意味を持ち、ブレーキ動作時のリミット電流スレッシュホールドを決定します。この機能については[ブレーキ電流リミット機能](#)のセクションで詳しく説明します。

ランプ・スロープの設定

ソレノイド・バルブのオン／オフ時の電流の立上がり／立下がりエッジの変化速度を下げると、ソレノイド・バルブのオン／オフ位置へのプランジャの機械的動作がスムーズになって、バルブの動作音が小さくなります。更に、PI ベースの電流駆動レギュレーション (CDR モード) 使用時に、電流のオーバーシュートやアンダーシュートを減らす助けにもなります。RAMP 機能は、励磁レベル、ホールド・レベル、およびオフ・レベルの間に制御されたランプを生成します。チャンネル設定レジスタ内の 8 個のビット (RAMP[7:0]) が目的のスルー・レートを設定します。RDWE、RMDE、RUPE の各ビットは、それぞれ RAMP DW、RAMP MD、RAMP UP の機能をイネーブル／ディスエーブルします (動作モードのセクションを参照)。ランプ制御は電圧駆動モードと電流駆動モードの両方でサポートされています。VDR モードでは、負荷に加えられる電圧が設定点に達するまで、RAMP 機能が電圧をランプアップ／ランプダウンします。電圧スルー・レートは次式により概算できます。

$$\text{RAMP SLEW RATE [V/ms]} = K_{\text{VDR}} \times 36\text{V} \times (\text{RAMP}[7:0]_{\text{DEC}} + 1) \times F_{\text{PWM}}(\text{kHz})$$

例えばチョッピング周波数が 25kHz の場合、ランプアップ・スルー・レートは 0.4V/ms～102V/ms の範囲に設定できます。VDRDUTY モードでは、デューティ・サイクルが設定点に達するまで、RAMP 機能がその値をランプアップ／ランプダウンします。電圧スルー・レートは次式により概算できます。

$$\text{RAMP SLEW RATE [V/ms]} = K_{\text{VDR}} \times V_{\text{M}} \times (\text{RAMP}[7:0]_{\text{DEC}} + 1) \times F_{\text{PWM}}(\text{kHz})$$

CDR モードでは、負荷電流が設定点に達するまで、RAMP 機能が電流をランプアップ／ランプダウンします。電流スルー・レートは次式により概算できます。MAX22216 では $\text{RAMP_SLEW_RATE (mA/ms)} = K_{\text{CDR}} \times \text{GAIN} \times \text{SNSF} \times (\text{RAMP}[7:0]_{\text{DEC}} + 1) \times F_{\text{PWM}}(\text{kHz})$ で、MAX22217 では $\text{RAMP_SLEW_RATE (mA/ms)} = K_{\text{CDR}} \times \text{GAIN} \times (\text{RAMP}[7:0]_{\text{DEC}} + 1) \times F_{\text{PWM}}(\text{kHz})$ です。例えば $F_{\text{PWM}} = 25\text{kHz}$ で $\text{GAIN} = \text{SNSF} = 1$ の場合、MAX22216 のスルー・レートは 25.425mA/ms～6508.8mA/ms の範囲に設定できます。CDR モードで実現可能な最大スルー・レートは、システム・パラメータによって制限される可能性があるという点に留意してください。特に、誘導性負荷の場合、最大スルー・レートは最大理論値である $V_{\text{M}}/I_{\text{LOAD}}$ より大きくすることはできません。

ディザリングまたはインダクタンス測定用にサイン波ジェネレータをイネーブル

MAX22216/MAX22217 はサイン波ジェネレータを内蔵しており、サイン波信号を生成することができます。周波数と振幅はユーザが設定できます。

サイン波ジェネレータの目的は 2 つあります。

1. 静的摩擦とヒステリシスに関わる問題を解決することを目的に、DC 電圧または電流にディザリングを追加するために使用できます。これらの問題は、特に比例バルブに影響します。
2. AC スキャン信号として使用し、診断のためインダクタンスを測定してソレノイド・バルブのオン／オフ状態を検出することができます。

各チャンネルの設定レジスタの DITH_EN ビットと LMEAS_EN ビットは、ディザリング機能またはインダクタンス測定機能をアクティブ／非アクティブにします。ディザリング機能では DC_H レベルにサイン波が重畳され、DC_L レベルのノイズが増えます。インダクタンス測定機能では、DC_L2H レベルや DC_H レベルにサイン波を重畳する設定が可能です。DC_L レベルには常にサイン波が重畳されます。

サイン波ジェネレータは、そのチャンネルを初めて使用した後起動します。[表 10](#) に、機能をアクティブにする方法と、どの DC レベルにサイン波信号が重畳されるのかについての概要を示します。

- ディザリングにサイン波を使用する場合 (DITH_EN = 「1」、LMEAS_EN = 「0」)、DC_H (ホールド) レベルに AC 信号が重畳されて、DC_L (ロー) レベルのノイズが増えます。電圧制御モードと電流制御モードの両方がサポートされています。この機能の主な用途は、比例バルブの摩擦を軽減することにあります。
- 診断を目的としてインダクタンスを測定するためにサイン波を使用する場合は (LMEAS_EN = 「1」、DITH_EN = X)、電圧モードで DC レベルを制御する (VDR) 場合のみ AC 電圧サイン波が重畳されます。インダクタンス測定はシーケンサのフェーズごとに行うことができます (DC_H2L、DC_H、DC_L)。[インダクタンスの測定](#)のセクションに詳細を示すように、選択ビットは対応するフェーズの測定をイネーブル／ディスエーブルするために使用できます。インダクタンス測定機能の主な用途は、ソレノイド・バルブのオン／オフ状態を検出することです。

表 10. ディザとインダクタンス測定

FUNCTION	ACTIVATION BITS	DESCRIPTION	CONTROL MODES	DRIVER PHASES	MAIN TARGET APPLICATION
Sine Off	DITH_EN = 0 LMEAS_EN = 0	Sine wave generator disabled			
Dither	DITH_EN = 1 LMEAS_EN = 0	AC current/voltage superimposed onto the DC current/voltage level	- Supported both in CDR and VDR modes. - AC SCAN amplitude can be either a current or a voltage, depending on the DC_H setting	DC_H and noise at the DC_L level	Proportional valves
Inductance Measurement	LMEAS_EN = 1 DITH_EN = don't care	- AC voltage superimposed onto the DC voltage level - AC current is measured for inductance measurement	- VDR mode only. - If CDR control is set, the sine wave generator is automatically disabled	DC_L always, DC_L2H, and DC_H selectable (L_MEAS_L2H, L_MEAS_H)	On/Off valves

ディザリングは DC_L レベルにおけるノイズ・レベルを小さくすることを可能にするため、(RAMP_SLEW_RATE 制御と合わせて) バルブ・アーマチャがバルブ・シールに与える影響を軽減し、一部のアプリケーションでブランジャ固着を防止するために使用できます。この機能は、バルブを閉じたらディスエーブルすることを推奨します (チャンネルをオフにした直後)。そうしないと、バルブによっては正しく閉じなくなったり、使用していない間に過熱したりすることがあります。

インダクタンスまたは抵抗の測定時は、DC_L フェーズ測定時の IAC_THLD の機能のために、チャンネルをオフにすると (ライン・ノイズとバルブに応じて) IND フラグがトリガされることがあります。DC_L レベルで IND フラグが繰り返しトリガされる場合 (通常、クリア後にこの現象が生じる場合は IAC_THLD が 0 ではありません)、そのチャンネルがオフになっている間は LMEAS_EN をディスエーブルするか (そのチャンネルの前に LMEAS がオフにされた場合はチャンネルをオフにしても IND フラグはセットされないはず)、L_NBR_CALC を使って読出しを制限し、フラグをクリアすることを推奨します。コイルの過渡応答によってチャンネルがオンされた場合は、IND フラグがトリガされます。これに対処するには、L_MEAS_WCYCLES を使って、インダクタンス測定値の読出し時に遅延を発生させます。同様に、チャンネルをオンにする前に RES_THLD がセットされなかった場合は (LEAS_EN が使用中)、RES_THLD の標準値が 0 なので、RES フラグがトリガされます。抵抗測定も、場合により過渡応答の影響を受けることがあります。

サイン波ジェネレータの設定

サイン波の振幅と周波数は、グローバル・パラメータとして設定できます。

サイン波の周波数は、下の式に従ってグローバルの F_AC_SCAN レジスタをプログラムすることにより設定できます。

$$\text{Sine Wave Frequency (Hz)} = F_PWM_M \times (F_AC_SCAN[11:0]_{DEC}/65535)$$

サイン波ジェネレータの振幅は、グローバルの U_AC_SCAN レジスタをプログラムすることによって設定できます。振幅は、制御モードに応じて以下の要領で設定できます。

VDRDUTY	$VOUT_AC (V) = K_{VDR} \times V_M \times U_AC_SCAN[14:0]_{DEC}$
VDR	$VOUT_AC (V) = K_{VDR} \times 36 \times U_AC_SCAN [14:0]_{DEC}$
CDR MAX22216	$IOUT_AC (mA) = K_{CDR} \times GAIN \times SNSF \times U_AC_SCAN[14:0]_{DEC}$
CDR MAX22217	$IOUT_AC (mA) = K_{CDR} \times GAIN \times U_AC_SCAN[14:0]_{DEC}$

CDR パラメータと VDR パラメータの詳細については、[電流駆動レギュレーション \(CDR\)](#) と [電圧駆動レギュレーション \(VDR\)](#) のセクションを参照してください。

ブレーキ電流リミット機能

[動作モードの概要](#)のセクションに示すように、MAX22216/MAX22217 はフルブリッジ構成 (CTRL_MODE[1:0] = 10) の双方向 DC モータの駆動に使用できます。

MAX22216/MAX22217

高度な診断機能を備えたクワッド・スマート・シリアル制御のソレノイドおよびモータ用ドライバ

動作中のモータを停止させるには BRAKE 条件を適用する必要があります (CNTL0 = CNTL1 = 「1」) (ハードウェア構成のセクションの表 3 を参照)。ブレーキ時は、負荷の両側が 50%デューティ・サイクルで駆動されて、減速が開始されるように負荷が実質的に短絡されます。

BEMF 電圧が実質的に短絡されるのでブレーキ電流は非常に大きくなり、制限するものはモータの抵抗だけになります。これによって MAX22216/MAX22217 の過電流保護がトリガされ、デバイスの出力がスリーステートになります。この問題を解決するために、MAX22216/MAX22217 は、電流制限を設けることによって最短時間で減速を実現するブレーキ電流制限機能を備えています。

この機能がトリガされると、CFG_L2H_TIME レジスタ (つまり TIME_L2H[15:0]) の内容がブレーキ電流の上限値 (IBRAKE_LIM) を設定します。電流の振幅が IBRAKE_LIM (下の式を参照) を超えると、電流制御ループがトリガされて、ブレーキ電流が必要な値に制限されます。この制限値は次式で与えられます。

MAX22216	$I_BRAKE_LIM(mA) = K_{CDR} \times GAIN \times SNSF \times TIME_L2H[15:0]_{DEC}$
MAX22217	$I_BRAKE_LIM(mA) = K_{CDR} \times GAIN \times TIME_L2H[15:0]_{DEC}$

特に、TIME_L2H[15:0] = 「0」の場合は、ドライバが強制的に HiZ (惰性回転) の状態にします。

この機能にはチャンネル数が小さいチャンネルの CFG_L2H_TIME レジスタが使われるので、レジスタの最初の半分 (0x0001~0x7FFF) だけが BRAKE を形成します。

診断機能とステータス・モニタ

デジタル電流モニタ機能

内部的に検出された電流は PWM 周波数でサンプリングされて、読み出し専用レジスタ (I_MONITOR[15:0]) に保存されます。ユーザは、診断や制御のために、SPI を介してリアルタイムで I_MONITOR 値を読み出すことができます。SPI 読み出し/書き込み動作の間、これらのレジスタの内容は保持されます。デジタル電流モニタ機能は電圧駆動モード (VDR または VDRDUTY) でも使用できます。電流駆動レギュレーションのセクションに示す式と同様に、実際の電流値は以下の式を使ってデコードできます。

MAX22216	$I_{MONITOR}(mA) = K_{CDR} \times GAIN \times SNSF \times I_MONITOR[15:0]_{DEC}$
MAX22217	$I_{MONITOR}(mA) = K_{CDR} \times GAIN \times I_MONITOR[15:0]_{DEC}$

各チャンネルの ADC の最大デジタル値は±4095 です (符号付き 13 ビット)。並列構成ごとに、この最大デジタル値は並列システム (フルブリッジまたはハーフブリッジ) の数を乗じた値になりますが、チャンネルの 1 つがオーバーフローした場合 (電流が最大測定可能電流値を超えた場合) は、I_MONITOR がその構成における最大測定可能値となります。

I_MONITOR は最大 4 個の符号付きチャンネル測定値の合計を保存する必要がある (つまり 15 ビット以上が必要)、16 ビット・レジスタに保存されます。並列チャンネル構成の場合、I_MONITOR はメイン制御チャンネルの診断においてのみ使われます。他のすべての診断は、並列チャンネル構成であっても、そのチャンネルによって異なります。表 11 に、各チャンネル構成における最大 I_MONITOR デジタル値を示します。

表 11. I_MONITOR ADC の最大値 – 10 進

CHS[3:0]	CONFIGURATION	CH0	CH1	CH2	CH3
0x0	4xIHB	4095	4095	4095	4095
0x1	3xPHB, 1xIHB	12287			4095
0x2	2xPHB, 2xIHB	8191		4095	4095
0x3	2xPHB, 2xPHB	8191		8191	
0x4	4xPHB	16383			
0x5	1xIFB, 1xIFB	4095		4095	
0x6	1xIFB, 2xIHB	4095		4095	4095
0x7	1xIFB, 2xPHB	4095		8191	
0x8	1xPFB	8191			

フルブリッジ構成の場合、2 次チャンネルの I_MONITOR は負の電流が流れることを示します。

MAX22216/MAX22217

高度な診断機能を備えたクワッド・スマート・シリアル制御のソレノイドおよびモータ用ドライバ

並列ハーフブリッジの場合の合計電流は各チャンネルの I_MONITOR に表れますが、使いやすくするために CH0 (0x45) の I_MONITOR を使用することを推奨します。フルブリッジ構成では、メインの I_MONITOR チャンネルは CH0 (0x45) または CH2 (0x57) で、並列フルブリッジ構成のメイン I_MONITOR は CH0 (0x45) です。

PWM デューティ・サイクルのモニタ機能

16 ビット・レジスタ PWM_DUTY は、負荷に適用されるデューティ・サイクルをリアルタイムのデジタル形式でレポートします。この情報は、電流駆動レギュレーション (CDR) で負荷に適用される実際のデューティ・サイクルをモニタして異常の可能性を検知する上で、特に有効です。

デジタル V_M 電源電圧のモニタ

電源電圧 (V_M) は内部で測定されてデジタル化されます。ユーザは、SPI を介して VM_MONITOR[15:0]レジスタを読み出すことにより、電源電圧をリアルタイムでモニタできます。この情報は次の式を使ってデコードできます。

$$VM(V) = K_{VM} \times VM_MONITOR[15:0]_{DEC}$$

ここで、K_{VM} = 9.73mV (代表値) です。

インダクタンス測定の概要

サイン波電圧ジェネレータ ([サイン波ジェネレータのイネーブル](#)と[サイン波ジェネレータの設定](#)のセクションを参照) は、AC スキャン電圧によって誘導される AC 電流を測定することによってソレノイドのインダクタンスを間接的に見積もるために使用できます。インダクタンスの値 (1 次側) はエアギャップに反比例します。したがって、インダクタンスを測定すれば、センサーなしでバルブ内のスプール動作量を予測できます。オン/オフ・バルブの駆動時は、バルブの開閉状態を評価するための診断ツールとしてこの方法を使用できます ([ステータス・モニタ \(STAT\)](#) のセクションを参照)。

この機能は VDR モードと VDR_DUTY モードの両方でサポートされていますが、VDR モードの方が電源変動の影響を受けにくいので、通常は VDR モードが推奨されます。CDR モードではサポートされていません。

インダクタンス測定時は I_AC の読出しが有効になります。I_AC の読出しは、電流の AC 波の振幅と出力の中央値レベルを測定します。I_AC 測定では、IC がサイン波ジェネレータ周波数付近の読出し信号をフィルタにより除去する点を考慮することが重要です。これは測定バイアスを生じる可能性のある高周波ノイズがさほど多く出力に現れないことを意味します。通常、I_AC 測定値と平均バイアスはどちらも非常に安定しています。

MAX22216/MAX22217 は、スキャン AC サイン波電圧によって生成された AC 電流を測定して、その結果を読出し専用レジスタ I_AC[15:0] に保存します。

この AC 電流値 (A) は次式で得られます。

MAX22216	I_AC (mA) = K _{CDR} × GAIN × SNSF × I_AC[15:0] _{DEC}
MAX22217	I_AC (mA) = K _{CDR} × GAIN × I_AC[15:0] _{DEC}

更に、ソレノイド・インダクタンス (H) は次式で概算できます。

$$L[H] = \frac{U_{AC_SCAN}}{2\pi \times F_{AC_SCAN} \times I_{AC}}$$

ここで、U_{AC_SCAN} は AC 電圧スキャン信号の電圧、F_{AC_SCAN} は同じく周波数です。バルブの実際のインダクタンスは、この式で求めた値と大きく異なることがあります。まず、この単純な L+R モデルは、計算があくまでソレノイドの電氣的モデルの大まかな近似であることを前提としています。実際のソレノイドには、多くのパラメータが関係しています (コイルの飽和、渦電流、磁気ヒステリシス、負荷の影響など)。第 2 に、DC レベルを生成する VDR モードについての説明同様に ([電圧駆動レギュレーション \(VDR\)](#) のセクションを参照)、AC スキャン電圧の生成は各種誤差の影響を受けます。特に、高いチョッピング周波数と低速の PWM エッジを使用する場合は、その傾向が強くなります。それでも、I_AC 電流の絶対値測定はブランジャがオン位置にあるかオフ位置にあるかを判定するための優れたインジケータと見なされており、この方法は、I_AC が 2 つの状態にはっきり分かれるバルブにとって信頼できるものとなっています。

HS または LS 駆動 (シングルエンド動作) においては、重畳する AC 信号の振幅は、使用する DC レベルより小さくなければなりません。コイルへの通電を停止したときのインダクタンスを測定するには、ソレノイドの状態が変わらない程度に DC レベル (DC_L) を小さくする必要がありますが、同時に、測定のために十分な AC 信号を重畳できるだけの大きさでなければなりません。

インダクタンス測定の設定

各チャンネルのインダクタンス測定（より正確に言うと I_{AC} 測定）機能の設定パラメータは、2 つの 16 ビット・レジスタ（CFG_IND_0[15:0]とCFG_IND_1[15:0]）に保存されます。

ディザリングまたはインダクタンス測定用にサイン波ジェネレータをイネーブルのセクションで述べたように、この機能は L_MEAS_EN ビットでイネーブルされます。

I_{AC} の測定は、駆動電圧が設定済みの DC レベルに安定してから開始する必要があります。ユーザは、L_MEAS_WCYCLES を書き込むことによって、DC レベルが変化してから実際に I_{AC} の測定が開始されるまでの遅延を設定することができます。この遅延は AC スキャンの周期数で表されます。

I_{AC} の測定値は、連続するスキャン周期における複数測定値の平均です。測定時間は、L_NBR_CALC ビットを書き込むことによってユーザが設定できます。これらの時間は AC スキャンの周期数で表されます。

アプリケーションによっては、通電時間（TIME_L2H）中にソレノイドを故意にオーバードライブさせてコイルを飽和させています。この状態になるとインダクタンス測定の信頼性が損なわれて判断を誤るおそれがありますが、L_MEAS_L2H ビットを使用すれば、励磁時間中に AC 信号とインダクタンス測定を停止することができます。同様に、ホールド・フェーズ（レベル H）中にコイルが飽和する場合は、L_MEAS_H ビットを使用してこのフェーズのインダクタンス測定をディスエーブルできます。一般に、オフ・フェーズ（DC_L フェーズ）中に測定を行う方が信頼性は高くなります。

IAC_THLD[11:0]ビットはスレッシュホールドを設定し、これは診断を行ったりバルブのステータスを検出したりするために使用できます。

測定の完了後は、I_{AC}[11:0]レジスタの内容が IAC_THLD[11:0]レジスタの内容と比較されます。

この比較の結果としてフォルトが検出されると、FAULT レジスタにフラグ・ビット IND がセットされます。

DC_L2H または DC_H フェーズにある間、測定した I_{AC} の振幅がスレッシュホールドを超えるとフォルト信号が送出されます。逆に DC_L フェーズにある間は、測定した I_{AC} の振幅がスレッシュホールドを下回るとフォルト信号が送出されます。表 12 にフォルト条件の概要を示します。

表 12. インダクタンス測定フォルト検出

フェーズ	条件	IND FAULT	説明
DC_L2H DC_H	I _{AC} > IAC_THLD	1	設定された IAC_THLD より AC 信号の測定振幅が大きい場合は、フォルト信号が送出されます。
DC_L	I _{AC} < IAC_THLD	1	設定された IAC_THLD より AC 信号の測定振幅が小さい場合は、フォルト信号が送出されます。

I_{AC} と IAC_THLD の比較はバルブの状態モニタにも使用できます。

表 13 に示すように、MAX22216/MAX22217 は、その STATUS レジスタの STT[3:0]ビットや STAT0 および STAT1 出力ピンが、比較の結果を直接反映するように設定することができます。これについては次の項で詳しく説明します。

表 13. インダクタンス測定に基づく STATUS のモニタ

OUTPUT STATUS BITS/PINS	STT[3:0] BITS STAT0, STAT1 PINS
I _{AC} > IAC_THLD	0
I _{AC} < IAC_THLD	1

プランジャ動作の検出（DPM） – 概要

プランジャ動作検出（DPM）機能は、バルブ作動時のプランジャ動作から生じる BEMF による電流の一時的な低下（ローカル・ディップ）を検出します。この検出は励磁時間 TIME_L2H の全体を通じて有効です。

この機能は、電圧モード（VDR）と電流モード（CDR）の両方で使用できます。

VDR モードでは、励磁時間 TIME_L2H の全体を通じ、高い信頼性でプランジャ動作を検出できます。

CDR モードでは、励磁レベル (DC_L2H) に達すると内部制御ループが電流を安定させようとして BEMF の変動に対処するので、ブランジャ動作の検出に問題が生じます。そのため、CDR における DPM 機能は、励磁電流のランプアップ時に BEMF ディップが生じる場合の方が信頼性が高くなります。

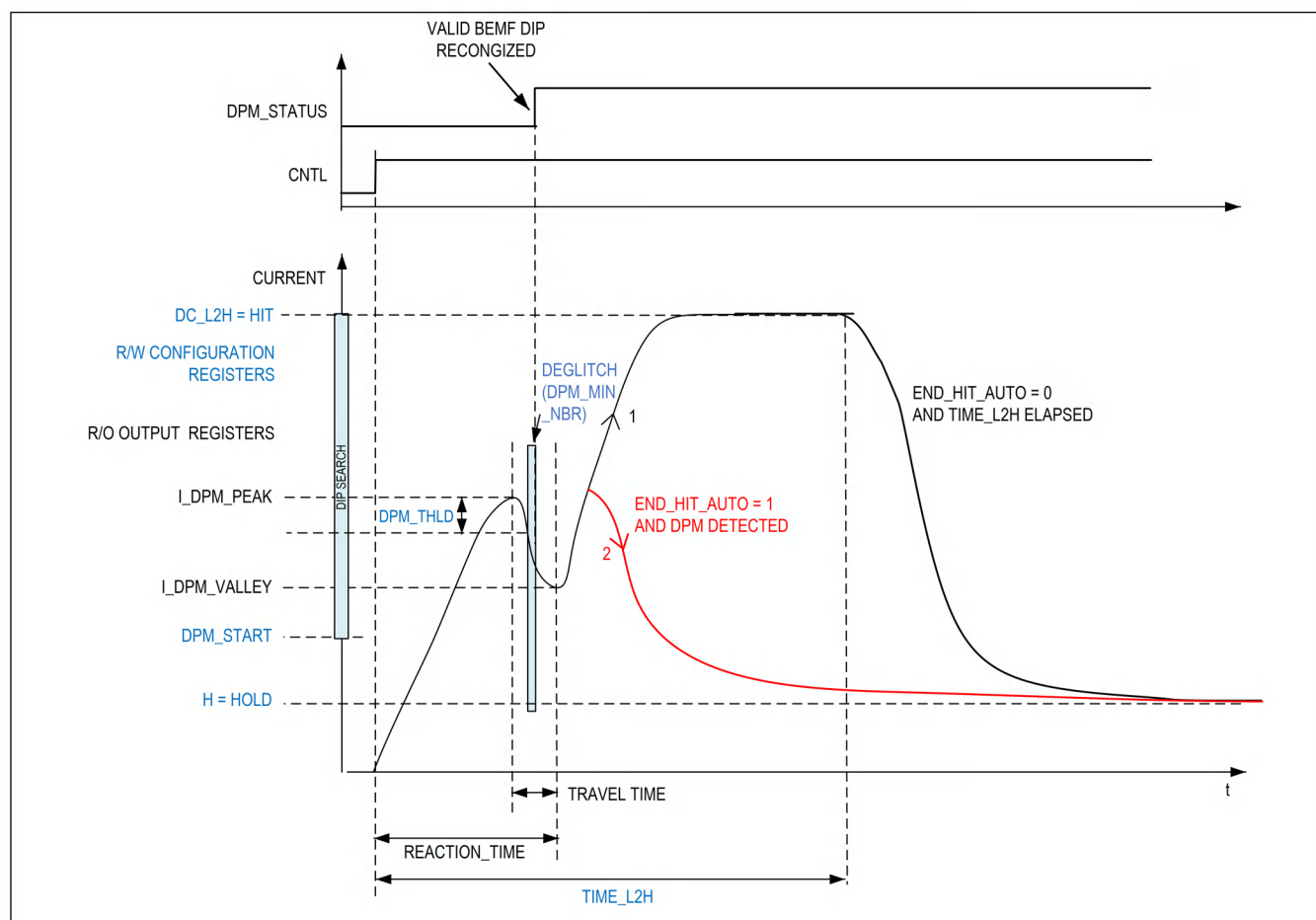


図 7. ブランジャ動作の検出

正常に機能しているソレノイド・バルブの代表的な電流特性を図 7 に示します。アルゴリズムは電流の立上がりエッジ（バルブの作動）でのみ機能します。DPM_START と DPM_THLD は、ノイズを減らし、誤トリガやエラーを抑制するために使用する電流スレッシュホールドです。

DPM_THLD より大きい電流値の低下が生じると、それが有効なブランジャ動作として検出されて DPM_STATUS がトリガされます。このディップの終了後に、DPM は TRAVEL_TIME と REACTION_TIME を計算します。

END_HIT_AUTO ビットがロジック・ローに設定されると、シーケンサが電流/電圧を DC_L2H レベルまで増加させ、TIME_L2H が経過してから初めて DC_H に切り替えます。

END_HIT_AUTO ビットがロジック・ハイに設定されると、DPM が有効なブランジャ動作を確認した直後にシーケンサが自動的に DC_H 設定点を有効にして、大幅に消費電力を抑えます。

このディップの大きさと電流の立上がりエッジ沿いの相対位置は、バルブの状態と経年劣化を示す良い指標となります。

MAX22216/MAX22217 に実装された DPM 機能は、4 つのパラメータ (I_DPM_PEAK、I_DPM_VALLEY、REACTION_TIME、TRAVEL_TIME) を出力します。これらは対応する各チャンネルの診断用読出し専用レジスタに保存され、ソレノイドの状態分析に使用できます。

図 7 において、

1. $I_DPM_PEAK[15:0]$ は、励磁フェーズにおける電流の極大値（ローカル・ピーク）を表します。
2. $I_DPM_VALLEY[15:0]$ は、励磁フェーズにおける電流の極小値（ローカル・バレー）を表します。
3. $REACTION_TIME[15:0]$ は、ON コマンドから電流の極小値までの時間を PWM の周期数で表した値を表します。
4. $TRAVEL_TIME[15:0]$ は、電流の極大値から極小値までの時間を PWM の周期数で表した値を表します。

これらのパラメータの変化はバルブの経年劣化の症状であり、バルブ動作寿命中に予防保全を行う必要があることを示しています。
 $REACTION_TIME$ と $TRAVEL_TIME$ は以下の式を使って計算できます。

$$REACTION_TIME (ms) = REACTION_TIME[15:0]/F_PWM$$

$$TRAVEL_TIME (ms) = TRAVEL_TIME[15:0]/F_PWM$$

I_DPM_PEAK と I_DPM_VALLEY は電流を表す数値です。実際の値は次式で計算できます。

MAX22216	$I_DPM (mA) = 8 \times K_{CDR} \times GAIN \times SNSF \times I_DPM[11:0]_{DEC}$
MAX22217	$I_DPM (mA) = 8 \times K_{CDR} \times GAIN \times I_DPM[11:0]_{DEC}$

シーケンサの起動時に DPM 機能がイネーブルされている場合、アルゴリズムは最初に I_DPM_PEAK を探し、ピーク値が見つかったとレジスタを更新します。

その後、電流が極大値レベルに戻るか $TIME_L2H$ が経過した時点で、 I_DPM_VALLEY 、 $REACTION_TIME$ 、および $TRAVEL_TIME$ レジスタに書き込みが行われます。以上で DPM 検出は終了です。

プランジャ動作検出の設定

DPM アルゴリズムの設定と調整のために、チャンネルごとにいくつかのパラメータを個別に設定することができます。これらのパラメータは、2つの 16 ビット・レジスタ $CFG_DPM0[15:0]$ と $CFG_DPM1[15:0]$ に保存されます（[レジスタ・マップ](#)のセクションを参照）。

$CFG_DPM1[15:0]$ の DPM_EN ビットはイネーブル・ビットです。そのチャンネルの DPM 機能をイネーブルするには、このビットをハイに設定します。

図 7 に示すように、アルゴリズムは、次式で与えられるユーザ設定可能な電流レベルより上の BEMF ディップを探します。

MAX22216	$DPM_START(mA) = 64 \times K_{CDR} \times GAIN \times SNSF \times DPM_START[7:0]_{DEC}$
MAX22217	$DPM_START(mA) = 64 \times K_{CDR} \times GAIN \times DPM_START[7:0]_{DEC}$

ここで、 $DPM_START[7:0]$ は CFG_DPM1 レジスタの 8 ビットフィールドです。

電流の極大値 I_DPM_PEAK が検出されると、直ちに対応する R/O レジスタにその値が保存されます。次いで、プランジャ動作によって生じるその後のディップとプログラマブルなスレッシュホールドをアルゴリズムが比較します。このスレッシュホールドは、 CFG_DPM0 レジスタの $DPM_THLD[11:0]$ ビットフィールドに書き込みを行うことによって設定できます。電流スレッシュホールドは次式で得られます。

MAX22216	$DPM_THLD(mA) = 8 \times K_{CDR} \times GAIN \times SNSF \times DPM_THLD[11:0]_{DEC}$
MAX22217	$DPM_THLD(mA) = 8 \times K_{CDR} \times GAIN \times DPM_THLD[11:0]_{DEC}$

ユーザは、BEMF ディップの誤検出を回避するためにデグリッチ時間を設定できます。デグリッチ時間は PWM のサイクル数で設定され、次式で表されます。

$$DPM_DEGLITCH = 2 \times DPM_MIN_NBR[3:0]_{DEC} \times 1/FPWM$$

ここで、 $DPM_MIN_NBR[3:0]$ は CFG_DPM1 レジスタの 4 ビットフィールドです。

電流がピーク値から DPM_THLD 以上低下して、その時間が $DPM_DEGLITCH$ を超えると、有効な BEMF ディップが検出されます。これは、バルブが正常に動作していることを意味します。

有効な BEMF ディップが検出されると、直ちにアルゴリズムがローカル・バレー（電流プロファイルの極小値）を探します。ローカル・バレーが見つかったと、その値が I_DPM_VALLEY レジスタに保存されます。更に、 $STATUS$ レジスタに DPM_STATUS ビットがセットされます。 $STATUS$ ビットはバルブが非アクティブになる（ $CNTL$ がローになる）ごとに毎回クリアされるので、バルブが正常にアクティブになったかどうかは DPM_STATUS ビットによって知ることができます（[ステータス](#)のセクションを参照）。

これとは逆に、DC_H2L で表される時間（ヒット時間または励磁時間）全体を通じて有効な BEMF ディップが検出されなかった場合は DPM_STATUS ビットがローのままになり、DPM_FAULT ビットをセットして信号を送信することができます（[フォルト](#)のセクションを参照）。

最後に、有効な BEMF ディップが検出された時点で直ちにシーケンサが励磁フェーズ（HIT）を終了するように MAX22216/MAX22217 を設定することも可能です。CFG_DPM1 の 2 つのビット、END_HIT_AUTO と END_HIT_HIZ_AUTO がこの機能を制御します。

- 有効な BEMF ディップが検出され、電流が増加して極大値レベル（I_DPM_PEAK）に戻った時点で DC_H2L から DC_H へ自動的に切り替わるようにするには、END_HIT_AUTO = 「1」に設定します。これは、[プランジャ動作の検出（DPM）](#)の図に赤い曲線で示されています。
- 有効な BEMF ディップが検出され、電流が増加して極大値レベルに戻った時点で DC_H2L から HiZ（高インピーダンス）へ自動的に切り替わるようにするには、END_HIT_HIZ_AUTO = 「1」に設定します。BEMF ディップが検出されなかった場合は、TIME_L2H が経過した時点で駆動フェーズが HiZ に切り替わります。

END_HIT_AUTO や END_HIT_HIZ_AUTO は、ラッチ式バルブを使用するアプリケーションの駆動効率を劇的に向上させます。

抵抗測定

MAX22216/MAX22217 は、コイルの等価抵抗を計算するように設定できます。コイルの温度が上昇すると抵抗値も増大するはずなので、この機能はソレノイドやモータの温度を間接的に測定することを可能にします。

この機能をイネーブルするには、インダクタンス測定をイネーブルする必要があります（[インダクタンス測定の設定](#)のセクションを参照）。インダクタンス測定の必要がなく、抵抗測定だけが必要な場合は、DC レベルだけが負荷に加わるように AC_SCAN の振幅をゼロに設定することができます。

抵抗測定は、インダクタンス測定時に負荷に加える平均電圧と平均電流を除することによって行います（[インダクタンス測定の設定](#)のセクションを参照）。各チャンネルの測定抵抗値は、SPI を介して RES[15:0] ビットにアクセスすることにより読み出せます。

抵抗測定の式を下に示します。

$$R = R[15:0] \times (K_R / (SNSF * GAIN))$$

ここで、 $K_R = 8.43\text{m}\Omega$ です。

抵抗スレッシュホールドは、設定レジスタに RES_THLD[15:0] ビットを書き込むことによって設定できます。

計算した抵抗値が RES_THLD を超えている場合、MAX22216/MAX22217 は STATUS レジスタ内に RES ステータス・ビットをセットします。更に、FAULT レジスタ内に RES ビットをセットして、フォルト信号を送信することも可能です（[保護機能とフォルト・インジケータ](#)のセクションを参照）。

ステータス・モニタの設定

MAX22216/MAX22217 は、SPI を介して STATUS レジスタの STT[3:0] ビットを読み出すか、STAT0 および STAT1 ロジック出力ピンを観測することによって、チャンネル・ステータスをモニタできます。ステータス・モニタ機能は、グローバル・レジスタ STATUS_CFG[15:0] への書込みによって設定できます。

ステータス情報は表 14 に従って STAT0 および STAT1 出力ピンにマップされます。その場合は CHS がハードウェア構成を決定し（[ハードウェア構成](#)のセクションを参照）、STAT_SEL0 と STAT_SEL1 が STATUS_CFG レジスタの 2 つの選択ビットです。

チャンネルがフルブリッジ構成（FB）になっている場合、ステータス・ピンは、PWM モニタリングを除くすべてのモードで対応チャンネルの STT ビットの論理和を出力します。PWM モニタリングが選択されている場合、STAT_ピンはチャンネル数が小さいハーフブリッジの PWM 信号を出力します。STAT ピンの極性は、GLOBAL_CFG レジスタの STAT_POL ビットで変更できます。

MAX22216/MAX22217 は、様々なタイプの情報を出力するように設定できます。可能な設定の概要を表 15 に示します。STATUS_CFG レジスタの 3 つのビット STAT_FUN[2:0] は、目的の機能の選択に使用します。

STAT_FUN0x0：インダクタンス測定に基づいてオン／オフ・ステータスが検出されます。これは、内部で測定した I_AC を、ユーザ設定可能なスレッシュホールド IAC_THD と比較することによって行われます。このスレッシュホールドはチャンネルごとにプログラムできます（[インダクタンスの測定](#)のセクションを参照）。

STAT_FUN 0x1 : STAT ピンが PWM モニタ出力として機能します。この設定では、モニタリングのために、負荷に加えられる PWM 信号の低電圧レプリカがステータス・ピン (STAT) に出力されます。特に、MAX22216/MAX22217 が CDR モードに設定されている場合は、外部プロセッサによって STAT 信号を処理することで、ストール状態、負荷または電源の接続遮断、あるいはデューティ・サイクルに異常な変動を生じさせるような負荷状態の突然の変化などを検出することができます。

STAT_FUN 0x2 : コイル抵抗が設定済みのスレッシュホールド (RES_THLD) を超えると、その都度 STT ビットがセットされます (したがって STAT ピンがロジック・ハイを出力します) ([抵抗測定](#)のセクションを参照)。

STAT_FUN 0x3 : プランジャ動作の検出に基づいてオン/オフ・ステータスが検出されます。この設定を使用すると、チャンネルがオフになると (つまり CNTL=0)、その都度 STT ビットがクリアされます (したがって STAT ピンがデアサートされます)。励磁フェーズで有効な BEMF ディップが検出されると、STT ビットがセットされます (したがって STAT ピンがアサートされます)。

STAT_FUN 0x4 : この条件では、デバイスに電源が供給されると ($V_M > UVLO$) STT ビットがセットされて STAT ピンがアサートされ、 V_M が低下すると ($V_M < UVLO$) クリアされます。この STAT は、主に IC が動作電圧範囲内にあることを示すために使われるので、VM_THLD_DOWN、または VM_THLD_DOWN と VM_THLD_UP の組み合わせを使って制御することもできます。詳細については[スタンダードアロン \$V_M\$ スイッチング](#)のセクションを参照してください。

STAT_FUN 0x5 : I_MONITOR からのコイル電流がユーザ設定可能な DC 電流スレッシュホールド (IDC_THLD) を超えると、STT ビットがセットされて STAT ピンがアサートされます。IDC_THLD は、16 ビットの CFG_IDC_THLD[15:0] レジスタへ書き込みを行うことによって、チャンネルごとに個別にプログラムできます。フルブリッジ構成では、両方のチャンネルに IDC_THLD を設定する必要があります。並列フルブリッジでの比較時は CH0 と CH1 だけに設定する必要がありますが、STAT_SEL とは関係なく両方の STAT ピンをトリガします。並列構成では、すべてのチャンネルの電流の合計値に基づいて IDC_THLD を設定する必要があります。設定はメイン制御チャンネルだけについて行いますが、接続されたすべてのチャンネルの STAT をトリガします。スレッシュホールドは次式で与えられます。

MAX22216	$IDC_THLD (mA) = K_{CDR} \times GAIN \times SNSF \times IDC_THLD[15:0]_{DEC}$
MAX22217	$IDC_THLD (mA) = K_{CDR} \times GAIN \times IDC_THLD[15:0]_{DEC}$

ステータス・モニタ機能については、[STAT モニタ - シングルエンド波形図](#)と [STAT モニタ - 差動波形図](#)に示す動作図も参照してください。

表 14. STAT ロジック出力ピンの選択

CHS	CONFIGURATION SETTING	STAT0	STAT1
0x0	4x Independent HB	STT0 if STAT_SEL(0) = 0 STT1 if STAT_SEL(0) = 1	STT2 if STAT_SEL(1) = 0 STT3 if STAT_SEL(1) = 1
0x1	3x Parallel HB 1x Independent HB	STT0=STT1 = STT2	STT3
0x2	2x Parallel HB 2x Independent HB	STT0 = STT1	STT2 if STAT_SEL(1) = 0 STT3 if STAT_SEL(1) = 1
0x3	2x Parallel HB 2x Parallel HB	STT0 = STT1	STT2 = STT3
0x4	4x Parallel HB	STT0 = STT1 = STT2 = STT3	-
0x5	1x Independent FB 1x Independent FB	STT0 in PWM monitoring (STT0 OR STT1) all other modes	STT2 in PWM monitoring (STT2 OR STT3) all other modes
0x6	1x Independent FB 2x Independent HB	STT0 in PWM monitoring (STT0 OR STT1) all other modes	STT2 if STAT_SEL(1) = 0 STT3 if STAT_SEL(1) = 1
0x7	1x Independent FB 2x Parallel HB	STT0 in PWM monitoring (STT0 OR STT1) all other modes	STT2 = STT3
0x8	1x Parallel FB	STT0 if STAT_SEL(0) = 0 STT1 if STAT_SEL(0) = 1	STT0 if STAT_SEL(0) = 0 STT1 if STAT_SEL(0) = 1

表 15. 多機能ステータス・ピン

STAT_FUN	FUNCTION	CONDITION	STAT STAT_POL = "0"	STAT STAT_POL = "1"	STT BITS
0x0	Status detection based on the inductance measurement	if IAC > IAC_THLD	Low	High	"0"
		if IAC < IAC_THLD	High	Low	"1"
0x1	PWM monitor	-	PWM	$\overline{\text{PWM}}$	n/a
0x2	Status detection based on resistance measurement	if RES < RES_THLD	Low	High	"0"
		if RES > RES_THLD	High	Low	"1"
0x3	Status detection based on successful plunger movement (DPM)	if CNTL = Low or CNTL = HIGH but DPM not detected	Low	High	"0"
		if CNTL = HIGH and DPM is detected	High	Low	"1"
0x4	Status detection based on V_M detection	if V_M < UVLO	Low	High	"0"
		if V_M > UVLO	High	Low	"1"
0x5	Status detection based on I_MONITOR measurement	if I_MONITOR < IDC_THLD	Low	High	"0"
		if I_MONITOR > IDC_THLD	High	Low	"1"

STAT モニタ – シングルエンド波形図

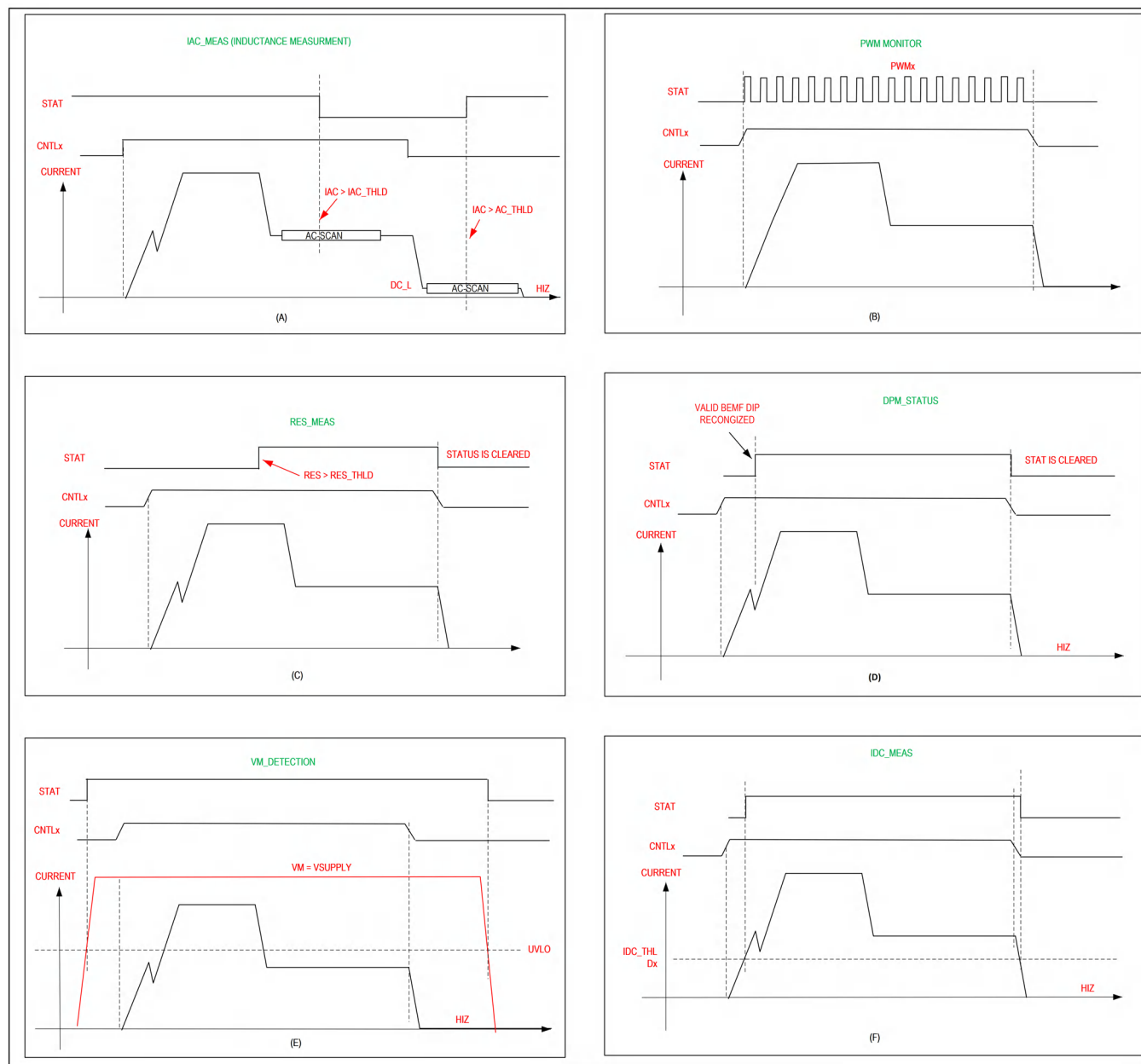


図 8. STATUS 出力モニタ・ピン – シングルエンド

STAT モニタ – 差動波形図

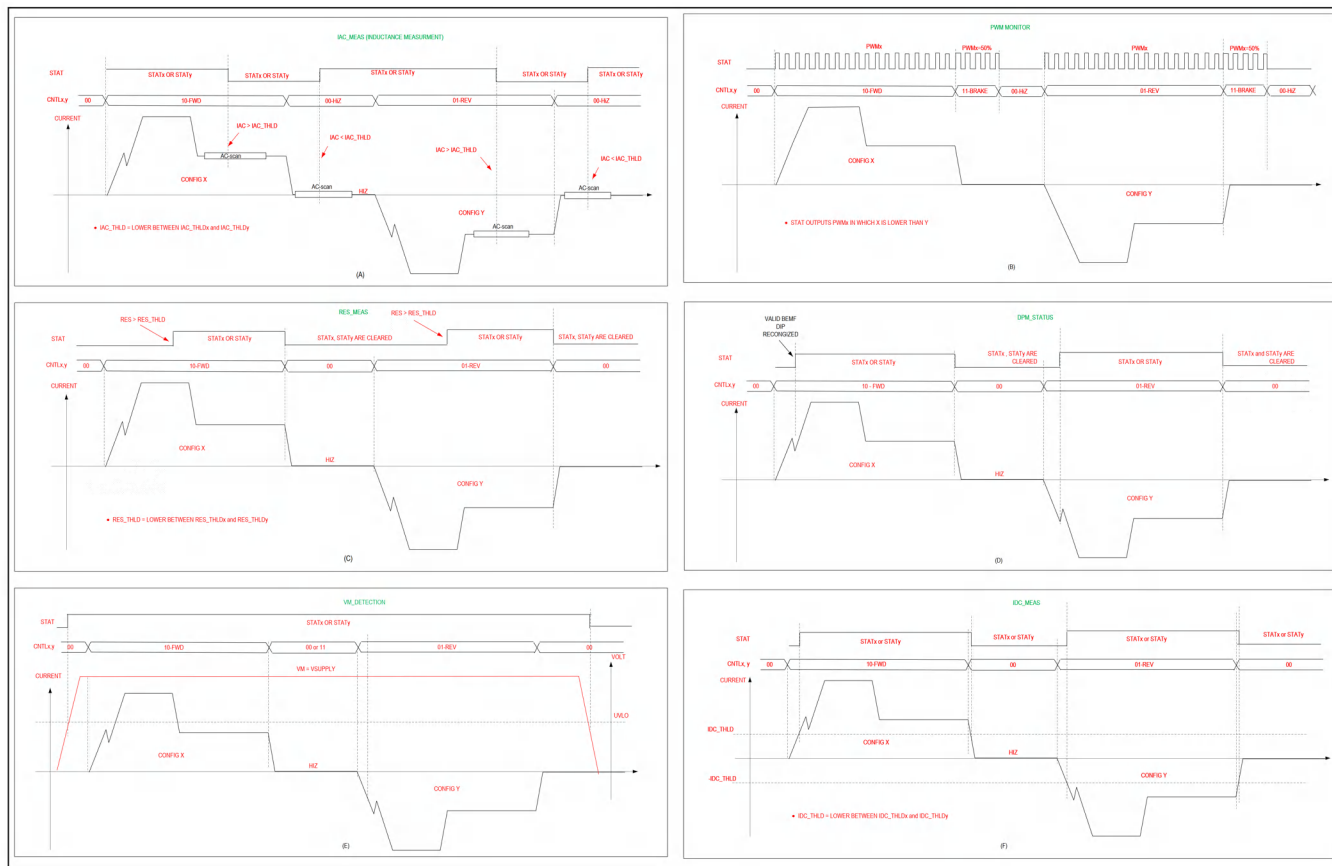


図 9. STATUS 出力モニタ・ピン – 差動

保護機能とフォルト・インジケータ

保護機能とフォルト・インジケータ・ピン (FAULT)

MAX22216/MAX22217 はフルセットの保護機能と診断機能を備えています。これらの機能には以下が含まれています。

1. 低電圧ロックアウト (UVM)
2. 過電流保護 (OCP)
3. 過熱保護 (OVT)
4. 開放負荷検出 (OL)
5. 「ヒット電流未達」検出 (HHF)
6. 通信エラー検出 (COMER)
7. プランジャ動作フォルトの検出 (DPM)
8. インダクタンス測定 (IND)
9. 負荷抵抗フォルト (RES)

フォルト状態が発生すると、その都度、対応するグローバル・ビットが R/O STATUS レジスタ内にセットされます。

フォルト・イベントは、診断のため、FAULT0[15:0]および FAULT1[15:0]という名前の 2 つの R/O 16 ビット・フォルト・レジスタに記録されます。フォルトが発生したチャンネルを特定できるように、OCP、OL、HHF、DPM、IND、および RES フォルトには、各チャンネル専用のフラグ・ビットを使用できます。フォルト・レジスタは「1 を書き込んでクリアするレジスタ」です。ユーザは SPI を介してレジスタをリードバックし、対応するビットに「1」を書き込むことによって個々のフォルト・フラグをクリアできます。もしくは、ENABLE ピンをロジック・ローにするか、デバイスの電源をオフにすること（電源サイクリング）でフォルト・レジスタをクリアすることもできます。

IND フォルトと RES フォルトを除き、以上に挙げた各フォルトについて、アクティブ・ローのオープン・ドレイン・フォルト・インジケータ・ピン ($\overline{\text{FAULT}}$) を使ってフォルト状態の信号を送信することができます。

フォルトは、16 ビットのグローバル・レジスタ GLOBAL_CFG[15:0]内の対応マスク・ビットをハイに設定することによってマスクできます。マスクすると、そのフォルト・イベントは FAULT ピンをアクティブにしないので、外部コントローラが割込みを受信することはありません。これらのマスク・ビットを表 16 に示します。デフォルト値はゼロです。

表 16. マスク・ビット

FAULT	MASK BIT
UVM	M_UVM
OCP	M_OCP
OVT	M_OVT
OL	M_OLF
HHF	M_HHF
DPM	M_DPM
COMER	M_COM

表 17 に示すように、STATUS_CFG レジスタの 2 つのビット (STRETCH_EN[1:0]) を使って、低電圧 (UVM) フォルトまたは過熱 (OVT) フォルト検出後のフォルト信号の時間を延長することができます。この機能は、フォルト発生後に $\overline{\text{FAULT}}$ ピンがアクティブ (ロジック・ロー) に保たれる最小時間 (延長時間) を設定します。 $\overline{\text{FAULT}}$ ピンを使って外部 LED を駆動する場合は (例えばスタンドアロンで使用する場合)、延長時間を長く設定するとフォルト・イベントを目視で確認することができます。

表 17. 延長のイネーブル

STRETCH_EN	STRETCH TIME
00b	No stretch
01b	1s
10b	2s
11b	3s

低電圧ロックアウト (UVM)

V_M ピンの電圧が低電圧ロックアウト・スレッシュホールド (代表値で約+4V) 未満に低下した場合は、常に全チャンネルがスリーステートとなり、内蔵チャージ・ポンプがディスエーブルされて、フォルト・レジスタと STATUS レジスタに UVM ビットがセットされます。ロジック・レジスタの内容は、V_{DD} がデジタル・パワーオン・リセット (POR) スレッシュホールド未満に低下するまで保存されます。スレッシュホールドに達すると (通常は V_{DD} = 1.0V のとき)、すべてのレジスタがデフォルト値にリセットされます。

UVLO コンパレータの出力は $\overline{\text{FAULT}}$ インジケータ・ピンをアクティブにします (ピンがマスクされていない場合)。

$\overline{\text{FAULT}}$ ピンに UVLO コンパレータのラッチされない情報を出力するか、あるいはラッチされた UVM ビット情報を出力するかは、ユーザが選択できます (図 10 を参照)。

更に、前者の場合は、ユーザが最小 $\overline{\text{FAULT}}$ アサート時間を設定できます (延長時間: 保護機能とフォルト・インジケータ・ピン ($\overline{\text{FAULT}}$) のセクションを参照)。

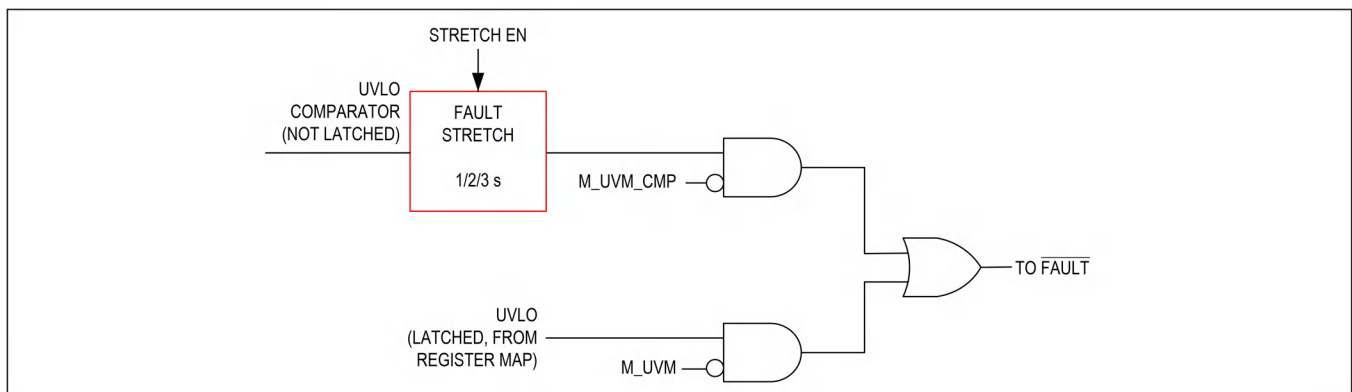


図 10. フォルト出力の回路図

過電流保護（OCP）

過電流保護機能は、レール（ V_M と GND）へのドライバ出力の短絡時や負荷の短絡時にデバイスを保護します。出力電流が OCP スレッシュホルドを超えると（電気的特性の表を参照）、対応するチャンネルが自動的にスリーステートになり、STATUS レジスタのグローバル OCP ビットと FAULT レジスタの個々の OCP ビットがセットされて、FAULT 出力がアサートされます（マスクされていない場合）。フォルト・レジスタに 1 を書き込むとフラグがクリアされて FAULT 出力がデアサートされますが、不具合のあるチャンネルはオンになりません。フラグがクリアされると、ステータス・レジスタで不具合のあるチャンネルをオフにすることによって通常動作が再開されます。ブリッジ接続負荷構成または並列構成の場合、通常動作を再開するには、フルブリッジ構成または並列構成を形成するすべてのチャンネルをオフにする必要があります。

チャンネル・オフ時の開放負荷検出（OL）

CFG_CTRL レジスタの OL_EN ビットは、開放負荷検出（OL）機能をイネーブルまたはディスエーブルします。この機能をイネーブルすると、そのチャンネルは常にスリーステートになり、わずかなソース/シンク電流が出力ノードを駆動します（ I_{OL_LS} 、 I_{OL_HS} ）。

シングルエンド構成の場合、出力ピンで検出された電圧がローサイド構成で V_{OL_LS} を下回るか、ハイサイド構成で V_{OL_HS} を上回った場合は、開放負荷状態が検出されます。

フルブリッジ構成で開放負荷検出機能を正しく機能させるには、両方のチャンネルで開放負荷検出がイネーブルされていなければならない、更にブリッジの 1 つの出力がローサイドとして構成され（ $HSnLS_x = 0$ ）、他方の出力がハイサイドとして構成されていなければならない（ $HSnLS_y = 1$ ）。両方のサイドが開放負荷状態を検出すると開放負荷状態が検出されます。そして、それは両方のチャンネルに対し同時に OLF として示されます。並列フルブリッジの場合は、すべてのチャンネルに開放負荷検出を設定し、フルブリッジの同じサイドの 2 つのチャンネルを $HSnLS$ に設定する必要があります（CH0 と CH1、または CH2 と CH3）。OLF はすべてのチャンネルに同時に出現します。

複数のチャンネルが並列に設定されている場合は、それらのチャンネルが PCB を介して接続されていても、開放負荷検出は、並列に接続された各チャンネルで個別に機能します。一般に、開放負荷検出はメイン制御チャンネルだけで使用することを推奨します。並列ハーフブリッジを $HSnLS$ と共に使用する場合は、すべてのチャンネルで開放負荷検出が必要な場合は、各チャンネルを個別に $HSnLS$ に設定する必要があります。

いずれのケースにおいても、この機能をイネーブルした時点から始まるデグリッチ時間を比較的長い値に設定すれば（代表値で $t_{OL} = 200\mu s$ ）、開放負荷状態のチェックを開始するまでに出力を安定させることができます。

開放負荷状態が検出されると、フォルト・レジスタの対応ビットと STATUS レジスタの OLF ビットがセットされます。また、FAULT 通知ピンもアサートされます（ピンがマスクされていない場合）。

過熱保護（OVT）

ダイ温度が安全限界を超えると、すべての出力がディスエーブルされます。その場合は FAULT レジスタと STATUS レジスタの OVT フラグ・ビットがセットされて、FAULT ピンがローになります（ピンがマスクされていない場合）。

ダイ温度が安全なレベルまで低下すると自動的に動作を再開します。FAULT ピンは延長時間の経過後に解放されますが（保護機能とフォルト・インジケータのセクションを参照）、フォルト・レジスタに 1 が書き込まれるまでフラグ・ビットは「1」に設定されたままになります。

「ヒット電流未達」フラグ（HHF）

CDR モードでは、事前に設定したヒット電流レベルに到達したかどうかをユーザがモニタできます。この診断ツールは、CFG_CTRL レジスタの HHF_EN ビットを「1」にセットすることによってイネーブルできます。TIME_L2H の終了時に目標電流値に達していない場合は、フォルト・レジスタの個々の HHF ビットと、STATUS レジスタのグローバル HHF ビットがセットされます。また、FAULT 通知ピンがアサートされます（ピンがマスクされていない場合）。このフォルトはドライバをスリーステートにしません。フォルト・レジスタに 1 が書き込まれるとフラグ・ビットがクリアされます。

MAX22216/MAX22217 の設定方法

SPI の概要

MAX22216/MAX22217 は、巡回冗長検査（CRC）制御を行う 10MHz 対応のシリアル・ペリフェラル・インタフェース（SPI）を備えています。CRC 制御はオプションで、CRC_EN ピンをロジック・ハイにすることでアクティブにできます。

SPI は、1 つの SPI から複数のデバイスを制御できるようにデジチェーン接続をサポートしています。SDI 入力、SCK 信号の立上がりエッジでクロック・インされます。SDO からのデータ出力は、SCK 信号の立下がりエッジでクロック・アウトされます。

SPI 転送はバイト指向です。

SPI トランザクションには CRC エラー検出がありません。

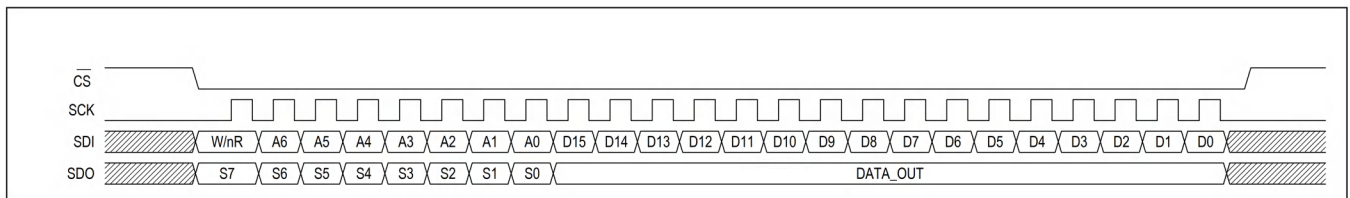


図 11. CRC なしの SPI データグラム

SPI の入力データ転送は 24 ビット・ワードで構成されます。つまりアドレスと W/R ビットに 8 ビット、データに 16 ビットです。SPI トランザクションには CRC エラー検出がありません。

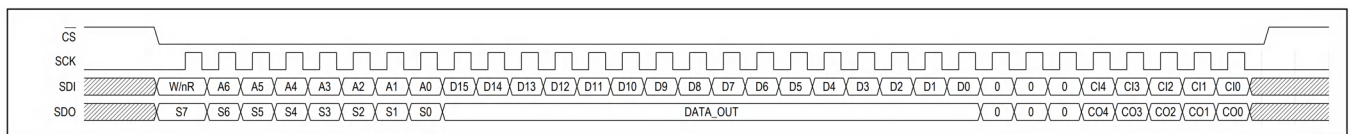


図 12. CRC ありの SPI データグラム

SPI の入力データ転送は 32 ビットで構成されます。つまりアドレスと W/R ビットに 8 ビット、データに 16 ビット、FCS に 8 ビットです。CRC エラー検出は CRC_EN ピンがハイの場合にイネーブルされます。

CRC エラー検出の詳細については、[シリアル・インタフェースの CRC エラー検出](#)のセクションを参照してください。

SPI データ

SPI ビットフィールドは以下の通りです。

- W/nR：書込みコマンドの場合は 1、読出しコマンドの場合は 0。
- A[6:0]：アドレス
- D[15:0]：入力データ（読出し時は X にできます）
- S[7:0]：ステータス・データ
 - S[7] – OVT
 - S[6] – OCP
 - S[5] – OLF
 - S[4] – COMER
 - S[3] – UVM
 - S[2] – DPM
 - S[1] – STAT1
 - S[0] – STAT0

- DATA_OUT：出力データ（直前のコマンドにより異なります）。
 - 直前のコマンドが書き込みだった場合、DATA_OUT には直前のコマンドで送られてきたデータ D[15:0]が格納されます。
 - 直前のコマンドが読み出しだった場合、DATA_OUT には直前のコマンドで送られてきたアドレス A[6:0]のレジスタ・マップ・データが格納されます。

読み出しアクセス要求はダミー書き込みデータを使用します。読み出しデータは、その後の読み出しまたは書き込みアクセスによって再びマスタに転送されます。したがって、パイプライン方式で複数のレジスタを読み出すことができます。

例：

ACTION	DATA SENT ON SDI	DATA RECEIVED ON SDO
Read register 0x21 (send command)	0x21XXXX	0xSS, unused_data
Read register 0x21 (receive data)	0x21XXXX	0xSS, data_register_21
Write 0x1234 to register 0x10	0x901234	0xSS, data_register_21
Write 0x5678 to register 0x10	0x905678	0xSS1234

SS – ステータス・データ

シリアル・インタフェースの CRC エラー検出

SDI/SDO 信号のデータ破損による誤った動作や情報を最小限に抑えるために、シリアル・データの CRC エラー検出をイネーブルすることができます。

CRC エラー検出は、CRC_EN 入力をロジック・ハイにすることによってイネーブルできます。

エラー検出をイネーブルすると、MAX22216/MAX22217 は次のように動作します。

1. コントローラから受信した SDI データのエラーを検出します。
2. SDO データの CRC を計算して、コントローラに送信する SDO 診断/ステータス・データにチェック・バイトを付加します。

これにより、コントローラから受け取るデータ（設定/構成）とコントローラへ送るデータ（診断/ステータス）の両方について、未検出のエラーが含まれる可能性が低くなります。CRCEN 入力をハイに設定すると CRC エラー検出がイネーブルされます。次いで、各シリアル・トランザクションと共に CRC フレーム・チェック・シーケンス（FCS）が送られます。5 ビット FCS は生成多項式 $X^5 + X^4 + X^2 + 1$ に基づいており、CRC 開始値 = 11111 です。CRC がイネーブルされると、MAX22216/MAX22217 は、受信した SDI プログラム/設定データにチェック・バイトが付加されることを前提として処理を行います。チェック・バイトのフォーマットを以下に示します。

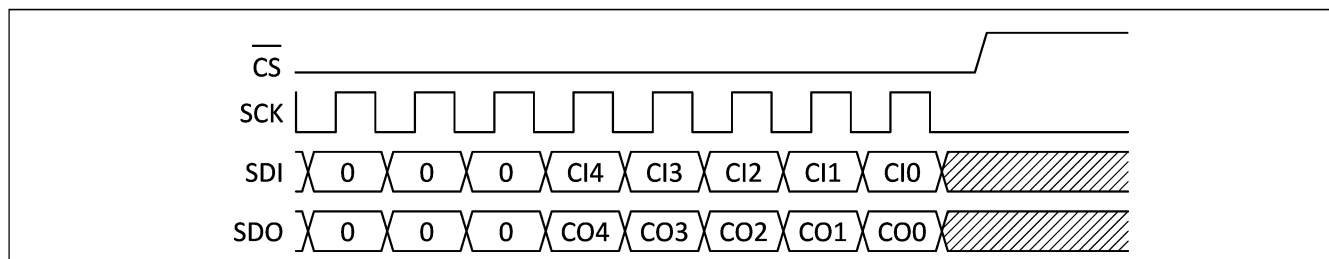


図 13. CRC バイト

チェック・バイトの MSB に格納される 3 個の「0」を含め、1 つの SPI コマンドで送信されるすべてのデータについて 5 個の FCS ビット (CIx/COx) が計算されます。したがって、CRC は 19 ビットから計算されます。CI0 は FCS の LSB です。MAX22216/MAX22217 は受信した FCS を検証します。エラーが検出されなかった場合、MAX22216/MAX22217 は SDI データごとに構成を変更します。CRC エラーが検出された場合、MAX22216/MAX22217 は構成を変更しません。代わりに、次の SPI 転送のステータス・バイトの COMER ビットをハイに設定します。

複数の MAX22216/MAX22217 がデジタイゼーション接続されている場合は、チェーン内の特定の MAX22216/MAX22217 へ送られたデータについて、その MAX22216/MAX22217 の FCS ビットが計算されます。デジタイゼーション内のそれぞれの MAX22216/MAX22217 には、他の MAX22216/MAX22217 へ送られたデータから独立して計算された FCS バイトが送られます。CRC エラー検出は、デジタイゼーション接続内のすべての MAX22216/MAX22217 で同じようにイネーブルまたはディスエーブルする必要があります。

ワンタイム・プログラマブル (OTP)

構成設定は、ワンタイム・プログラマブル・レジスタ (OTP) への書き込みを行うことにより、パワーオン・デフォルトとしてプログラムできます。ユーザは特定のニーズに合わせて製品製造時に OTP レジスタに書き込みを行い、SPI を通じその内容をリードバックして確認することができます。構成設定を OTP レジスタへ書き込んでしまえば、ロジック入力信号 (CNTL) を使って MAX22216/MAX22217 を動作させることができるので、SPI 制御の必要がなくなります。この動作モードは「スタンダアロン・モード」と呼ばれます。

RegMap 内にある機能レジスタのデフォルト値は、すべて OTP メモリ・バンクへ書き込むこともできます。通常は、スタンダアロン・アプリケーションの場合に OTP にプログラムする必要があるのは RegMap レジスタ内にある値の一部に限られます。

OTP プログラミング・モードにするには、0xF12A7 という特別な SPI コマンドを発行する必要があります (OTP プログラミングのセクションを参照)。このコマンドは、OTP コントローラ・レジスタ OTP_CONTROL (0x68)、OTP_STATUS (0x69)、OTP_DATA0 (0x7A)、OTP_DATA1 (0x7B)、OTP_ADDR (0x7C) にアクセスするためのものです。機能レジスタの場合と同様、SPI は、アドレスと W/R ビットで 8 ビット、データが 16 ビットで構成される 24 ビット・ワードを OTP コントローラ・レジスタに転送します。

OTP プログラミング

OTP 書き込み手順は制御された環境で実行する必要があります。通常、これは温度と電圧が十分に制御された工場で行われます。

OTP への書き込みを安全に行うには、以下の条件を満たす必要があります。

プログラミング温度 : $25^{\circ}\text{C} \pm 10^{\circ}\text{C}$

プログラミング電圧 (V_M) : $8.7 \pm 0.13\text{V}$ (1.5%)

OTP の書き込み手順は以下の通りです。

1. V_M をプログラミング電圧 (8.7V) にした状態で、MAX22216/MAX22217 をパワーアップします。
2. CRC_EN = 0 にします。
3. GLOBAL_CFG レジスタ (0x01) の ACTIVE ビットをハイに設定することによって、デバイスをアクティブにします。残りのビットはすべてゼロに設定できます。
4. OTP プログラミング・モードにするには、SPI コマンド 0xFD12A7 を送信します。
5. OTP コントローラ準備のために、2 番目の SPI コマンド 0xF8001B を送信します。
6. プログラムする必要のある機能レジスタのアドレスを OTP_ADDR レジスタ (0x7C) へ書き込みます。
7. 下位データ・バイトを OTP_DATA0 レジスタ (0x7A) へ書き込みます。これが、そのレジスタをパワーアップするときの下位データ・バイトのデフォルト値になります。
8. 上位データ・バイトを OTP_DATA1 レジスタ (0x7B) へ書き込みます。これが、そのレジスタをパワーアップするときの上位データ・バイトのデフォルト値になります。
9. プログラミングを開始するには、OTP_CONTROL レジスタ (0x68) のプログラミング開始ビットに書き込みを行い、残りのビットをゼロに設定します。
10. DONE ビットが 1 になるまで OTP_STATUS レジスタ (0x69) にポーリングを行います。他のビットが 1 になっている場合は、プログラミング中に何か不具合が生じて OTP の内容が破損したことを意味しています。
11. 何も異常がなければ、プログラムする必要のある次の機能レジスタに対してステップ 6~10 を繰り返します。ステップ 8 で問題が発生した場合は、同じ機能レジスタに対して手順 (ステップ 6~10) を再試行することができます (注 1 を参照)。
12. すべてのプロセスに問題がなかったかどうかを確認するには、電源サイクリングを行って、プログラムした機能レジスタのデフォルト値をリードバックします。誤りがあった場合は、ステップ 6~10 を繰り返すことでプログラムをやり直すことができます (注 1 を参照)。

注 1 : 書き込みサイクル (ステップ 6~10) がうまくいかず、ステップ 10 または 12 で問題が見つかった場合は、OTP メモリ・バンクのレジスタが 1 つ使用できなくなります。OTP メモリ・バンクのサイズは限られているので、成功したものと不成功に終わったものの両方を含めて、OTP 書き込みサイクルの余剰回数が制限されます。

OTP メモリ・バンクを「ロック」して、それ以上の OTP への書き込みを避けることも可能です。すべてのレコードのデータの書き込みが終わったら、MTP_ADDR = 0x41 と MTP_DATA = 0xA5A5 でレコードを書き込んでデバイスをリブートします。これを行うと、そのデバイスにはそれ以上のプログラミング・セッションを実行できなくなります。これは、最終ユーザによる工場設定の変更を防止します。

パワーアップ時に OTP ダウンロードを行うためのウェイクアップ時間

パワーアップ時は、OTP メモリ・バンクの内容を揮発性レジスタ・バンクへダウンロードする必要があります。

合計ウェイクアップ時間 (T_{WU}) は、固定時間要素と可変時間要素の合計です。可変時間要素は OTP メモリのダウンロードによるもので、これは予め設定した OTP レジスタの合計数によって異なります。式にすると次のようになります。

$$T_{WU} = T_{FW} + T_{VWU} \times N_{OTP}$$

ここで、 T_{FW} は固定ウェイクアップ時間、 T_{VWU} は可変ウェイクアップ時間（[電氣的特性](#)の表を参照）、 N_{OTP} は予め OTP レジスタにデフォルト値がプログラムされた RegMap レジスタの数を表します。

レジスタ・マップ

機能レジスタ

機能レジスタのアドレスは SPI を介して直接指定できます。

これらのレジスタのデフォルト値は、不揮発性メモリ（OTP）に書き込むことができます（[OTP プログラミング](#)のセクションを参照）。

ADDRESS	NAME	MSB							LSB
GLOBAL REGISTERS									
0x00	GLOBAL_CTRL[15:8]	–	–	–	–	–	–	–	–
	GLOBAL_CTRL[7:0]	F_PWM_M[3:0]				CNTL3	CNTL2	CNTL1	CNTL0
0x01	GLOBAL_CFG[15:8]	ACTIVE	M_OVT	M_OCP	M_OLF	M_HHF	M_DPM	M_COM_F	M_UVM
	GLOBAL_CFG[7:0]	CNTL_P_OL	STAT_P_OL	–	VDRnVDRDUTY	CHS[3:0]			
0x02	STATUS[15:8]	–	STT3	STT2	STT1	STT0	MIN_T_ON	RES	IND
	STATUS[7:0]	OVT	OCP	OLF	HHF	DPM	COMER	UVM	RFU
0x03	STATUS_CFG[15:8]	–	–	–	–	–	–	M_UVM_CMP	V5_nV3
	STATUS_CFG[7:0]	EN_LDO	STRETCH_EN[1:0]		STAT_S_EL1	STAT_S_EL0	STAT_FUN[2:0]		
0x04	DC_H2L[15:8]	DC_H2L[15:8]							
	DC_H2L[7:0]	DC_H2L[7:0]							
0x05	VM_MONITOR[15:8]	–	–	–	VM_MONITOR[12:8]				
	VM_MONITOR[7:0]	VM_MONITOR[7:0]							
0x06	VM_THRESHOLD[15:8]	–	–	–	–	–	–	–	–
	VM_THRESHOLD[7:0]	VM_THLD_UP[3:0]				VM_THLD_DOWN[3:0]			
0x07	F_AC[15:8]	–	–	–	–	F_AC_SCAN[11:8]			
	F_AC[7:0]	F_AC_SCAN[7:0]							
0x08	U_AC_SCAN[15:8]	–	U_AC_SCAN[14:8]						
	U_AC_SCAN[7:0]	U_AC_SCAN[7:0]							
CONFIGURATION REGISTERS CH 0									
0x09	CFG_DC_L2H[15:8]	DC_L2H_0[15:8]							
	CFG_DC_L2H[7:0]	DC_L2H_0[7:0]							
0x0A	CFG_DC_H[15:8]	DC_H_0[15:8]							
	CFG_DC_H[7:0]	DC_H_0[7:0]							
0x0B	CFG_DC_L[15:8]	DC_L_0[15:8]							
	CFG_DC_L[7:0]	DC_L_0[7:0]							
0x0C	CFG_L2H_TIME[15:8]	TIME_L2H_0[15:8]							
	CFG_L2H_TIME[7:0]	TIME_L2H_0[7:0]							
0x0D	CFG_CTRL0[15:8]	CTRL_MODE_0[1:0]	HHF_EN_0	OL_EN_0	H2L_EN_0	RDWE_0	RMDE_0	RUPE_0	
	CFG_CTRL0[7:0]	RAMP_0[7:0]							
0x0E	CFG_CTRL1[15:8]	–	–	–	–	–	HSnLS_0	F_PWM_0[1:0]	

ADDRESS	NAME	MSB							LSB
	CFG_CTRL1[7:0]	T_BLANKING_0[1:0]		SLEW_RATE_0[1:0]		GAIN[1:0]		SNSF[1:0]	
0x0F	CFG_DPM0[15:8]	–	–	–	–	DPM_THLD_0[11:8]			
	CFG_DPM0[7:0]	DPM_THLD_0[7:0]							
0x10	CFG_DPM1[15:8]	–	DPM_EN_0	END_HI T_TO_HI Z_AUTO_0	END_HI T_AUTO_0	DPM_MIN_NBR_0[3:0]			
	CFG_DPM1[7:0]	DPM_START[7:0]							
0x11	CFG_IDC_THLD[15:8]	IDC_THLD_0[15:8]							
	CFG_IDC_THLD[7:0]	IDC_THLD_0[7:0]							
0x12	CFG_R_THLD[15:8]	RES_THLD_0[15:8]							
	CFG_R_THLD[7:0]	RES_THLD_0[7:0]							
0x13	CFG_IND_0[15:8]	–	–	–	–	DITH_EN_0	L_MEAS_EN_0	L_MEAS_L2H_0	L_MEAS_H_0
	CFG_IND_0[7:0]	L_MEAS_WCYCLES_0[3:0]				L_NBR_CALC_0[3:0]			
0x14	CFG_IND_1[15:8]	–	–	–	–	IAC_THLD_0[11:8]			
	CFG_IND_1[7:0]	IAC_THLD_0[7:0]							
0x15	CFG_P[15:8]	CFG_P_0[15:8]							
	CFG_P[7:0]	CFG_P_0[7:0]							
0x16	CFG_I[15:8]	CFG_I_0[15:8]							
	CFG_I[7:0]	CFG_I_0[7:0]							
CONFIGURATION REGISTERS CH 1									
0x17	CFG_DC_L2H[15:8]	DC_L2H_1[15:8]							
	CFG_DC_L2H[7:0]	DC_L2H_1[7:0]							
0x18	CFG_DC_H[15:8]	DC_H_1[15:8]							
	CFG_DC_H[7:0]	DC_H_1[7:0]							
0x19	CFG_DC_L[15:8]	DC_L_1[15:8]							
	CFG_DC_L[7:0]	DC_L_1[7:0]							
0x1A	CFG_L2H_TIME[15:8]	TIME_L2H_1[15:8]							
	CFG_L2H_TIME[7:0]	TIME_L2H_1[7:0]							
0x1B	CFG_CTRL0[15:8]	CTRL_MODE_1[1:0]		HHF_EN_1	OL_EN_1	H2L_EN_1	RDWE_1	RMDE_1	RUPE_1
	CFG_CTRL0[7:0]	RAMP_1[7:0]							
0x1C	CFG_CTRL1[15:8]	–	–	–	–	–	HSnLS_1	F_PWM_1[1:0]	
	CFG_CTRL1[7:0]	T_BLANKING_1[1:0]		SLEW_RATE_1[1:0]		GAIN[1:0]		SNSF[1:0]	
0x1D	CFG_DPM0[15:8]	–	–	–	–	DPM_THLD_1[11:8]			
	CFG_DPM0[7:0]	DPM_THLD_1[7:0]							
0x1E	CFG_DPM1[15:8]	–	DPM_EN_1	END_HI T_TO_HI Z_AUTO_1	END_HI T_AUTO_1	DPM_MIN_NBR_1[3:0]			
	CFG_DPM1[7:0]	DPM_START[7:0]							
0x1F	CFG_IDC_THLD[15:8]	IDC_THLD_1[15:8]							
	CFG_IDC_THLD[7:0]	IDC_THLD_1[7:0]							

ADDRESS	NAME	MSB							LSB
0x20	CFG_R_THLD[15:8]	RES_THLD_1[15:8]							
	CFG_R_THLD[7:0]	RES_THLD_1[7:0]							
0x21	CFG_IND_0[15:8]	–	–	–	–	DITH_E N_1	L_MEAS _EN_1	L_MEAS _L2H_1	L_MEAS _H_1
	CFG_IND_0[7:0]	L_MEAS_WCYCLES_1[3:0]				L_NBR_CALC_1[3:0]			
0x22	CFG_IND_1[15:8]	–	–	–	–	IAC_THLD_1[11:8]			
	CFG_IND_1[7:0]	IAC_THLD_1[7:0]							
0x23	CFG_P[15:8]	CFG_P_1[15:8]							
	CFG_P[7:0]	CFG_P_1[7:0]							
0x24	CFG_I[15:8]	CFG_I_1[15:8]							
	CFG_I[7:0]	CFG_I_1[7:0]							
CONFIGURATION REGISTERS CH 2									
0x25	CFG_DC_L2H[15:8]	DC_L2H_2[15:8]							
	CFG_DC_L2H[7:0]	DC_L2H_2[7:0]							
0x26	CFG_DC_H[15:8]	DC_H_2[15:8]							
	CFG_DC_H[7:0]	DC_H_2[7:0]							
0x27	CFG_DC_L[15:8]	DC_L_2[15:8]							
	CFG_DC_L[7:0]	DC_L_2[7:0]							
0x28	CFG_L2H_TIME[15:8]	TIME_L2H_2[15:8]							
	CFG_L2H_TIME[7:0]	TIME_L2H_2[7:0]							
0x29	CFG_CTRL0[15:8]	CTRL_MODE_2[1:0]	HHF_EN _2	OL_EN _2	H2L_EN _2	RDWE_2	RMDE_2	RUPE_2	
	CFG_CTRL0[7:0]	RAMP_2[7:0]							
0x2A	CFG_CTRL1[15:8]	–	–	–	–	–	HSnLS _2	F_PWM_2[1:0]	
	CFG_CTRL1[7:0]	T_BLANKING_2[1:0]	SLEW_RATE_2[1:0]		GAIN[1:0]		SNSF[1:0]		
0x2B	CFG_DPM0[15:8]	–	–	–	–	DPM_THLD_2[11:8]			
	CFG_DPM0[7:0]	DPM_THLD_2[7:0]							
0x2C	CFG_DPM1[15:8]	–	DPM_EN _2	END_HI T_TO_HI Z_AUTO _2	END_HI T_AUTO _2	DPM_MIN_NBR_2[3:0]			
	CFG_DPM1[7:0]	DPM_START[7:0]							
0x2D	CFG_IDC_THLD[15:8]	IDC_THLD_2[15:8]							
	CFG_IDC_THLD[7:0]	IDC_THLD_2[7:0]							
0x2E	CFG_R_THLD[15:8]	RES_THLD_2[15:8]							
	CFG_R_THLD[7:0]	RES_THLD_2[7:0]							
0x2F	CFG_IND_0[15:8]	–	–	–	–	DITH_E N_2	L_MEAS _EN_2	L_MEAS _L2H_2	L_MEAS _H_2
	CFG_IND_0[7:0]	L_MEAS_WCYCLES_2[3:0]				L_NBR_CALC_2[3:0]			
0x30	CFG_IND_1[15:8]	–	–	–	–	IAC_THLD_2[11:8]			
	CFG_IND_1[7:0]	IAC_THLD_2[7:0]							
0x31	CFG_P[15:8]	CFG_P_2[15:8]							
	CFG_P[7:0]	CFG_P_2[7:0]							

ADDRESS	NAME	MSB							LSB
0x32	CFG_I[15:8]	CFG_I_2[15:8]							
	CFG_I[7:0]	CFG_I_2[7:0]							
CONFIGURATION REGISTERS CH 3									
0x33	CFG_DC_L2H[15:8]	DC_L2H_3[15:8]							
	CFG_DC_L2H[7:0]	DC_L2H_3[7:0]							
0x34	CFG_DC_H[15:8]	DC_H_3[15:8]							
	CFG_DC_H[7:0]	DC_H_3[7:0]							
0x35	CFG_DC_L[15:8]	DC_L_3[15:8]							
	CFG_DC_L[7:0]	DC_L_3[7:0]							
0x36	CFG_L2H_TIME[15:8]	TIME_L2H_3[15:8]							
	CFG_L2H_TIME[7:0]	TIME_L2H_3[7:0]							
0x37	CFG_CTRL0[15:8]	CTRL_MODE_3[1:0]	HHF_EN_3	OL_EN_3	H2L_EN_3	RDWE_3	RMDE_3	RUPE_3	
	CFG_CTRL0[7:0]	RAMP_3[7:0]							
0x38	CFG_CTRL1[15:8]	–	–	–	–	–	HSnLS_3	F_PWM_3[1:0]	
	CFG_CTRL1[7:0]	T_BLANKING_3[1:0]	SLEW_RATE_3[1:0]		GAIN[1:0]			SNSF[1:0]	
0x39	CFG_DPM0[15:8]	–	–	–	–	DPM_THLD_3[11:8]			
	CFG_DPM0[7:0]	DPM_THLD_3[7:0]							
0x3A	CFG_DPM1[15:8]	–	DPM_EN_3	END_HI_T_TO_HI_Z_AUTO_3	END_HI_T_AUTO_3	DPM_MIN_NBR_3[3:0]			
	CFG_DPM1[7:0]	DPM_START[7:0]							
0x3B	CFG_IDC_THLD[15:8]	IDC_THLD_3[15:8]							
	CFG_IDC_THLD[7:0]	IDC_THLD_3[7:0]							
0x3C	CFG_R_THLD[15:8]	RES_THLD_3[15:8]							
	CFG_R_THLD[7:0]	RES_THLD_3[7:0]							
0x3D	CFG_IND_0[15:8]	–	–	–	–	DITH_EN_3	L_MEAS_EN_3	L_MEAS_L2H_3	L_MEAS_H_3
	CFG_IND_0[7:0]	L_MEAS_WCYCLES_3[3:0]				L_NBR_CALC_3[3:0]			
0x3E	CFG_IND_1[15:8]	–	–	–	–	IAC_THLD_3[11:8]			
	CFG_IND_1[7:0]	IAC_THLD_3[7:0]							
0x3F	CFG_P[15:8]	CFG_P_3[15:8]							
	CFG_P[7:0]	CFG_P_3[7:0]							
0x40	CFG_I[15:8]	CFG_I_3[15:8]							
	CFG_I[7:0]	CFG_I_3[7:0]							
DIAGNOSTICS_CH 0									
0x41	I_DPM_PEAK[15:8]	I_DPM_PEAK_0[15:8]							
	I_DPM_PEAK[7:0]	I_DPM_PEAK_0[7:0]							
0x42	I_DPM_VALLEY[15:8]	I_DPM_VALLEY_0[15:8]							
	I_DPM_VALLEY[7:0]	I_DPM_VALLEY_0[7:0]							
0x43	TRAVEL_TIME[15:8]	TRAVEL_TIME[15:8]							
	TRAVEL_TIME[7:0]	TRAVEL_TIME[7:0]							

ADDRESS	NAME	MSB						LSB
0x44	REACTION_TIME[15:8]	REACTION_TIME_0[15:8]						
	REACTION_TIME[7:0]	REACTION_TIME_0[7:0]						
0x45	I_MONITOR[15:8]	I_MONITOR_0[15:8]						
	I_MONITOR[7:0]	I_MONITOR_0[7:0]						
0x47	I_AC[15:8]	I_AC_0[15:8]						
	I_AC[7:0]	I_AC_0[7:0]						
0x48	RES[15:8]	RES[15:8]						
	RES[7:0]	RES[7:0]						
0x49	PWM_DUTY[15:8]	PWM_DUTYCYCLE_0[15:8]						
	PWM_DUTY[7:0]	PWM_DUTYCYCLE_0[7:0]						
DIAGNOSTICS_CH 1								
0x4A	I_DPM_PEAK[15:8]	I_DPM_PEAK_1[15:8]						
	I_DPM_PEAK[7:0]	I_DPM_PEAK_1[7:0]						
0x4B	I_DPM_VALLEY[15:8]	I_DPM_VALLEY_1[15:8]						
	I_DPM_VALLEY[7:0]	I_DPM_VALLEY_1[7:0]						
0x4C	TRAVEL_TIME[15:8]	TRAVEL_TIME[15:8]						
	TRAVEL_TIME[7:0]	TRAVEL_TIME[7:0]						
0x4D	REACTION_TIME[15:8]	REACTION_TIME_1[15:8]						
	REACTION_TIME[7:0]	REACTION_TIME_1[7:0]						
0x4E	I_MONITOR[15:8]	I_MONITOR_1[15:8]						
	I_MONITOR[7:0]	I_MONITOR_1[7:0]						
0x50	I_AC[15:8]	I_AC_1[15:8]						
	I_AC[7:0]	I_AC_1[7:0]						
0x51	RES[15:8]	RES[15:8]						
	RES[7:0]	RES[7:0]						
0x52	PWM_DUTY[15:8]	PWM_DUTYCYCLE_1[15:8]						
	PWM_DUTY[7:0]	PWM_DUTYCYCLE_1[7:0]						
DIAGNOSTICS_CH 2								
0x53	I_DPM_PEAK[15:8]	I_DPM_PEAK_2[15:8]						
	I_DPM_PEAK[7:0]	I_DPM_PEAK_2[7:0]						
0x54	I_DPM_VALLEY[15:8]	I_DPM_VALLEY_2[15:8]						
	I_DPM_VALLEY[7:0]	I_DPM_VALLEY_2[7:0]						
0x55	TRAVEL_TIME[15:8]	TRAVEL_TIME[15:8]						
	TRAVEL_TIME[7:0]	TRAVEL_TIME[7:0]						
0x56	REACTION_TIME[15:8]	REACTION_TIME_2[15:8]						
	REACTION_TIME[7:0]	REACTION_TIME_2[7:0]						
0x57	I_MONITOR[15:8]	I_MONITOR_2[15:8]						
	I_MONITOR[7:0]	I_MONITOR_2[7:0]						
0x59	I_AC[15:8]	I_AC_2[15:8]						
	I_AC[7:0]	I_AC_2[7:0]						
0x5A	RES[15:8]	RES[15:8]						
	RES[7:0]	RES[7:0]						

ADDRESS	NAME	MSB							LSB
0x5B	PWM_DUTY[15:8]	PWM_DUTYCYCLE_2[15:8]							
	PWM_DUTY[7:0]	PWM_DUTYCYCLE_2[7:0]							
DIAGNOSTICS_CH 3									
0x5C	I_DPM_PEAK[15:8]	I_DPM_PEAK_3[15:8]							
	I_DPM_PEAK[7:0]	I_DPM_PEAK_3[7:0]							
0x5D	I_DPM_VALLEY[15:8]	I_DPM_VALLEY_3[15:8]							
	I_DPM_VALLEY[7:0]	I_DPM_VALLEY_3[7:0]							
0x5E	TRAVEL_TIME[15:8]	TRAVEL_TIME[15:8]							
	TRAVEL_TIME[7:0]	TRAVEL_TIME[7:0]							
0x5F	REACTION_TIME[15:8]	REACTION_TIME_3[15:8]							
	REACTION_TIME[7:0]	REACTION_TIME_3[7:0]							
0x60	I_MONITOR[15:8]	I_MONITOR_3[15:8]							
	I_MONITOR[7:0]	I_MONITOR_3[7:0]							
0x62	I_AC[15:8]	I_AC_3[15:8]							
	I_AC[7:0]	I_AC_3[7:0]							
0x63	RES[15:8]	RES[15:8]							
	RES[7:0]	RES[7:0]							
0x64	PWM_DUTY[15:8]	PWM_DUTYCYCLE_3[15:8]							
	PWM_DUTY[7:0]	PWM_DUTYCYCLE_3[7:0]							
FAULT LOG									
0x65	FAULT0[15:8]	DPM3	DPM2	DPM1	DPM0	OLF3	OLF2	OLF1	OLF0
	FAULT0[7:0]	HHF3	HHF2	HHF1	HHF0	OCP3	OCP2	OCP1	OCP0
0x66	FAULT1[15:8]	—	—	—	—	—	RES3	RES2	RES1
	FAULT1[7:0]	RES0	OVT	COMER	UVM	IND3	IND2	IND1	IND0

レジスタの詳細

GLOBAL_CTRL (0x00)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	F_PWM_M[3:0]				CNTL3	CNTL2	CNTL1	CNTL0
Reset								
Access Type	Write, Read				Write, Read	Write, Read	Write, Read	Write, Read

ビット フィールド	ビット	説明	デコード
F_PWM_M	7:4	マスタ・チョッピング周波数。	0x0: 100kHz 0x1: 80kHz 0x2: 60kHz 0x3: 50kHz 0x4: 40kHz 0x5: 30kHz 0x6: 25kHz 0x7: 20kHz 0x8: 15kHz 0x9: 10kHz 0xA: 7.5kHz 0xB: 5kHz 0xC: 2.5kHz
CNTL3	3	GLOBAL_CFG レジスタの CHS レジスタ・フィールドに応じて対応チャンネルを制御するために使われます。詳細については表 2 と表 3 を参照してください。	0x0: Disable the channel 0x1: Enable the channel
CNTL2	2	GLOBAL_CFG レジスタの CHS レジスタ・フィールドに応じて対応チャンネルを制御するために使われます。詳細については表 2 と表 3 を参照してください。	0x0: Disable the channel 0x1: Enable the channel
CNTL1	1	GLOBAL_CFG レジスタの CHS レジスタ・フィールドに応じて対応チャンネルを制御するために使われます。詳細については表 2 と表 3 を参照してください。	0x0: Disable the channel 0x1: Enable the channel
CNTL0	0	GLOBAL_CFG レジスタの CHS レジスタ・フィールドに応じて対応チャンネルを制御するために使われます。詳細については表 2 と表 3 を参照してください。	0x0: Disable the channel 0x1: Enable the channel

GLOBAL_CFG (0x01)

BIT	15	14	13	12	11	10	9	8
Field	ACTIVE	M_OVT	M_OCP	M_OLF	M_HHF	M_DPM	M_COMF	M_UVM
Reset								
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read
BIT	7	6	5	4	3	2	1	0
Field	CNTL_POL	STAT_POL	–	VDRnVDRD UTY	CHS[3:0]			
Reset			–					
Access Type	Write, Read	Write, Read	–	Write, Read	Write, Read			

ビット フィールド	ビット	説明	デコード
ACTIVE	15	デバイスをアクティブにするためのイネーブル・ビット。	0x0: Disable part, low-power mode is active 0x1: Enable part
M_OVT	14	$\overline{\text{FAULT}}$ ピンの過熱検出をマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin

ビット フィールド	ビット	説明	デコード
M_OCP	13	$\overline{\text{FAULT}}$ ピンの過電流保護をマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin
M_OLF	12	$\overline{\text{FAULT}}$ ピンの開放負荷検出をマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin
M_HHF	11	$\overline{\text{FAULT}}$ ピンのヒット電流未達エラーをマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin
M_DPM	10	$\overline{\text{FAULT}}$ ピンの DPM エラーをマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin
M_COMF	9	$\overline{\text{FAULT}}$ ピンの COMF エラーをマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin
M_UVM	8	$\overline{\text{FAULT}}$ ピンの UVM 検出をマスクします。	0x0: Unmask detection for $\overline{\text{FAULT}}$ pin 0x1: Mask detection for $\overline{\text{FAULT}}$ pin
CNTL_POL	7	制御ピンの極性。	0x0: Control pins are active-high 0x1: Control pins are active-low
STAT_POL	6	ステータス・ピンの極性を設定します。	0x0: Pin is active-high 0x1: Pin is active-low
VDRnVDRD UTY	4	ロジック・ハイに設定すると、各チャンネルの L2H レジスタ、DC_H レジスタ、および DC_L レジスタは電圧モードの電圧レベルを示します。 ロジック・ローに設定すると、各チャンネルの L2H レジスタ、DC_H レジスタ、および DC_L レジスタは電圧モードのデューティ・サイクルを示します。 このビットは電流モード（CDR）では機能しません。	0x0: Compensation of V_M is turned off 0x1: Compensation of V_M is turned on
CHS	3:0	ハードウェア構成設定。 詳細については、表 1、表 2、および表 3 を参照してください。	0x0: Four individual half-bridges. Either connected to V_M or to GND 0x1: Three half-bridges in parallel. One half-bridge independent 0x2: Two half-bridges in parallel. Two half-bridges independent 0x3: Two half-bridges in parallel. Two half-bridges independent 0x4: Four half-bridges in parallel 0x5: Two independent full bridges 0x6: One independent full bridge. Two independent half bridges 0x7: One independent full bridge. Two half-bridges in parallel 0x8: One parallel full-bridge

STATUS (0x02)

BIT	15	14	13	12	11	10	9	8
Field	–	STT3	STT2	STT1	STT0	MIN_T_ON	RES	IND
Reset	–							
Access Type	–	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

BIT	7	6	5	4	3	2	1	0
Field	OVT	OCP	OLF	HHF	DPM	COMER	UVM	RFU
Reset								
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビット フィールド	ビット	説明	デコード
STT3	14	ステータス・ビット。 表 9 を参照。	
STT2	13	ステータス・ビット。 表 9 を参照。	
STT1	12	ステータス・ビット。 表 9 を参照。	
STT0	11	ステータス・ビット。 表 9 を参照。	
MIN_T_ON	10	読み出し専用ステータス・ビット。すべてのチャンネルを結合。	0x0: MIN_T_ON is compliant 0x1: MIN_T_ON is not compliant
RES	9	抵抗測定の読み出し専用ビット。すべてのチャンネルを結合。	0x0: Measured resistance is compliant 0x1: Measured resistance is not compliant
IND	8	インダクタンス測定の読み出し専用ビット。すべてのチャンネルを結合。	0x0: Measured inductance is compliant 0x1: Measured inductance is not compliant
OVT	7	過熱測定の読み出し専用ビット。	0x0: No over temperature detected 0x1: Over temperature detected
OCP	6	過電流保護の読み出し専用ビット。すべてのチャンネルを結合。	0x0: No overcurrent detected 0x1: Overcurrent detected
OLF	5	開放負荷検出の読み出し専用ビット。すべてのチャンネルを結合。	0x0: No open-loop detected 0x1: Open-loop detected
HHF	4	ヒット電流未達機能の読み出し専用ビット。すべてのチャンネルを結合。	0x0: Hit current is reached 0x1: Hit current is not reached
DPM	3	プランジャ動作ステータス検出の読み出し専用ビット。すべてのチャンネルを結合。	0x0: Plunger moved 0x1: Plunger did not move
COMER	2	SPI 通信エラー検出の読み出し専用ビット。	0x0: No communication error detected 0x1: Communication error detected
UVM	1	低電圧ステータス検出の読み出し専用ビット。	0x0: No undervoltage detected 0x1: Undervoltage detected
RFU	0	将来使用するための予備。	

STATUS_CFG (0x03)

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	M_UVM_CMP	V5_nV3
Reset	—	—	—	—	—	—		
Access Type	—	—	—	—	—	—	Write, Read	Read Only
BIT	7	6	5	4	3	2	1	0
Field	EN_LDO	STRETCH_EN[1:0]		STAT_SEL ₁	STAT_SEL ₀	STAT_FUN[2:0]		
Reset								
Access Type	Read Only	Write, Read		Write, Read	Write, Read	Write, Read		

ビット フィールド	ビット	説明	デコード
M_UVM_CMP	9	FAULT ピンの延長 UVM 情報をマスク。	0x0: Unmask UVM to FAULT pin 0x1: Mask UVM to FAULT pin

ビットフィールド	ビット	説明	デコード
V5_nV3	8	内部 LDO 電圧。	0x0: 3.3V 0x1: 5V
EN_LDO	7	V _{IO} ピンの内部 LDO をイネーブル。	0x0: Disable internal LDO on V _{IO} 0x1: Enable internal LDO on V _{IO}
STRETCH_EN	6:5	フォルト・インジケータ・ピンの UVM フォルトと OVT フォルトの時間を延長します。表 9 を参照してください。	0x0: No stretch 0x1: 1s 0x2: 2s 0x3: 3s
STAT_SEL1	4	ステータス・ピンを駆動するチャンネルの選択に使用します。表 8 を参照してください。	0x0: Use STAT2 bit of STATUS register to drive STAT1 pin 0x1: Use STAT3 bit of STATUS register to drive STAT1 pin
STAT_SELO	3	ステータス・ピンを駆動するチャンネルの選択に使用します。表 8 を参照してください。	0x0: Use STAT0 bit of STATUS register to drive STAT0 pin 0x1: Use STAT1 bit of STATUS register to drive STAT0 pin
STAT_FUN	2:0	ステータス・ピンを駆動する値の設定に使用します。表 9 を参照してください。	0x0: Status detection based on inductance measurement 0x1: PWM monitor 0x2: Status detection based on resistance measurement 0x3: Status detection based on DPM 0x4: Status detection based on VM detection 0x5: Status detection based on I _{MONITOR} measurement

DC_H2L (0x04)

BIT	15	14	13	12	11	10	9	8
Field	DC_H2L[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	DC_H2L[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
DC_H2L	15:0	消磁電圧の設定（グローバル） H2L_EN ビットがセットされている場合に、ブリッジ結合負荷構成でハイからローへの時間の消磁電圧を設定するために使用します。このビットフィールドは、VDR_nDUTY ビットに応じて電圧またはデューティ・サイクルを設定します。 VDRnVDRDUTY = 「1」の場合、DC_H2L は電圧を指示します。電圧値は $V_{OUT} (V) = K_{VDR} \times 36 \times DC_H2L[15:0]_{DEC}$ です。 VDRnVDRDUTY = 「0」の場合、DC_H2L はデューティ・サイクルを指示します。電圧値は $V_{OUT} (V) = K_{VDR} \times VM \times DC_H2L[15:0]_{DEC}$ です。

VM_MONITOR (0x05)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	VM_MONITOR[12:8]				
Reset	–	–	–					
Access Type	–	–	–	Read Only				
BIT	7	6	5	4	3	2	1	0
Field	VM_MONITOR[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明
VM_MONITOR	12:0	VM の測定 : $VM = K_{VM} \times VM_MONITOR[15:0]$

VM_THRESHOLD (0x06)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	VM_THLD_UP[3:0]				VM_THLD_DOWN[3:0]			
Reset								
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
VM_THLD_UP	7:4	立上がりエッジの VM スレッシュヨルド (1~15) 。 4.5V~34.5V、2V ステップ。	0x0: disable 0x1 0x2 0x3 0x4 0x5 0x6 0x7 0x8 0x9 0xA 0xB 0xC 0xD 0xE 0xF

ビット フィールド	ビット	説明	デコード
VM_THLD_ DOWN	3:0	立下がりエッジの VM スレッシュホルド。 4~36V、2V ステップ。	0x0: disable 0x1 0x2 0x3 0x4 0x5 0x6 0x7 0x8 0x9 0xA 0xB 0xC 0xD 0xE 0xF

F_AC (0x07)

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	F_AC_SCAN[11:8]			
Reset	—	—	—	—				
Access Type	—	—	—	—	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	F_AC_SCAN[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明
F_AC_SCAN	11:0	インダクタンス測定用の AC スキャン信号に使用するキャリア周波数を定義します。 $F_AC = F_PWM_M * (F_AC_SCAN[11:0]_{DEC} / 65535)$

U_AC_SCAN (0x08)

BIT	15	14	13	12	11	10	9	8
Field	—	U_AC_SCAN[14:8]						
Reset	—							
Access Type	—	Write, Read						
BIT	7	6	5	4	3	2	1	0
Field	U_AC_SCAN[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明
U_AC_SCAN	14:0	インダクタンス測定やディザリングに使用する AC 信号の振幅を定義します。 $VDR : VAC (V) = K_{VDR} \times 36 \times U_AC_SCAN[14:0]_{DEC}$ $VDRDUTY : VAC (V) = K_{VDR} \times VM \times U_AC_SCAN[14:0]_{DEC}$ CDR モード : $IAC (mA) = K_{CDR} \times GAIN \times SNSF \times U_AC[14:0]_{DEC}$

CFG_DC_L2H (0x09, 0x17, 0x25, 0x33)

BIT	15	14	13	12	11	10	9	8
Field	DC_L2H[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	DC_L2H[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明
DC_L2H	15:0	DC_L2H のレベルを設定します。 $VDR : VOUT (V) = K_{VDR} \times 36 \times DC_L2H[15:0]_{DEC}$ $VDRDUTY : VOUT (V) = K_{VDR} \times VM \times DC_L2H[15:0]_{DEC}$ CDR : $IOUT (mA) = K_{CDR} \times GAIN \times SNSF \times DC_L2H[15:0]_{DEC}$

CFG_DC_H (0x18, 0x26, 0x34, 0xA)

BIT	15	14	13	12	11	10	9	8
Field	DC_H[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	DC_H[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明
DC_H	15:0	DC_H のレベルを設定します。 $VDR : VOUT (V) = K_{VDR} \times 36 \times DC_H[15:0]_{DEC}$ $VDRDUTY : VOUT (V) = K_{VDR} \times VM \times DC_H[15:0]_{DEC}$ CDR : $IOUT (mA) = K_{CDR} \times GAIN \times SNSF \times DC_H[15:0]_{DEC}$

CFG_DC_L (0x19、0x27、0x35、0xB)

BIT	15	14	13	12	11	10	9	8
Field	DC_L[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	DC_L[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
DC_L	15:0	DC_L のレベルを設定します。 $VDR : VOUT (V) = K_{VDR} \times 36 \times DC_L2H[15:0]_{DEC}$ $VDRDUTY : VOUT (V) = K_{VDR} \times VM \times DC_L2H[15:0]_{DEC}$ $CDR : IOUT (mA) = K_{CDR} \times GAIN \times SNSF \times DC_L2H[15:0]_{DEC}$

CFG_L2H_TIME (0x1A、0x28、0x36、0xC)

BIT	15	14	13	12	11	10	9	8
Field	TIME_L2H[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	TIME_L2H[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
TIME_L2H	15:0	TIME_L2H を設定します。 $TIME_L2H = TIME_L2H[15:0]_{DEC} / F_PWM$

CFG_CTRL0 (0x1B、0x29、0x37、0xD)

BIT	15	14	13	12	11	10	9	8
Field	CTRL_MODE[1:0]		HHF_EN	OL_EN	H2L_EN	RDWE	RMDE	RUPE
Reset								
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read
BIT	7	6	5	4	3	2	1	0
Field	RAMP[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CTRL_MODE	15:14	CTRL_MODE は、DC_L2H と DC_H の制御方式を定義します。 表 8 は、VDR_nDUTY ビットに応じて VDR が VDR モードまたは VDRDUTY モードを表すことを示しています。	0x0: VOLT 0x1: CDR 0x2: Limiter/VOLT 0x3: VOLT (during L2H) and CDR(during H)
HHF_EN	13	電流未達フォルトの検出。	0x0: Disable current not reached fault detection 0x1: Enable current not reached fault detection
OL_EN	12	開放負荷電流のイネーブル（プルアップ/ダウンをイネーブル）。	0x0: Open-load detection disabled 0x1: Open-load detection disabled
H2L_EN	11	H2L 高速消磁イネーブル・ビット。「1」にすると、CNTL H2L の遷移後に DC_H2L になります（ブリッジ動作専用）。	0x0: Disable fast demagnetization 0x1: Enable fast demagnetization
RDWE	10	ランプダウン・イネーブル・ビット。	0x0: Disable ramp down 0x1: Enable ramp down
RMDE	9	ランプミッド・イネーブル・ビット。	0x0: Disable mid ramp 0x1: Enable mid ramp
RUPE	8	ランプアップ・イネーブル。	0x0: Disable ramp up 0x1: Enable ramp up
RAMP	7:0	RAMP[7:0]はランプ・スルー・レートを設定します。 VDRDUTY : ランプ・スルー・レート (V/ms) = $K_{VDR} \times VM \times (RAMP[7:0]_{DEC} + 1) \times F_PWM$ (kHz) VDR : ランプ・スルー・レート (V/ms) = $K_{VDR} \times 36 \times (RAMP[7:0]_{DEC} + 1) \times F_PWM$ (kHz) CDR : ランプ・スルー・レート (mA/ms) = $K_{CDR} \times GAIN \times SNSF \times (RAMP[7:0]_{DEC} + 1) \times F_PWM$ (kHz)	

CFG_CTRL1 (0x1C、0x2A、0x38、0xE)

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	HSnLS	F_PWM[1:0]	
Reset	—	—	—	—	—			
Access Type	—	—	—	—	—	Write, Read	Write, Read	
BIT	7	6	5	4	3	2	1	0
Field	T_BLANKING[1:0]		SLEW_RATE[1:0]		GAIN[1:0]		SNSF[1:0]	
Reset								
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
HSnLS	10	HS/LS : ビット・シングルエンド・モードのみ	0x0: Low-side driver 0x1: High-side driver
F_PWM	9:8	そのチャンネルに使われる PWM 周波数を定義します。表 5 を参照。	0x0: F_PWM_M 0x1: F_PWM_M/2 0x2: F_PWM_M/4 0x3: F_PWM_M/8

ビットフィールド	ビット	説明	デコード
T_BLANKING	7:6	電流測定用の追加ブランキング時間を定義します。	0x0: 0μs 0x1: 0.96μs 0x2: 1.92μs 0x3: 2.88μs
SLEW_RATE	5:4	SRC[1:0] : スルー・レート制御ビット。 (F_PWM > 50kHz では 10、11 は使用不可)	0x0: Fast 0x1: 200V/μs 0x2: 100V/μs 0x3: 50V/μs
GAIN	3:2	電流駆動レギュレーション (CDR) のデジタル・ゲインを設定します。	0x0: Scale 1 0x1: Scale 2 0x2: Scale 3 0x3: Scale 4
SNSF	1:0	検出のスケーリング係数を設定します。	0x0: Full scale 0x1: 2/3 0x2: 1/3

CFG_DPM0 (0x1D、0x2B、0x39、0xF)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	DPM_THLD[11:8]			
Reset	–	–	–	–				
Access Type	–	–	–	–	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	DPM_THLD[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
DPM_THLD	11:0	DPM フォルト・スレッショルド : 電流の BEMF ディップが DPM_THLD (mA) = $K_{CDR} \times GAIN \times SNSF \times DPM_THLD[11:0]$ 未満の場合にフォルトが検出されます。

CFG_DPM1 (0x10、0x1E、0x2C、0x3A)

BIT	15	14	13	12	11	10	9	8
Field	–	DPM_EN	END_HIT_T O_HIZ_AUTO	END_HIT_A UTO	DPM_MIN_NBR[3:0]			
Reset	–							
Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	DPM_START[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明	デコード
DPM_EN	14	DPM イネーブル・ビット。	0x0: DPM disabled 0x1: DPM enabled
END_HIT_ TO_HIZ_AUTO	13	DC_L2H から HiZ への自動切替えをイネーブルします。	0x0: Automatic end of hit time is disabled 0x1: Automatic end of hit time is enabled
END_HIT_ AUTO	12	DC_L2H から DH_H への自動切替えをイネーブルします。	0x0: Automatic end of hit time is disabled 0x1: Automatic end of hit time is enabled
DPM_MIN_ NBR	11:8	有効な BEMF ディップを検出するには、 DPM_MIN_NBR*2 個以上の連続 PWM サイクル数にわ たって条件が満たされていなければなりません。	
DPM_START	7:0	実際の電流が DPM_START*8 にわたって続くと検出 が開始されます。	

CFG_IDC_THLD (0x11、0x1F、0x2D、0x3B)

BIT	15	14	13	12	11	10	9	8
Field	IDC_THLD[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	IDC_THLD[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明
IDC_THLD	15:0	IDC_THLD は、ステータス出力 STAT へのマッピングのため IDC にスレッシュホールドを設定します。

CFG_R_THLD (0x12、0x20、0x2E、0x3C)

BIT	15	14	13	12	11	10	9	8
Field	RES_THLD[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	RES_THLD[7:0]							
Reset								
Access Type	Write, Read							

ビット フィールド	ビット	説明
RES_THLD	15:0	FAULT レジスタの対応 RES ビットをトリガする測定抵抗のスレッシュホールド、またはステータス出力 STAT へのマッピングのための測定抵抗のスレッシュホールド。

CFG_IND_0 (0x13、0x21、0x2F、0x3D)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	DITH_EN	L_MEAS_EN	L_MEAS_L2H	L_MEAS_H
Reset	–	–	–	–				
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read
BIT	7	6	5	4	3	2	1	0
Field	L_MEAS_WCYCLES[3:0]				L_NBR_CALC[3:0]			
Reset								
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
DITH_EN	11	ディザリング機能に使用します。	0x0: Dithering disabled 0x1: Dithering enabled
L_MEAS_EN	10	測定がイネーブルされている場合は、DC_L2H、DC_H、および DC_L に U_AC_SCAN が重畳されます。	0x0: Inductance measurement disabled 0x1: Inductance measurement enabled
L_MEAS_L2H	9	L2H 励磁時間中にインダクタンス測定をイネーブルするために使用します。	0x0: Disabled during excitation time 0x1: Enabled during excitation time
L_MEAS_H	8	ホールド時間中にインダクタンス測定をイネーブルするために使用します。	0x0: Disabled during hold time 0x1: Enabled during hold time
L_MEAS_WCYCLES	7:4	L2H または H2L の遷移から始まる AC スキャン時間幅 (Tscan/1/F_AC) のうち、測定の信頼性が低いためにインダクタンス測定がスキップされるものの数。	
L_NBR_CALC	3:0	インダクタンスの計算に使用する AC スキャン時間幅の数。L_NBR_CALC がゼロではなくディザリングがイネーブルされていない場合、AC スキャンは L_NBR_CALC サイクルにわたってディスエーブルされます。	

CFG_IND_1 (0x14、0x22、0x30、0x3E)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	IAC_THLD[11:8]			
Reset	–	–	–	–				
Access Type	–	–	–	–	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	IAC_THLD[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
IAC_THLD	11:0	IAC_THLD は、ステータス出力 STAT へのマッピングのため I_AC にスレッシュホールドを設定します。測定した I_AC 値がこの値を超えた場合は、インダクタンス測定のステータスが 1 に設定されます。

CFG_P (0x15、0x23、0x31、0x3F)

BIT	15	14	13	12	11	10	9	8
Field	CFG_P[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	CFG_P[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
CFG_P	15:0	PI コントローラの P パラメータを設定します。CFG_P_0 の値は Q4.12 表記で示されます。これは、PI コントローラの計算に使用する固定小数点値が $\text{CFG_P_0}/2^{12}$ で与えられることを意味します。

CFG_I (0x16、0x24、0x32、0x40)

BIT	15	14	13	12	11	10	9	8
Field	CFG_I[15:8]							
Reset								
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	CFG_I[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
CFG_I	15:0	PI コントローラの I パラメータを設定します。CFG_I_0 の値は Q4.12 表記で示されます。これは、PI コントローラの計算に使用する固定小数点値が $\text{CFG_I_0}/2^{12}$ で与えられることを意味します。

I_DPM_PEAK (0x41、0x4A、0x53、0x5C)

BIT	15	14	13	12	11	10	9	8
Field	I_DPM_PEAK[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	I_DPM_PEAK[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明
I_DPM_PEAK	15:0	ランプアップ時における BEMF 電流のローカル・ピーク。 $I_DPM_PEAK \text{ (mA)} = K_{CDR} \times GAIN \times SNSF \times I_DPM_PEAK[14:0]_{DEC}$

I_DPM_VALLEY (0x42、0x4B、0x54、0x5D)

BIT	15	14	13	12	11	10	9	8
Field	I_DPM_VALLEY[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	I_DPM_VALLEY[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明
I_DPM_VALLEY	15:0	ランプアップ時における BEMF 電流のローカル・バレー。VDR モードまたはデューティ・モードのみ。 $I_DPM_VALLEY \text{ (mA)} = K_{CDR} \times GAN \times SNSF \times I_DPM_VALLEY[14:0]_{DEC}$

TRAVEL_TIME (0x43、0x4C、0x55、0x5E)

BIT	15	14	13	12	11	10	9	8
Field	TRAVEL_TIME[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	TRAVEL_TIME[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明
TRAVEL_TIME	15:0	極大値検出から極小値検出までの動作時間：PWM サイクル数で表します。

REACTION_TIME (0x44、0x4D、0x56、0x5F)

BIT	15	14	13	12	11	10	9	8
Field	REACTION_TIME[15:8]							
Reset								
Access Type	Read Only							

BIT	7	6	5	4	3	2	1	0
Field	REACTION_TIME[7:0]							
Reset								
Access Type	Read Only							

ビット フィールド	ビット	説明
REACTION_TIME	15:0	CNTL L2H 検出から極小値検出までの反応時間：PWM サイクル数で表します。

I_MONITOR (0x45、0x4E、0x57、0x60)

BIT	15	14	13	12	11	10	9	8
Field	I_MONITOR[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	I_MONITOR[7:0]							
Reset								
Access Type	Read Only							

ビット フィールド	ビット	説明
I_MONITOR	15:0	I_MONITOR 瞬時サンプル電流。最後に測定した電流サンプルを返します。 $I_MONITOR \text{ (mA)} = K_{CDR} \times GAIN \times SNSF \times I_MONITOR[15:0]_{DEC}$

I_AC (0x47、0x50、0x59、0x62)

BIT	15	14	13	12	11	10	9	8
Field	I_AC[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	I_AC[7:0]							
Reset								
Access Type	Read Only							

ビット フィールド	ビット	説明
I_AC	15:0	AC 電流測定値。

RES (0x48、0x51、0x5A、0x63)

BIT	15	14	13	12	11	10	9	8
Field	RES[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	RES[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明
RES	15:0	測定抵抗値。

PWM_DUTY (0x49、0x52、0x5B、0x64)

BIT	15	14	13	12	11	10	9	8
Field	PWM_DUTYCYCLE[15:8]							
Reset								
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	PWM_DUTYCYCLE[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明
PWM_DUTYCYCLE	15:0	デューティ・サイクル。

FAULT0 (0x65)

BIT	15	14	13	12	11	10	9	8
Field	DPM3	DPM2	DPM1	DPM0	OLF3	OLF2	OLF1	OLF0
Reset								
Access Type	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read
BIT	7	6	5	4	3	2	1	0
Field	HHF3	HHF2	HHF1	HHF0	OCP3	OCP2	OCP1	OCP0
Reset								
Access Type	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read

ビットフィールド	ビット	説明	デコード
DPM3	15	DPM ステータス・ビット。	0x0: Plunger moved 0x1: Plunger did not move

ビット フィールド	ビット	説明	デコード
DPM2	14	DPM ステータス・ビット。	0x0: Plunger moved 0x1: Plunger did not move
DPM1	13	DPM ステータス・ビット。	0x0: Plunger moved 0x1: Plunger did not move
DPM0	12	DPM ステータス・ビット。	0x0: Plunger moved 0x1: Plunger did not move
OLF3	11	オープンループ検出ビット。	0x0: No open-loop detected 0x1: Open-loop detected
OLF2	10	オープンループ検出ビット。	0x0: No open-loop detected 0x1: Open-loop detected
OLF1	9	オープンループ検出ビット。	0x0: No open-loop detected 0x1: Open-loop detected
OLF0	8	オープンループ検出ビット。	0x0: No open-loop detected 0x1: Open-loop detected
HHF3	7	ヒット電流未達検出ビット。	0x0: Hit current is reached 0x1: Hit current is not reached
HHF2	6	ヒット電流未達検出ビット。	0x0: Hit current is reached 0x1: Hit current is not reached
HHF1	5	ヒット電流未達検出ビット。	0x0: Hit current is reached 0x1: Hit current is not reached
HHF0	4	ヒット電流未達検出ビット。	0x0: Hit current is reached 0x1: Hit current is not reached
OCP3	3	過電流保護検出ビット。	0x0: No overcurrent detected 0x1: Overcurrent detected
OCP2	2	過電流保護検出ビット。	0x0: No overcurrent detected 0x1: Overcurrent detected
OCP1	1	過電流保護検出ビット。	0x0: No overcurrent detected 0x1: Overcurrent detected
OCP0	0	過電流保護検出ビット。	0x0: No overcurrent detected 0x1: Overcurrent detected

FAULT1 (0x66)

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	RES3	RES2	RES1
Reset	–	–	–	–	–			
Access Type	–	–	–	–	–	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read
BIT	7	6	5	4	3	2	1	0
Field	RES0	OVT	COMER	UVM	IND3	IND2	IND1	IND0
Reset								
Access Type	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read

ビット フィールド	ビット	説明	デコード
RES3	10	対応するチャンネルの測定抵抗値が R_THLD の値を超えるとビットがセットされます。	0x0: Measured resistance is compliant 0x1: Measured resistance is not compliant
RES2	9	対応するチャンネルの測定抵抗値が R_THLD の値を超えるとビットがセットされます。	0x0: Measured resistance is compliant 0x1: Measured resistance is not compliant

ビット フィールド	ビット	説明	デコード
RES1	8	対応するチャンネルの測定抵抗値が R_THLD の値を超えるとビットがセットされます。	0x0: Measured resistance is compliant 0x1: Measured resistance is not compliant
RES0	7	対応するチャンネルの測定抵抗値が R_THLD の値を超えるとビットがセットされます。	0x0: Measured resistance is compliant 0x1: Measured resistance is not compliant
OVT	6	過熱が検出されるとビットがセットされます。	0x0: No overtemperature detected 0x1: Overtemperature detected
COMER	5	通信エラーが検出されるとビットがセットされます。	0x0: No communication error detected 0x1: Communication error detected
UVM	4	低電圧が検出されるとビットがセットされます。IC のスタートアップ後にアクティブになります。	0x0: No undervoltage detected 0x1: Undervoltage detected
IND3	3	測定したインダクタンスが励磁ホールド・フェーズまたはロー・フェーズに適合していない場合にビットがセットされます。	0x0: Measured inductance is compliant 0x1: Measured inductance is not compliant
IND2	2	測定したインダクタンスが励磁ホールド・フェーズまたはロー・フェーズに適合していない場合にビットがセットされます。	0x0: Measured inductance is compliant 0x1: Measured inductance is not compliant
IND1	1	測定したインダクタンスが励磁ホールド・フェーズまたはロー・フェーズに適合していない場合にビットがセットされます。	0x0: Measured inductance is compliant 0x1: Measured inductance is not compliant
IND0	0	測定したインダクタンスが励磁ホールド・フェーズまたはロー・フェーズに適合していない場合にビットがセットされます。	0x0: Measured inductance is compliant 0x1: Measured inductance is not compliant

OTP_CONTROLLER

OTP_CONTROLLER レジスタへのアクセスは、OTP プログラミング・モードでのみ可能です。OTP プログラミング・モードにするには、0xFD12A7 という SPI コマンドを発行する必要があります（[OTP プログラミング](#)のセクションに示す手順を参照）。

ADDRESS	NAME	MSB							LSB
MTP_CTRL									
0x68	OTP_CONTROL[7:0]	—	—	—	—	—	—	STOP_P ROG	SRT_PR OG
0x69	OTP_STATUS[7:0]	DONE	ECC_ER R_2BIT	ECC_ER R_1BIT	OV_DUR ING_BU RN_PUL SE	VPP_INI T_FAIL	OTP_FU LL	VERI_FA IL	—
OTP_RECORD									
0x7A	OTP_DATA0[7:0]	OTP_RECORD[7:0]							
0x7B	OTP_DATA1[7:0]	OTP_RECORD[15:8]							
0x7C	OTP_ADDR[7:0]	OTP_RECORD[23:16]							

レジスタの詳細

OTP_CONTROL (0x68)

OTP 制御レジスタ

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	STOP_PROG	SRT_PROG
Reset	–	–	–	–	–	–	0b0	0b0
Access Type	–	–	–	–	–	–	Write, Read, Pulse	Write, Read, Pulse

ビットフィールド	ビット	説明
STOP_PROG	1	いかなる場合でも、このビットに 1 を書き込むとフィールド・プログラムの書き込みが停止／中断されます。
SRT_PROG	0	OTP 書き込み手順の実行を開始します。

OTP_STATUS (0x69)

OTP ステータス・レジスタ

BIT	7	6	5	4	3	2	1	0
Field	DONE	ECC_ERR_2BIT	ECC_ERR_1BIT	OV_DURING_BURN_PULSE	VPP_INIT_FAIL	OTP_FULL	VERI_FAIL	–
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	–
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	–

ビットフィールド	ビット	説明
DONE	7	プログラミングが完了しました。
ECC_ERR_2BIT	6	前に書き込んだレコードの 1 つに修正不能な 2 ビット・エラーが含まれています。レコードはロードされておらず、ロード先となる予定だったレジスタへの書き込みは行われていません。エラーを含むレコードが正しいレコードによって上書きされた場合でも、このステータスはクリアされません。
ECC_ERR_1BIT	5	能動的にロードされたレコードの 1 つに、修正済みのシングルビット・エラーが含まれています。エラーを含むレコードが正しいレコードによって上書きされた場合、このステータスは MTP レジスタごとにクリアされます。
OV_DURING_BURN_PULSE	4	メモリが書き込みパルスを能動的に実行しているときは、高電圧の VPP 電圧がデータシートに仕様規定された絶対最大値を超えています。これは重大な障害と見なされ、以降のデバイス動作は確保されません。
VPP_INIT_FAIL	3	プログラミング電圧が書き込み前の必要値に達していません。したがって書き込みは中止され、実行されませんでした。
OTP_FULL	2	OTP が一杯で、これ以上レコードを書き込むことはできません。
VERI_FAIL	1	OTP_REPG_TIMES 回にわたって OTP レコードの書き込みを試行しましたが、各試行の検証結果は書き込みが正常に終了しなかったことを示しています。ここで、OTP_REPG_TIMES は IP に対するパラメータです。

OTP_DATA0 (0x7A)

OTP 書き込みの下位バイト

BIT	7	6	5	4	3	2	1	0
Field	OTP_RECORD[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
OTP_RECORD	7:0	

OTP_DATA1 (0x7B)

OTP 書き込みの上位バイト

BIT	7	6	5	4	3	2	1	0
Field	OTP_RECORD[15:8]							
Reset	0x00							
Access Type	Write, Read							

ビット フィールド	ビット	説明
OTP_RECORD	7:0	

OTP_ADDR (0x7C)

OTP 書き込みの RegMap レジスタ・アドレス

BIT	7	6	5	4	3	2	1	0
Field	OTP_RECORD[23:16]							
Reset	0x00							
Access Type	Write, Read							

ビット フィールド	ビット	説明
OTP_RECORD	7:0	

アプリケーション情報

使用例

MAX22216/MAX22217 は設定の自由度が高いため、柔軟に使用できます。このデバイスを使用した代表的なアプリケーションのいくつかを図 14 に示します。

- [A]は SPI ベースのアプリケーションです。MCU とドライバは SPI を介して通信を行います。構成設定はスタートアップ後にデバイスに書き込まれます。ステータス情報も SPI を介して交換されます。様々な負荷に対応可能です（シングルエンド／差動ソレノイド、ブラシ付き DC モータ、ソレノイド+ブラシの混合）。
- [B]と[C]は、MAX22216/MAX22217 を OTP でプログラムし、リモート・ホスト・コントローラで制御するアプリケーションの代表的な例です。制御信号線の本数は最小限に抑えられています。
 - [B]は 1 個の差動バルブを駆動するためのドライバで、最小限の配線（電源と GND）だけで構成されています（[スタンドアロン V_M スイッチング](#)のセクションを参照）。
 - [C]は複数のバルブと DC モータ・ドライバからなるアプリケーションで、リモート・ホスト・コントローラがアクチュエータ用の CNTL トリガ信号を出力します。

これらの例では、STAT 出力ピンが LED ダイオードを駆動します。

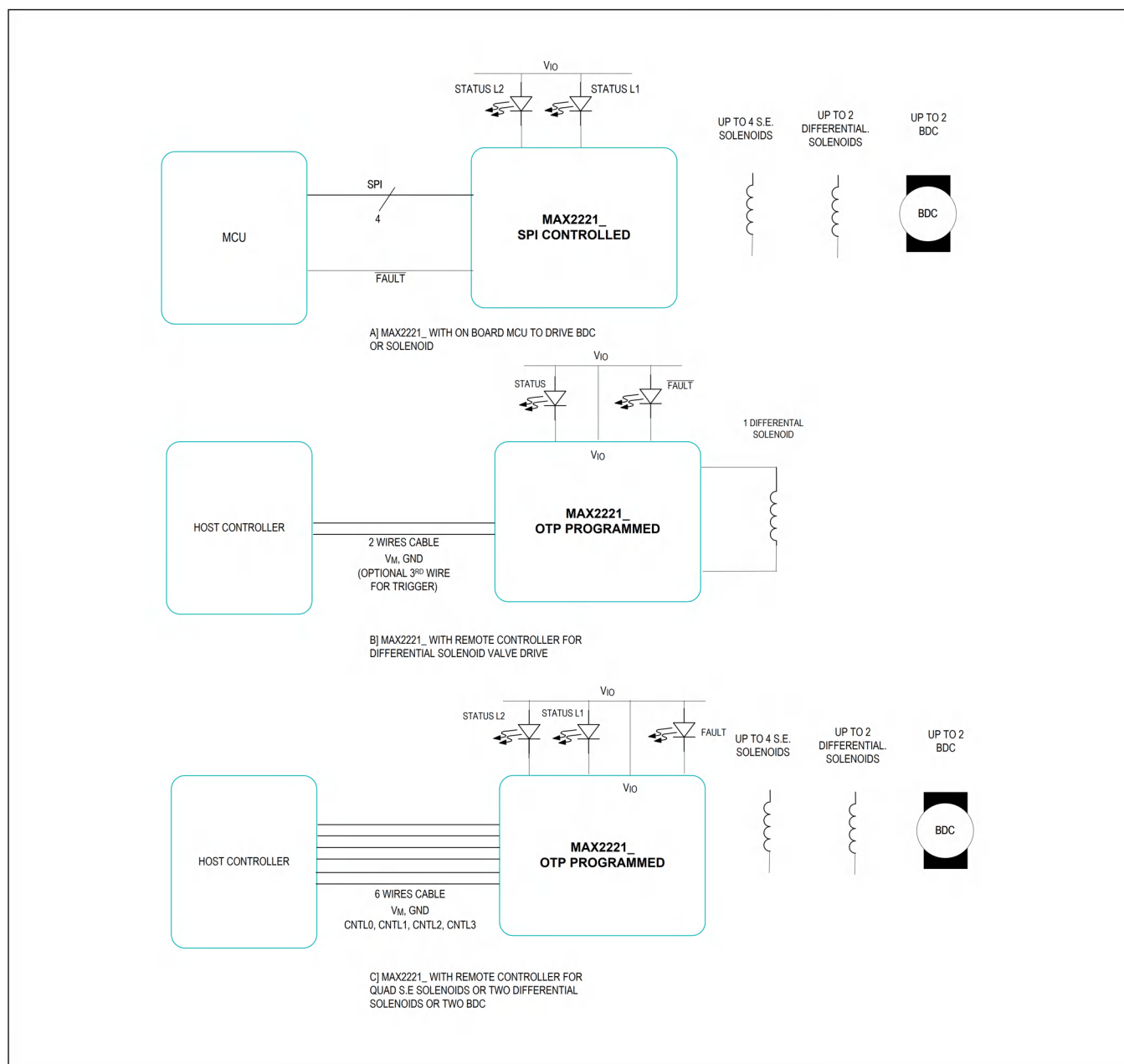


図 14. 使用例

スタンドアロン V_M スイッチング

図 15 に電子バルブ・アプリケーションの例を示します。ドライバはバルブ・ハウジングにローカルで組み込まれており、単純に電源電圧 (V_M) を切り替えることによってリモートで制御されます。MAX22216/MAX22217 は OTP でプログラムされ、1 組のハーフブリッジを並列に接続した状態で、差動によりソレノイド・バルブを駆動します。この構成では、リモート・コントローラからの制御線が 2 本必要です (V_M と GND)。V_{IO} は内部で生成されます (V_{IO} ピンの説明 (V_{IO}) のセクションを参照)。ソレノイドへの通電は V_M 電源の立ち上がりエッジによってトリガされ、ウェイクアップ時間 (T_{WAKE}) の経過後に開始されます。ウェイクアップ時間には、電源の立ち上がり時間とデバイスのウェイクアップ時間が含まれます (電氣的特性の表を参照)。

V_M スレッシュホールド (VM_THLD_UP 、 VM_THLD_DW) のアクティブ化と非アクティブ化は、 $VM_THRESHOLD$ レジスタの対応する 4 ビットの OTP ビットフィールドへ書込みを行うことによって設定できます。 VM_THLD_DOWN だけを使用する場合は、このレジスタに設定した電圧が V_M 低下時の非アクティブ化限界値となり、 V_M が再びこの値を超えると通常機能を再開します。両方の V_M スレッシュホールドを使用するときはヒステリシス効果が生じ、その場合は VM_THLD_DOWN が同様に低電圧時の非アクティブ化限界値となりますが、再度アクティブ化するには V_M が VM_THLD_UP で設定された電圧を超えなければなりません。これらの限界値は、OTP を使わずに IC 機能を制御するために設定できます。

図に示すように、 $\overline{FAULT}$ および STAT ロジック出力は LED ダイオードをアクティブ化するために使用できます。この例では、STAT 出力がバルブのオン/オフ・ステータスを示します。

高速バルブの場合は、MAX22216/MAX22217 のウェイクアップ時間がバルブの速度性能を制限する可能性があるため、デバイスの CNTL 信号を駆動するために 3 本目の配線が必要になります。

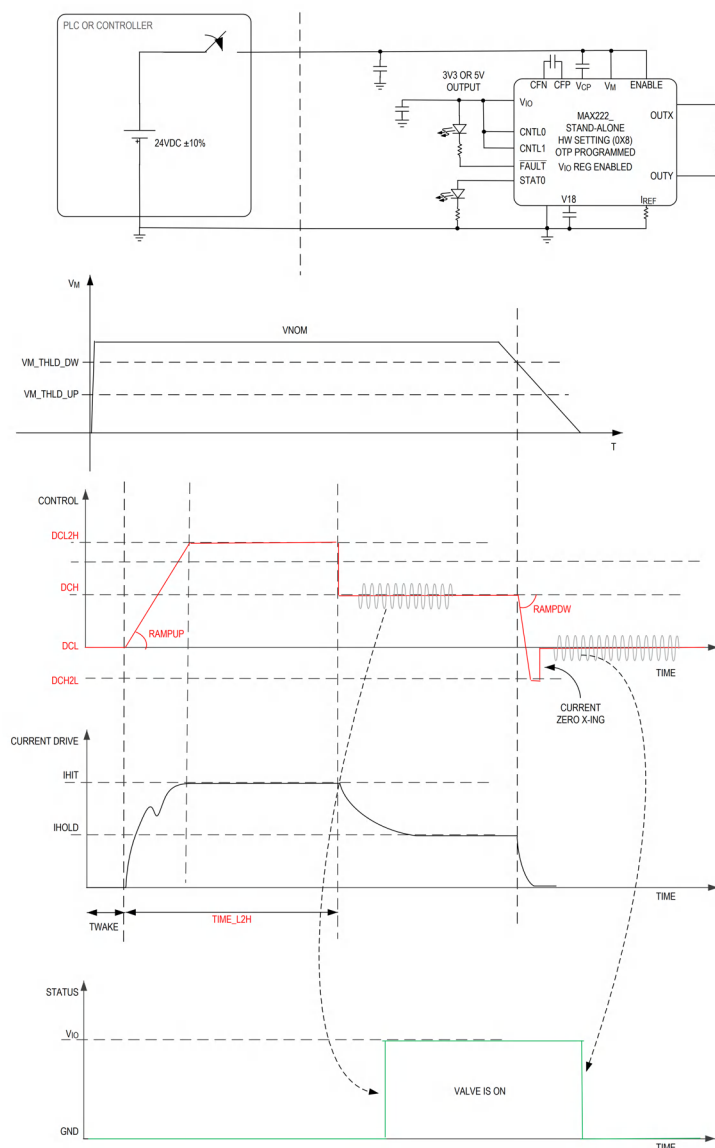
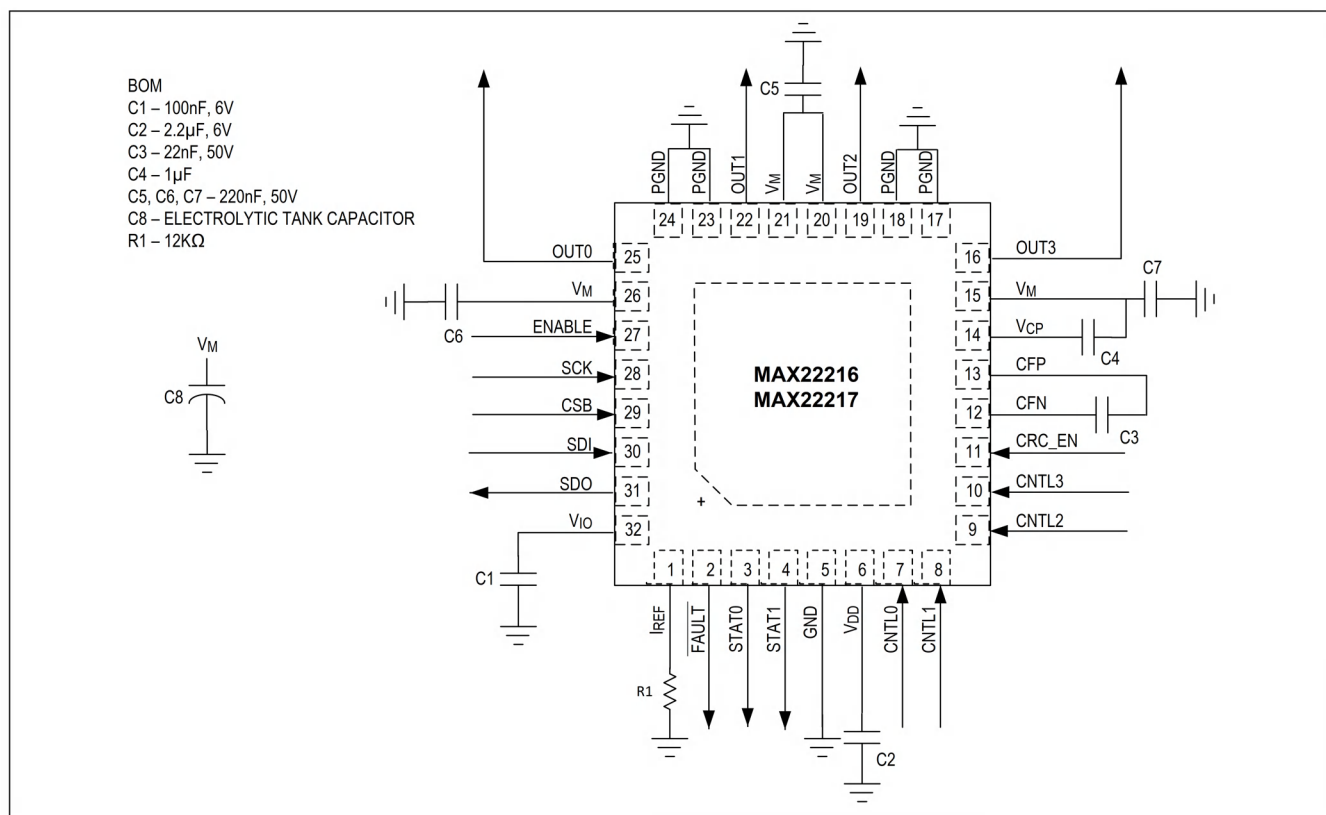


図 15. スタンドアロン – VM スイッチング

標準アプリケーション回路

標準アプリケーション回路



型番

PART NUMBER	TEMPERATURE RANGE	PIN-PACKAGE	FULL-SCALE CURRENT (IFS)
MAX22216ATJY+	-40°C to +125°C	32 TQFN - 5mm x 5mm	3.2A
MAX22217ATJY+*	-40°C to +125°C	32 TQFN - 5mm x 5mm	1A

* = 発売予定の製品 - 発売時期についてはお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	09/23	市場投入のためのリリース	-

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：30 頁、下から 3 行目

【誤】

「(チョッピング周波数 (FPWM) の設定のセクションを参照)」

【正】

「チョッピング周波数と時間ベースの設定のセクションうちのチョッピング周波数 (FPWM) の項を参照」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：33 頁、デジタル電流モニタ機能のセクション、上から 3 行目

【誤】

「電流駆動レギュレーションは・・・」

【正】

「電流駆動レギュレーション (CDR) は、・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：34 頁、インダクタンス測定の概要のセクション、上から 1 行目

【誤】

「(サイン波ジェネレータのイネーブルとサイン波ジェネレータの設定の・・・)」

【正】

「(ディザリングまたはインダクタンス測定用にサイン波ジェネレータをイネーブルの・・・)」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：34 頁、インダクタンス測定の概要のセクション、上から 5 行目

【誤】

「(ステータス・モニタの (STAT) の・・・)」

【正】

「(ステータス・モニタの設定の・・・)」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：37 頁、一番下の行

【誤】

「（ステータスのセクションを参照）・・・」

【正】

「（ステータス・モニタの設定のセクションを参照）・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：38 頁、最初の行

【誤】

「（フォールトのセクションを参照）・・・」

【正】

「（保護機能とフォルト・インジケータのセクションを参照）・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 3 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 3 月 19 日

製品名：MAX22216/MAX22217

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：68 頁、I_DPM_VALLEY (0x42, 0x4B, 0x54, 0x5D) の表、一番下の表の説明
欄

【誤】

「I_DPM_VALLEY (mA) = KCDR × GAN × SNSF × I_DPM_VALLEY[14:0]DEC」

【正】

「I_DPM_VALLEY (mA) = KCDR × GAIN × SNSF × I_DPM_VALLEY[14:0]DEC」