

特定型番の生産状況については[こちら](#)をクリックしてください。

MAX41473/MAX41474

290MHz~960MHz ASK/FSKレシーバ、 I²Cインターフェイス内蔵

概要

MAX41473/MAX41474は高性能、低消費電力レシーバで、振幅偏移変調(ASK)および周波数偏移変調(FSK)データに最適です。これらのレシーバは、1つの低コスト16MHz水晶発振器を使用しながらも、287MHz~320MHz、425MHz~480MHz、860MHz~960MHzの3つの一般的なサブGHz帯域用に設定できます。

MAX41473/MAX41474はASKまたはFSKの受信が可能であり、また、全てをI²Cインターフェイスを介して設定することもできます。この設定可能オプションに加えて、定義済み設定としてプログラミングが不要なプリセットオプションも提供します。この設計により、外部マイクロコントローラとのシングル・ワイヤ動作が可能です。

このレシーバはRF感度に優れ、RF入力で最大0dBmの電力の信号を入力できます。IFフィルタを内蔵し、外付け部品数が少なく済み、動作電流/パワーダウン電流が低いため、MAX41473/MAX41474レシーバはコストおよび消費電力を重視するアプリケーションに最適です。また、これらのチップはローノイズ・アンプ(LNA)、完全差動イメージ除去ミキサー、電圧制御発振器(VCO)内蔵フェーズロック・ループ(PLL)、受信信号強度インジケータ(RSSI)、およびデジタル復調も内蔵しています。

これらのデバイスは1.8V~3.6Vの電源電圧範囲で動作し、プリアンブル検出および割込み出力を備えた省電力、完全設定可能、自己ポーリング(デューティ・サイクリング)モードを備え、外部マイクロコントローラ・ユニット(MCU)をウェイクアップすることが可能です。

これらのデバイスは12ピン薄型QFN(TQFN)パッケージで提供され、-40°C~+105°Cの拡張温度範囲での動作が仕様規定されています。

アプリケーション

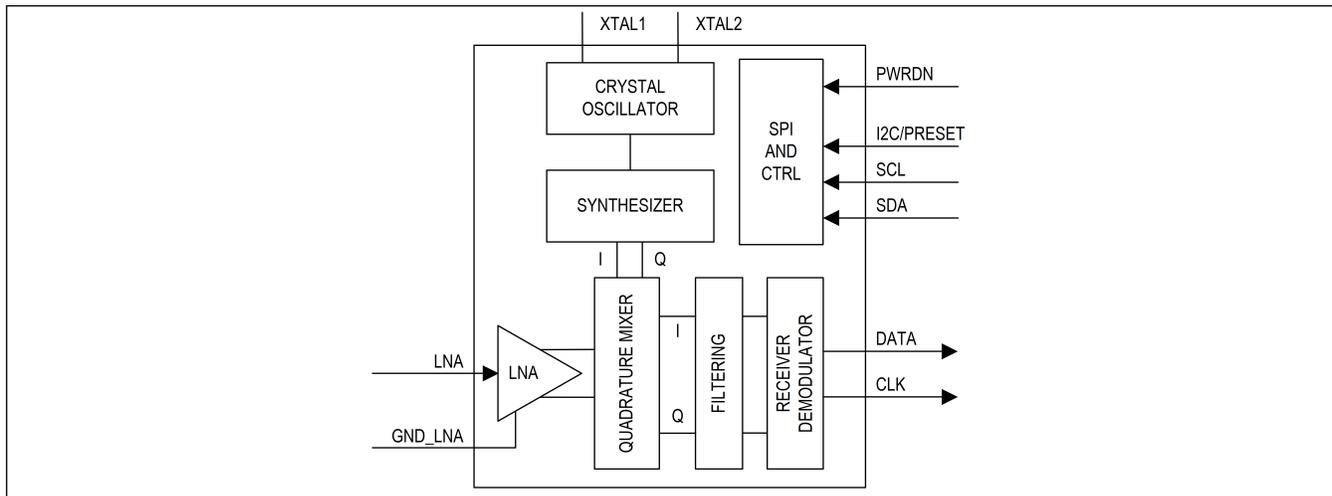
- ホーム・オートメーションおよびセキュリティ
- ビル・アクセス管理
- ガレージ・ドア開閉装置(GDO)
- リモート・キーレスエントリ(RKE)
- タイヤ圧監視システム(TPMS)
- 飲食店の呼び出しベル

利点と特長

- 少ない部品数(BOM)
 - ・ 外付けバラン、外付けフィルタなどが不要
 - ・ 1つの低コスト16MHz外付け水晶
- 長距離で高感度
- 低消費電力
 - ・ 動作電源電流: 9mA
 - ・ パワーダウン電流: 10nA
- 自己ポーリング(リモート・ウェイクアップ)により消費電力を削減
 - ・ 割込み出力を備えたプリアンブル検出
 - ・ 平均電流: わずか350μA
 - ・ デューティ・サイクル: 1%未満に対応
 - ・ 高速起動時間
- 自動ゲイン制御(AGC)調整のデジタルRSSI
- 自動周波数制御(AFC)
- 高速周波数スイッチングのフラクショナルNシンセサイザ
- 校正イメージ除去: 33dB
- ETSIカテゴリ2プロッキング要件に適合
- ESD保護: ±2.5kVHBM(LNA入力で±4kV)
- データレート: 最大200kbps(NRZ)
- 電源電圧: 1.8V~3.6V
- 動作温度範囲: -40°C~+105°C
- 12ピンTQFNパッケージ
(4mm × 4mm, 0.8mmピッチ)

[オーダー情報](#)はデータシートの末尾に記載されています。

簡略化したブロック図



目次

概要	1
アプリケーション.....	1
利点と特長	1
簡略化したブロック図.....	2
絶対最大定格.....	7
パッケージ情報.....	7
12 TQFN	7
電気的特性.....	7
標準動作特性.....	12
ピン配置.....	15
端子説明.....	15
機能図	17
詳細	18
プログラミング・モードとプリセット・モード.....	18
プリセットの周波数と設定	18
電源状態	19
電源状態 –プリセット.....	19
状態遷移図.....	19
状態遷移図 –プリセット.....	20
状態遷移時間 –プリセット.....	21
自己ポーリング・モード	21
プリアンプ検出器	21
DATA端子	22
中間周波数の選択	23
チャンネル・フィルタの選択	23
復調器の設定	23
自動ゲイン制御(AGC)	24
受信信号強度インジケータ(RSSI)	25
RSSI出力端子.....	26
自動周波数制御(AFC)	26
周波数誤差インジケータ(FEI).....	27
プリアンプ検出時のAFCフリーズ.....	27
推奨データレートとポスト復調フィルタ	27
ASK判定スレッシュホールド	28
ASK判定スレッシュホールドの下限.....	28
スケルチングASKレシーバ.....	29
レシーバ感度.....	30
ASKレシーバの設定	30

目次(続き)

FSKレシーバの設定.....	31
変調指数は約0.8	32
2線式I ² Cシリアル・インターフェイス.....	33
スタート条件とストップ条件	34
アクノリッジ条件とノットアクノリッジ条件.....	34
スレーブ・アドレス	34
書込みサイクル.....	34
読出しサイクル	35
水晶(XTAL)発振器.....	35
水晶振動子分周器	36
プリセットモードでの水晶振動子周波数	36
フェーズロック・ループ(PLL).....	36
周波数の設定	36
クロック・データの再生.....	37
プリセット時のクロック再生.....	37
電源.....	37
ローノイズ・アンプ(LNA).....	37
ミキサー	37
レシーバ遅延.....	38
NRZフォーマット.....	38
イメージ除去校正.....	38
レジスタ・マップ.....	40
メモリ・マップ	40
レジスタの詳細	41
アプリケーション情報.....	52
プログラミング・クイック・スタート.....	52
プログラミング・ガイド.....	53
周波数アクイジション.....	53
周波数アクイジションの例#1	54
周波数アクイジションの例#2	54
周波数アクイジションの例#3	54
周波数トラッキング	55
自己ポーリングの例.....	55
標準アプリケーション回路.....	56
I ² Cモード(PRESET_I2C = V _{DD})	56
プリセット・モード(PRESET_I2C = オープンまたはGND)	57
オーダー情報.....	57
改訂履歴.....	58

図一覧

図1. I ² Cシリアル・インターフェイスのタイミング図.....	11
図2. 状態遷移図	20
図3. 自己ポーリング・モードでのウェイクアップ・タイマー	21
図4. AGCとRSSI.....	25
図5. RSSI端子の出力フォーマット.....	26
図6. I2C書込み	34
図7. I2C読出し.....	34
図8. I2Cバースト書込み	35

表一覧

表1. プリセット周波数	18
表2. プリセット設定	19
表3. 4つの電源状態における電源電流	19
表4. 状態遷移時間	20
表5. プリセット・モードでの状態遷移時間	21
表6. プリアンプルのマンチェスタ・エンコーディング	22
表7. 確実な検出のためのPREAM_LENの制限	22
表8. 中間周波数の選択	23
表9. チャンネル・フィルタの選択	23
表10. DEMOD_TCTRLの推奨設定	23
表11. 400kHz IF (IF_SEL = 0)のFSK復調器設定のオプション	23
表12. 200kHz IF (IF_SEL = 1)のFSK復調器設定のオプション	24
表13. AGC動作モード	25
表14. データレートに対するAGCの微調整	25
表15. ポスト復調フィルタの帯域幅	28
表16. ATH_TCの設定	28
表17. ATH_GCの設定	28
表18. MU1のルックアップ・テーブル	29
表19. MU2のルックアップ・テーブル	29
表20. 400kHz IFのASKレシーバ	30
表21. 200kHz IFのASKレシーバ	30
表22. 400kHz IFのFSKレシーバ	31
表23. 200kHz IFのFSKレシーバ	32
表24. 400kHz IFのFSKレシーバ	32
表25. 200kHz IFのFSKレシーバ	33
表26. 必要な水晶振動子分周器の設定	36
表27. LODIVの設定	36
表28. クロック・データ再生の動作モード	37
表29. LD_BWとLD_BUFの設定	38
表30. クイック・スタート設定	52
表31. AFCプルイン範囲(16MHz水晶振動子の場合)	53

Absolute Maximum Ratings

V _{DD} to GND	-0.3V to +4V
GND_LNA to GND	-0.3V to +0.3V
All Other Pins to GND	-0.3V to (V _{DD} + 0.3)V
Continuous Power Dissipation (Single Layer Board)(T _A = +70°C, derate 16.9mW/°C above +70°C.).....	1349.1mW

Continuous Power Dissipation (Multilayer Board)(T _A = +70°C, derate 24.4mW/°C above +70°C).....	1951.2mW
Operating Temperature Range.....	-40°C to +105°C
Junction Temperature	+150°C
Storage Temperature Range	-40°C to +150°C
Soldering Temperature (reflow)	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Information

12 TQFN

Package Code	T1244+4
Outline Number	21-0139
Land Pattern Number	90-0068
Thermal Resistance, Single-Layer Board:	
Junction to Ambient (θ _{JA})	59.3°C/W
Junction to Case (θ _{JC})	6°C/W
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ _{JA})	41°C/W
Junction to Case (θ _{JC})	6°C/W

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/jp/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Electrical Characteristics

(Typical Application Circuit, typical values are at V_{DD} = +3.0V, T_A = +25°C, ASK at input frequency = 433.92MHz, Manchester encoded, IF = 400kHz, RXBW = 340kHz with 16MHz crystal oscillator, unless otherwise noted. ([Note 1](#)))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC SPECIFICATIONS						
Supply Voltage	V _{DD}		1.8		3.6	V
Supply Current	I _{VDD_RCV}			9	14	mA
Shutdown Current	I _{SHDN}			10	1000	nA
Standby Current	I _{SDBY}			320		μA
Sleep Current	I _{DD_SLEEP}			1		μA
AC SPECIFICATIONS						
Frequency Range				287 to 320, 425 to 480, 860 to 960		MHz

Electrical Characteristics (continued)

(Typical Application Circuit, typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, ASK at input frequency = 433.92MHz, Manchester encoded, IF = 400kHz, RXBW = 340kHz with 16MHz crystal oscillator, unless otherwise noted. ([Note 1](#)))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Receiver Input Level	P_{RFIN_MAX}	Modulation depth > 20dB	-20	0		dBm
Maximum Channel Bandwidth		-3dB bandwidth at 400kHz IF		300		kHz
Minimum Polling Mode Duty Cycle				0.775		%
AC SPECIFICATIONS / SENSITIVITY / FSK						
Sensitivity Limit FSK (Note 2)		Preset Mode	1kbps, $\pm 40kHz$	-117		dBm
			20kbps, $\pm 80kHz$	-110		
		RXBW = 340kHz, 100kbps, FSK deviation = $\pm 80kHz$, $f_{RF} = 868MHz$		-100		
		RXBW = 340kHz, 62.5kbps, FSK deviation = $\pm 40kHz$		-106		
		RXBW = 24kHz, 10kbps, FSK deviation = $\pm 8kHz$		-116		
		RXBW = 12kHz, 2kbps, FSK deviation = $\pm 2kHz$		-120		
		RXBW = 12kHz, 250bps, FSK deviation = $\pm 2kHz$		-127		
AC SPECIFICATIONS / SENSITIVITY / ASK						
Sensitivity Limit ASK (Note 2)		Preset Mode	1kbps	-112		dBm
			20kbps	-105		
		RXBW = 340kHz, 62.5kbps, $f_{RF} = 868MHz$, modulation depth $\geq 20dB$		-103		
		RXBW = 120kHz, 5kbps		-116		
		RXBW = 120kHz, 2kbps		-118		
		RXBW = 24kHz, 1kbps		-122		
		RXBW = 12kHz, 250bps		-127		
AC SPECIFICATIONS / Startup Time						
Maximum Receiver Start-Up Time (Note 2)		Self-polling mode (DATA high), ASK, 10kbps		450		μs
		Slave receiver mode, from sleep state to receive ready (including crystal startup time), 10kbps		860		
AC SPECIFICATIONS / PLL TURN-ON TIME						
Minimum Synthesizer Frequency Step				$f_{XTAL}/2^{16}$		Hz
AC SPECIFICATIONS / IMAGE REJECTION						
Image Rejection	IR_UNCAL	Uncalibrated		30		dB
	IR_CAL	Calibrated		33		

Electrical Characteristics (continued)

(Typical Application Circuit, typical values are at $V_{DD} = +3.0V$, $T_A = +25^\circ C$, ASK at input frequency = 433.92MHz, Manchester encoded, IF = 400kHz, RXBW = 340kHz with 16MHz crystal oscillator, unless otherwise noted. (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
AC SPECIFICATIONS / BLOCKERS						
Minimum Blocking Level		3dB desense (Note 3)	±2MHz offset	-58		dBm
			±10MHz offset	-40		
Selectivity		3dB desense (Note 3)	±300kHz offset, IF = 200kHz	47		dBc
AC SPECIFICATIONS / MAXIMUM DATA RATE						
Maximum data rate		Manchester encoded		100		kbps
		Nonreturn to zero (NRZ)		200		
AC SPECIFICATIONS / RSSI						
RSSI Resolution				±0.5		dB
RSSI Linear Dynamic Range			70	90		dB
AC SPECIFICATIONS / LNA						
Input Impedance				50		Ω
CRYSTAL OSCILLATOR						
Crystal Frequency	f_{XTAL}		12.8	16	19.2	MHz
Crystal Oscillator Startup Time	t_{XO}			380		μs
Crystal Load Capacitance	C_L			6		pF
CMOS INPUT/OUTPUT (SCL, SDA, SEL0, SEL1, PWRDN, DATA)						
Input Low Voltage	V_{IL}	1.8V compatible			0.36	V
	V_{IL_SEL}	SEL0/SEL1			$0.1 \times V_{DD3}$	
Input High Voltage	V_{IH}	1.8V compatible	1.44			V
	V_{IH_SEL}	SEL0/SEL1	$0.9 \times V_{DD3}$			
Input Current	I_{IL}/I_{IH}			±10		μA
Output Low Voltage	V_{OL}	$I_{SINK} = 650\mu A$		0.25		V
Output High Voltage	V_{OH}	$I_{SOURCE} = 350\mu A$		$V_{DD} - 0.25$		V
Maximum Capacitance at SEL0/SEL1 Pins	C_{L_SEL}			10		pF
Maximum Load Capacitance at SDIO/DATA Pins	C_{LOAD}			10		pF
PWRDN Pin Glitch Suppression	t_{GLITCH}	Glitches suppressed by PWRDN pin		1		ns
SERIAL INTERFACE / I2C (FIGURE 1)						
SCL Clock Frequency	f_{SCL}		400		1000	kHz

Electrical Characteristics (continued)

(Typical Application Circuit, typical values are at $V_{DD} = +3.0V$, $T_A = +25^{\circ}C$, ASK at input frequency = 433.92MHz, Manchester encoded, IF = 400kHz, RXBW = 340kHz with 16MHz crystal oscillator, unless otherwise noted. ([Note 1](#)))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Bus Free Time Between STOP and START Conditions	t_{BUF}		500			ns
Hold Time (Repeated) START Condition	$t_{HD:STA}$		260			ns
Low Period of SCL	t_{LOW}		500			ns
High Period of SCL	t_{HIGH}		260			ns
Data Hold Time	$t_{HD:DAT}$	Receive	0		150	ns
		Transmit	0			
Data Setup Time	$t_{SU:DAT}$		50			ns
Start Setup Time	$t_{SU:STA}$		260			ns
SDA and SCL Rise Time	t_R				120	ns
SDA and SCL Fall Time	t_F		$20 \times V_{IO}/5.5$		120	ns
Stop Setup Time	$t_{SU:STO}$		260			ns
Noise Spike Reject	t_{SP}			25		ns

Note 1: 100% tested at $T_A = +25^{\circ}C$. Limits over operating temperature and relevant supply voltage are guaranteed by design and characterization over temperature.

Note 2: All data rates are Manchester encoded, where 1kbps is equivalent to a 1kHz square wave representing a continuous string of "1" data bits. Average sensitivity at 433.92MHz, BER $\leq 0.2\%$.

Note 3: Power referred to LNA input. Manchester 10kbps data rate, unless otherwise noted..

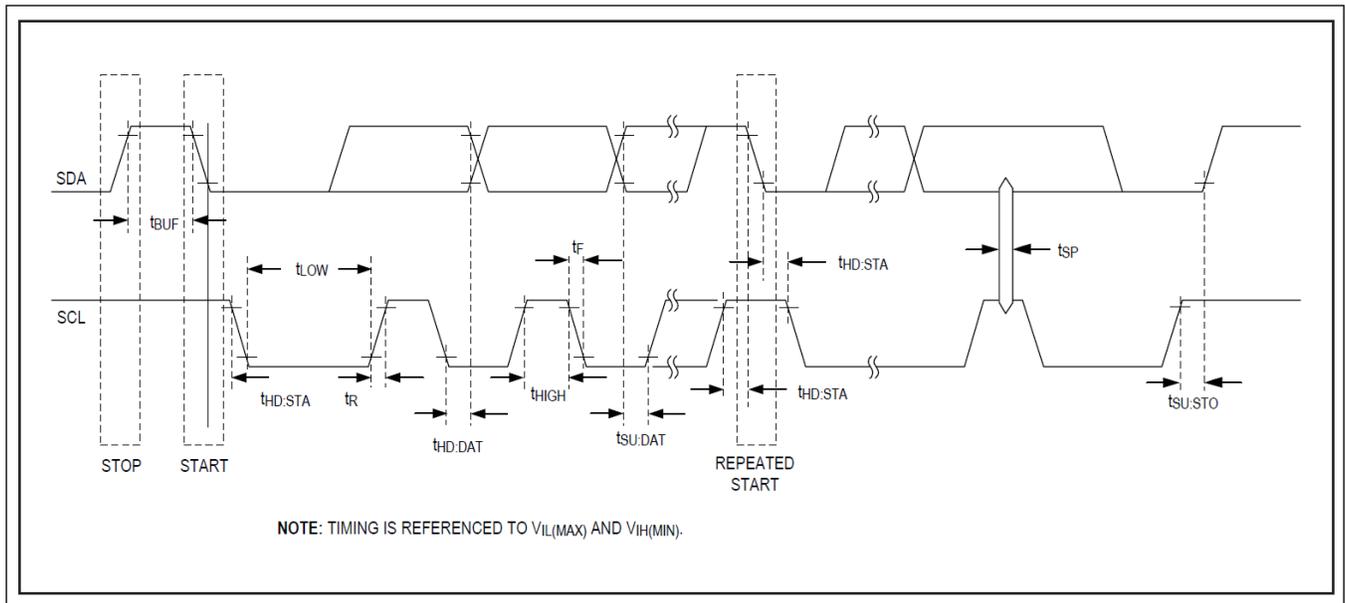
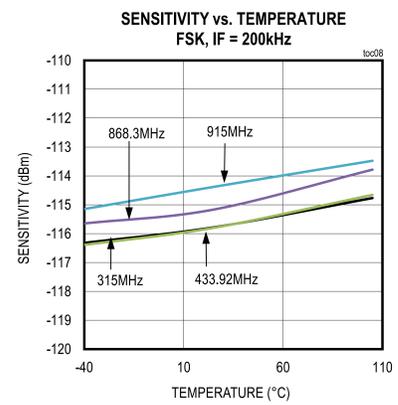
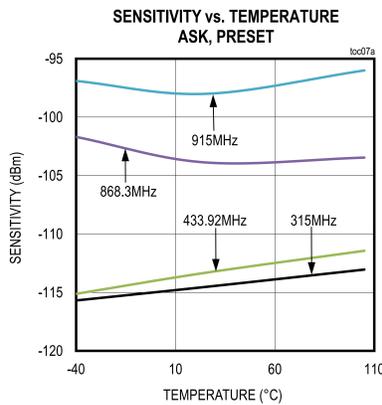
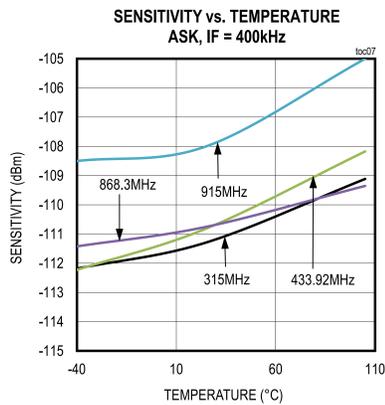
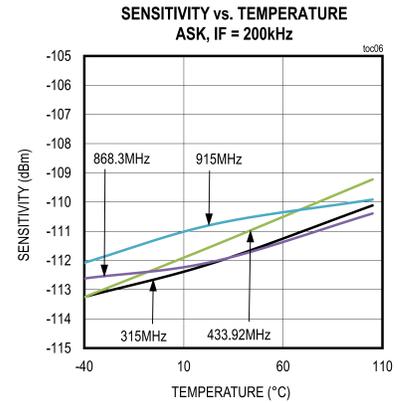
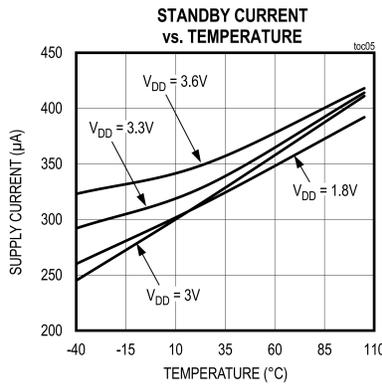
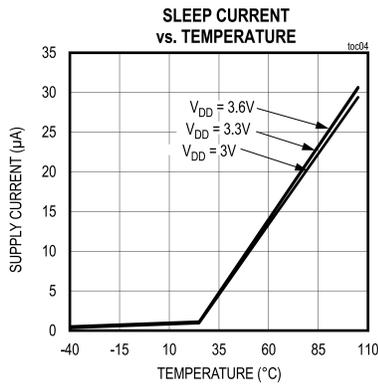
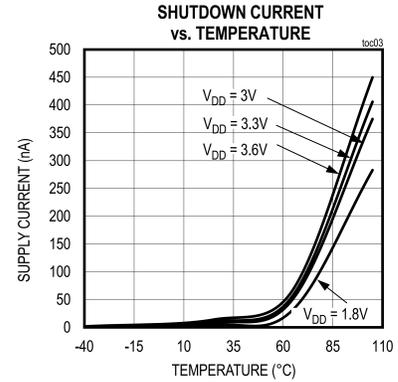
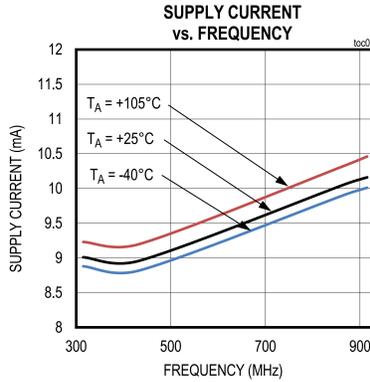
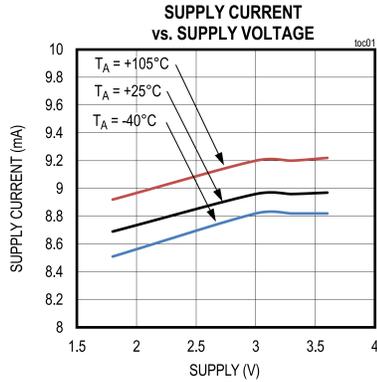


図1. I²Cシリアル・インターフェイスのタイミング図

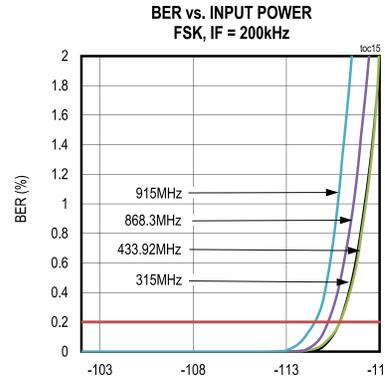
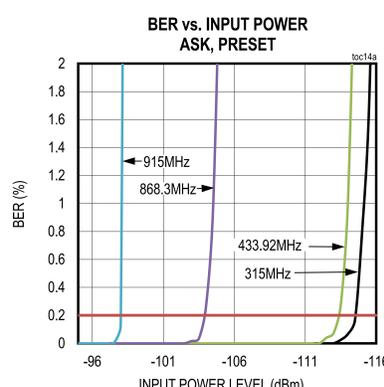
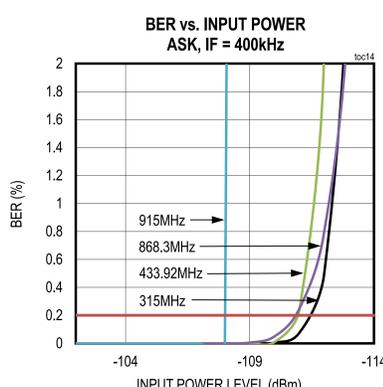
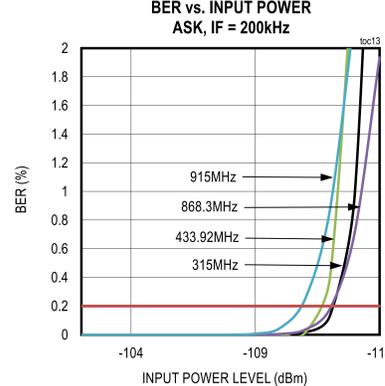
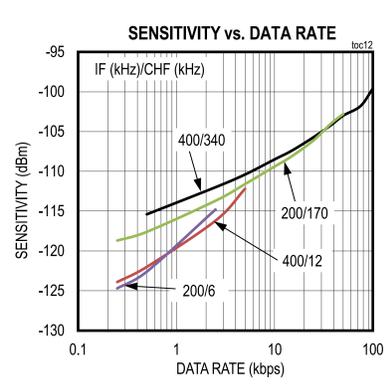
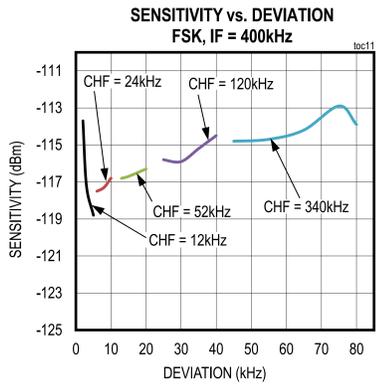
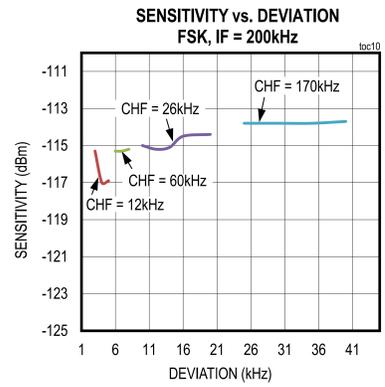
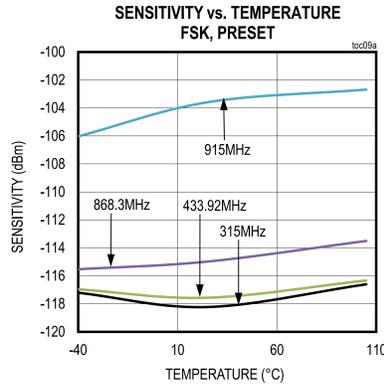
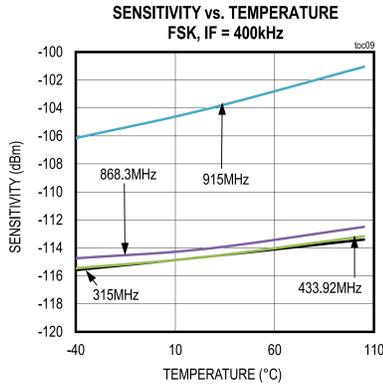
標準動作特性

(Typical Application Circuit. Typical values are for ASK at $f_{RF} = 433.92\text{MHz}$, $I_F = 400\text{kHz}$, $CHF = 340\text{kHz}$, data rate = 5kbps, $V_{DD} = +3\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted. Sensitivity at 0.2% BER.)



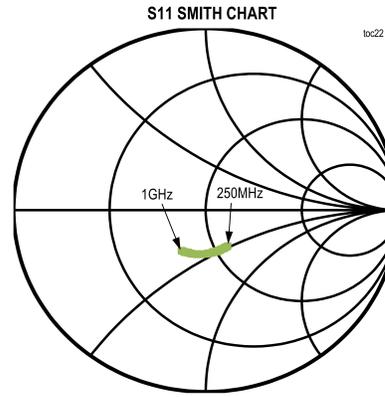
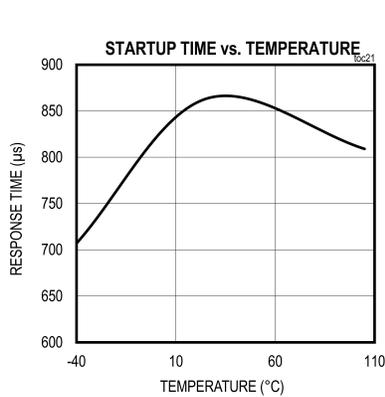
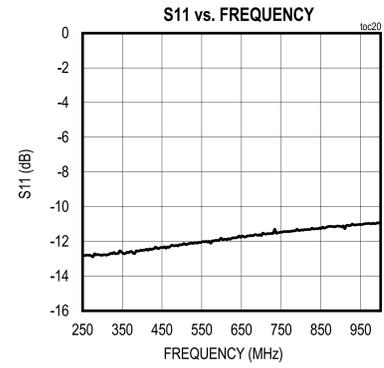
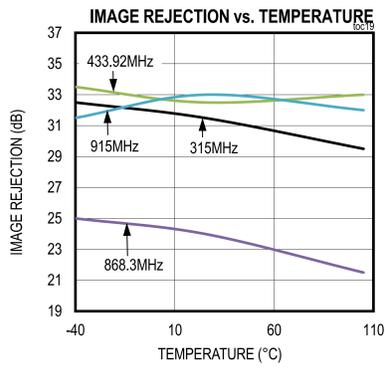
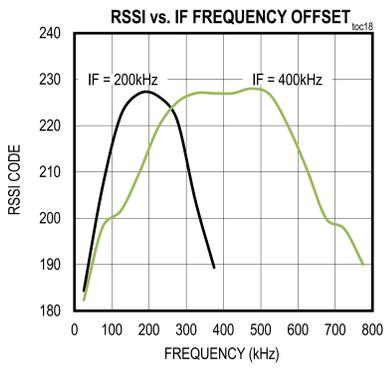
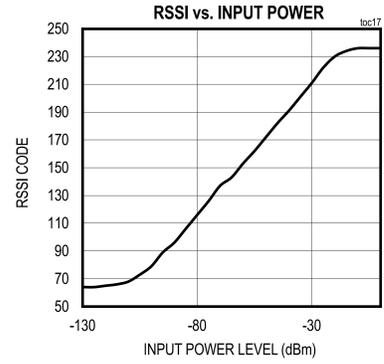
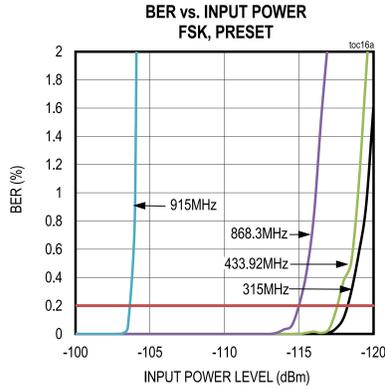
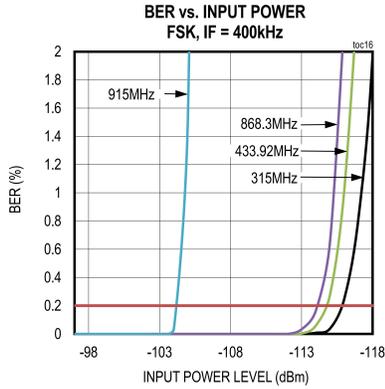
標準動作特性(続き)

(Typical Application Circuit. Typical values are for ASK at $f_{RF} = 433.92\text{MHz}$, $IF = 400\text{kHz}$, $CHF = 340\text{kHz}$, data rate = 5kbps, $V_{DD} = +3\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted. Sensitivity at 0.2% BER.)

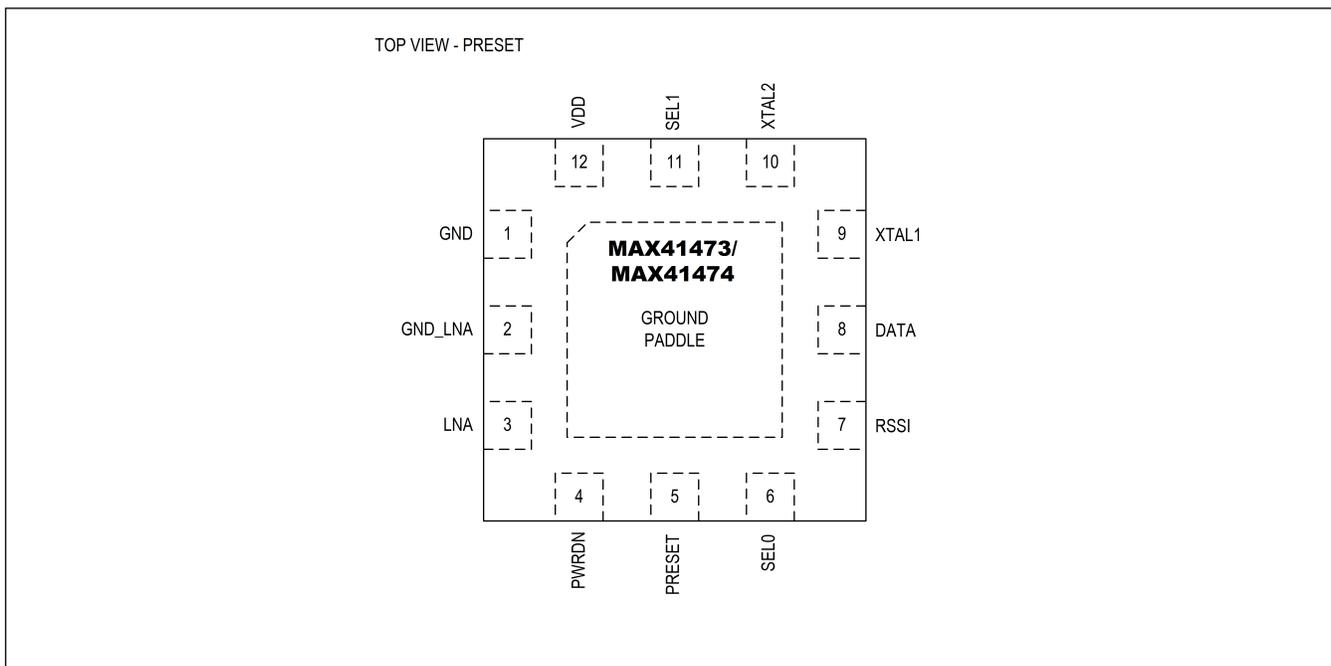
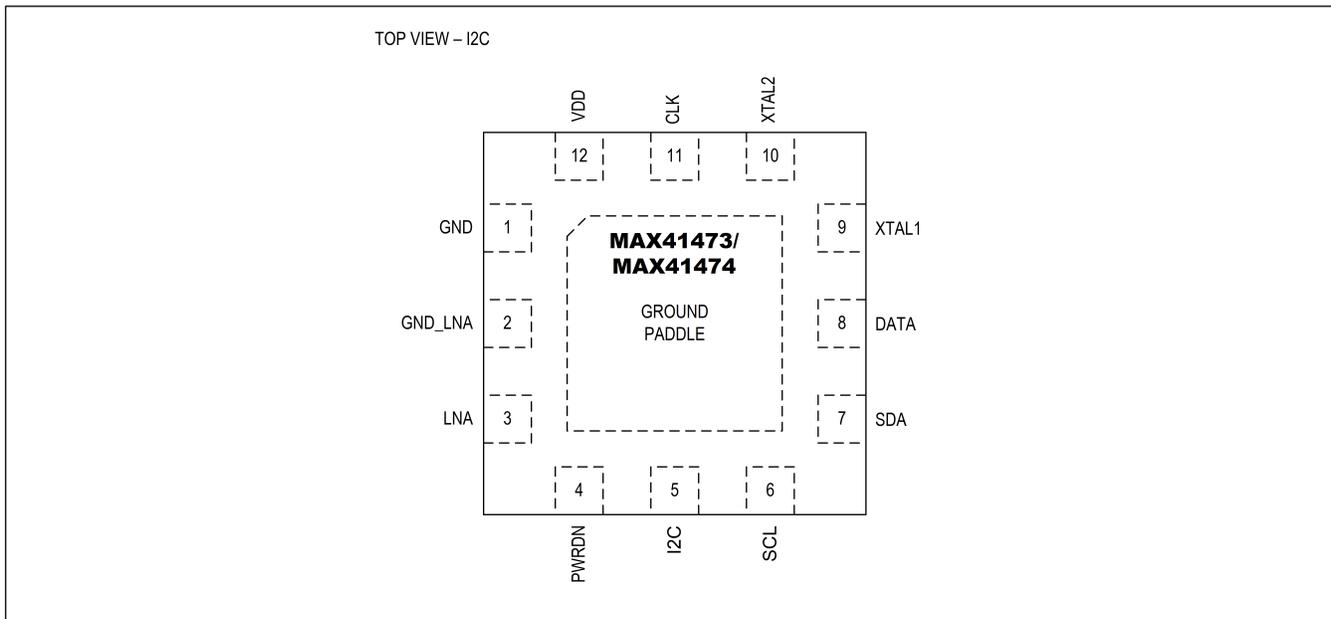


標準動作特性(続き)

(Typical Application Circuit. Typical values are for ASK at $f_{RF} = 433.92\text{MHz}$, $IF = 400\text{kHz}$, $CHF = 340\text{kHz}$, data rate = 5kbps, $V_{DD} = +3\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted. Sensitivity at 0.2% BER.)



ピン配置



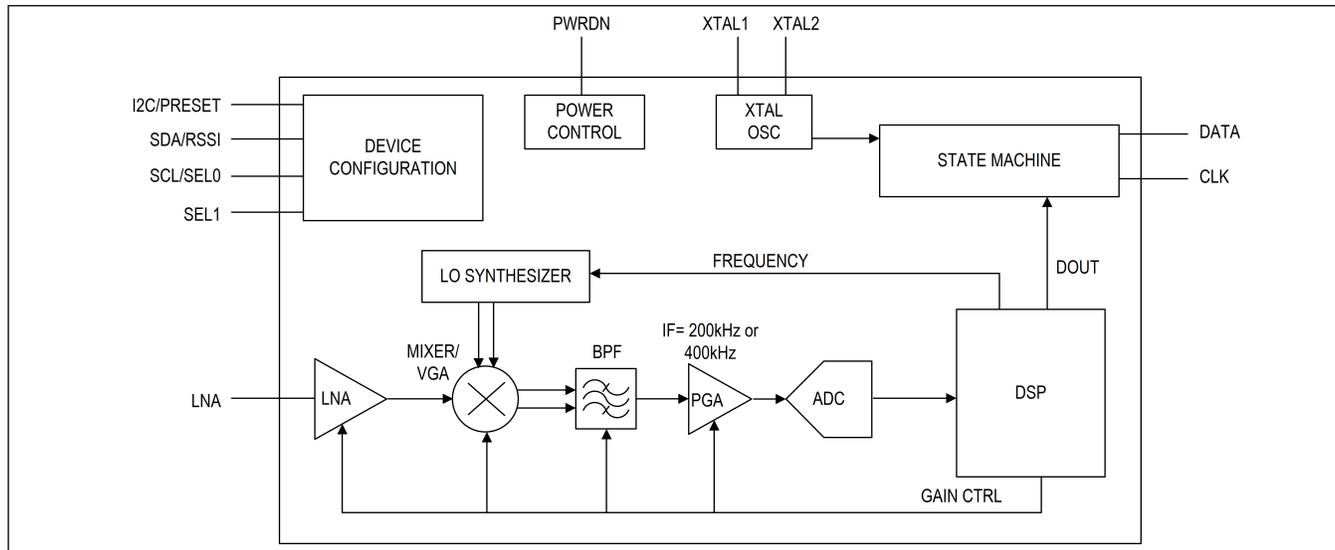
端子説明

端子番号	名称	説明
1	GND	グラウンド
2	GND_LNA	ローノイズ・アンプ用グラウンド

端子説明(続き)

端子番号	名称	説明
3	LNA	ローノイズ・アンプ入力
4	PWRDN	<p>パワーダウン、アクティブハイ。この端子を外部MCUによって制御する場合、ロジックハイを印加するとシャットダウン・モードに、ロジックローを印加するとイネーブルになります。PWRDNの立下がりエッジの後、内部レジスタはデフォルト値にリセットされます。この端子をGNDに接続している場合、デバイスは電流が最小となるシャットダウン状態に入ることはできません。</p> <p>適切な起動タイミングは、MCUがPWRDNをハイに駆動後1ms待機し、次にPWRDNをローに駆動後0.2ms待機してからレジスタに書き込みます。</p>
5	I2C/PRESET	<p>シリアル・インターフェイス・モードの設定。I2C/PRESETがロジックハイの場合、シリアル・インターフェイスはI²Cモードになります。I2C/PRESETがロジックロー (GND) または未接続 (オープン) の場合、シリアル・インターフェイスはディスエーブルされ、プリセット・モードになります。次に、SEL1/CLK端子とSCL/SEL0端子の状態によってレシーバの機能が制御されます。</p> <p>プリセット・モードにおいては、データレートが2.55kbps未満ではこの端子をGNDに接続し、15kbps~25kbpsではこの端子を未接続 (オープン) にします。25kbpsを超えるデータレートでは、プリセット・モードは推奨されません。</p>
6	SCL/SEL0	I ² Cモードでは、SCL/SEL0はレジスタ・プログラミング用のクロック入力となり、外付けプルアップ抵抗が必要です。プリセット・モードでは、目的のプリセット・モード周波数に応じて、GNDまたはV _{DD} に接続するか、またはオープンにします。 表1 を参照してください。
7	SDA/RSSI	I ² Cモードでは、SDA/RSSIはレジスタ・プログラミング用の入出力となり、外付けプルアップ抵抗が必要です。プリセット・モードの時、この端子はデジタルRSSIを出力します。 詳細 のセクションを参照してください。
8	DATA	復調された受信信号のデータ出力
9	XTAL1	第1水晶振動子の入力。シングルエンド駆動が可能です。
10	XTAL2	第2水晶振動子の入力
11	SEL1/CLK	I ² Cモードの場合、再生されたクロックをこの端子から出力できます。クロック出力をディスエーブルにする場合、GNDに接続します。クロック出力をイネーブルにする場合、10kΩ抵抗を介してGNDに接続します。プリセット・モードでは、目的のプリセット・モード周波数に応じて、GNDまたはV _{DD} に接続するか、またはオープンにします。 表1 を参照してください。
12	VDD	電源電圧。0.01μFのコンデンサでグラウンドに接続します。
PADDLE	GND	グラウンド

機能図



詳細

サブGHzのISM RFレシーバであるMAX41473/MAX41474は、わずかな外付け部品だけでRFからビットまでのレシーバ・シグナル・チェーンを完成させることができます。信号電力にもよりますが、100kbpsマンチェスタ(200kbps NRZ)のデータレートを実現できます。

本デバイスは、287MHz~320MHz(公称315MHz)、425MHz~480MHz(公称434MHz)、および860MHz~960MHz(公称868MHzまたは915MHz)のISM周波数帯で、ASK/OOK変調またはFSK/GFSK変調されたデータを受信するように設計されています。

MAX41473/MAX41474のアーキテクチャは、デジタル復調を備えた低中間周波(low-IF)レシーバです。アンテナ受信信号は増幅され、400kHzまたは200kHzのIFにダウンコンバートされます。ダウンコンバート用の局部発振器(LO)信号は、内部のフラクショナルN PLLシンセサイザと外付けの16MHz水晶振動子から生成されます。

アナログ・レシーバの帯域幅は、IFの選択に応じて、IF = 400kHzの場合は350kHz、IF = 200kHzの場合は175kHzです。帯域幅が設定可能なデジタル・チャンネル・フィルタ処理が復調前に適用されます。データレートが低い場合は、狭い帯域幅のチャンネル・フィルタを選択することで、高いレシーバ感度が得られます。デジタル領域には帯域幅が設定可能なポスト復調フィルタ処理が実装されており、フィルタ処理された出力は適応型の判定スレッシュホールドと比較され、1ビットのオーバーサンプリング出力がDATA端子に生成されます。

MAX4147xレシーバ・ファミリがサポートする機能には、自動ゲイン制御(AGC)、受信信号強度インジケータ(RSSI)、自動周波数制御(AFC)、周波数誤差インジケータ(FEI)などがあります。

MAX41473/MAX41474はI²Cインターフェイスを備えており、I²C/PRESET端子をVDDに接続した場合、デバイスを完全に制御するための内部レジスタを設定できます。そうしない場合は、MAX41473/MAX41474はプリセットとして構成できます。SPIのプログラミング機能については、[MAX41470](#)のデータシートを参照してください。プログラミング・モード時は、MAX41473/MAX41474はマンチェスタエンコーディング型プリアンプル検出に基づく自己ポーリング動作をサポートしており、DATA端子に割り込み信号を供給できます。

プログラミング・モードとプリセット・モード

MAX41473/MAX41474はI²Cを介してプログラミングが可能であると共に、プログラミングが不要なプリセット・モードも備えています。SPIのプログラミング機能については、MAX41470のデータシートを参照してください。MAX41473/MAX41474は、(MAX41470と同様に)プログラミング・モードでASK変調とFSK変調の両方をサポートできます。ただし、プリセット・モードでは、MAX41473はASKのみ、MAX41474はFSKのみとなります。

MAX41473/MAX41474には、I²C/PRESET、SEL0、SEL1の3つの選択端子があります。各端子は、GNDに接続するか、VDDに接続するか、またはオープンにすることができます。I²C/PRESETをV_{DD}に接続した場合、プログラミング・モードが選択されます。一方、I²C/PRESETをオープンにするかGNDに接続した場合はプリセット・モードが選択され、SEL0およびSEL1端子で9種類のプリセット周波数を選択できます。

プリセットの周波数と設定

MAX41473とMAX41474では、I²C/PRESET、SEL1、SEL0の各端子の状態に応じてプリセットを設定できます。9つのプリセット周波数と8つのプリセット設定があります。全てのプリセットで、16MHzの水晶振動子を使用する必要があります。

表1. プリセット周波数

SEL1 STATE	SEL0 STATE	MAX41473	MAX41474
Ground	Ground	315	315
Ground	Open	318	318
Ground	VDD	319.5	319.5
Open	Ground	433.42	433.42
Open	Open	433.92	433.92
Open	VDD	868.3	868.3
VDD	Ground	868.5	868.5

表1. プリセット周波数(続き)

VDD	Open	915*	915*
VDD	VDD	868.35*	868.35*

* 出荷時にプログラミング可能。詳細は弊社にお問い合わせください。

表2. プリセット設定

PART NUMBER	PRESET FREQUENCY	I2C/PRESET PIN STATE	IF BW (kHz)	RECEIVER BW (kHz)	DATA RATE (kbps)	FSK DEVIATION (kHz)
MAX41473	315 or 434 band	GND	200	170	0.25 to 2.55	–
MAX41473	868 or 915 band	GND	400	340	0.25 to 2.55	–
MAX41473	315 or 434 band	Open	400	340	15 to 25	–
MAX41473	868 or 915 band	Open	400	340	15 to 25	–
MAX41474	315 or 434 band	GND	200	170	0.5 to 2.55	32 to 47
MAX41474	868 or 915 band	GND	400	340	0.5 to 2.55	64 to 94
MAX41474	315 or 434 band	Open	400	340	15 to 25	64 to 94
MAX41474	868 or 915 band	Open	400	340	15 to 25	64 to 94

電源状態

MAX41473/MAX41474レシーバには、シャットダウン、スリープ、スタンバイ、および受信アクティブの4つの電源状態があります。PWRDN端子をローにすると、デバイスはイネーブル(電源オン)になり、PWRDNをハイにするとディスエーブルになります。デバイスがイネーブルになると、デバイスの動作状態は内部レジスタによりシリアル・インターフェイスを介して制御されます。

通常、PWRDNはMCUからのGPIO端子によって駆動され、ハイまたはローに駆動しなければなりません。PWRDNをGNDに接続した場合、デバイスはシャットダウン状態に入ることができません。

表3. 4つの電源状態における電源電流

POWER STATE	SUPPLY CURRENT (TYP)	COMMENT
Shutdown	10nA	No serial port access, register values lost
Sleep	1μA	Serial port powered, register values retained
Standby	0.32mA	Crystal oscillator powered
Receive Active	9mA	Entire receiver powered

電源状態 – プリセット

プリセット・モードでは、デバイスはPWRDN端子によって制御され、シャットダウン状態またはSlaveRX状態になります。

状態遷移図

プログラミング・モードでは、MAX41473/MAX41474にはスレーブ・レシーバと自己ポーリングの2つの主要な動作状態があります。スレーブ・レシーバ(SlaveRX)としての動作時、MAX41473/MAX41474は外部の「マスタ」MCUによりシリアル・インターフェイスを介して完全に制御されます。自己ポーリング動作(PollingRX)時には、予め設定された時間、割込み、およびMCU制御に従って、スタンバイ状態と受信状態を周期的に切り替えます。

図2は、MAX41473/MAX41474の簡略化した状態図です。PWRDN端子をハイにすると、デバイスは低電流のシャットダウン状態になります。PWRDNは、ローに遷移する前に少なくとも1msの間ハイに保持する必要があります。PWRDN端子をローに駆動すると、内部電源がオンになり、デバイスがスリープ状態に入って、全ての内部レジスタがデフォルト値にリセットされます。シリアル・インターフェイスを介したプログラミングは、デバイスのセトリングに要する400μs(標準値)のターンオン時間の後に可能となります。スリープ状態時のプログラミングは推奨されませんが、デバイスをスタンバイ状態にするためにEN_XOビットに1を書き込むことは例外です。シリアル通信は、スタンバイ状態時に行うことを推奨します。スタンバイ状態からSlaveRX動作を有効にするには、WUT_ENビットに「0」を、SLAVE_RX_ENビットに「1」を書き込みます。電源状態の制御に使用される3つのレジスタ・ビット(EN_XO、WUT_EN、SLAVE_EN)は、全てSTATE_CTRL1(0x14)レジスタにあります。

SlaveRX状態ではDIG_RXレジスタを読み出すことはできますが、書き込むことはできません。通常は、レシーバがアクティブな状態 (SlaveRXまたはPollingRX状態) ではデバイスの設定は変更できません。SlaveRX状態では、STATE_CTRL1 (0x14) レジスタへのアクセスは可能です。例えば、SLAVE_RX_EN = 0を書き込むと、レシーバの電源がオフになり、デバイスの状態がスタンバイに戻ります。

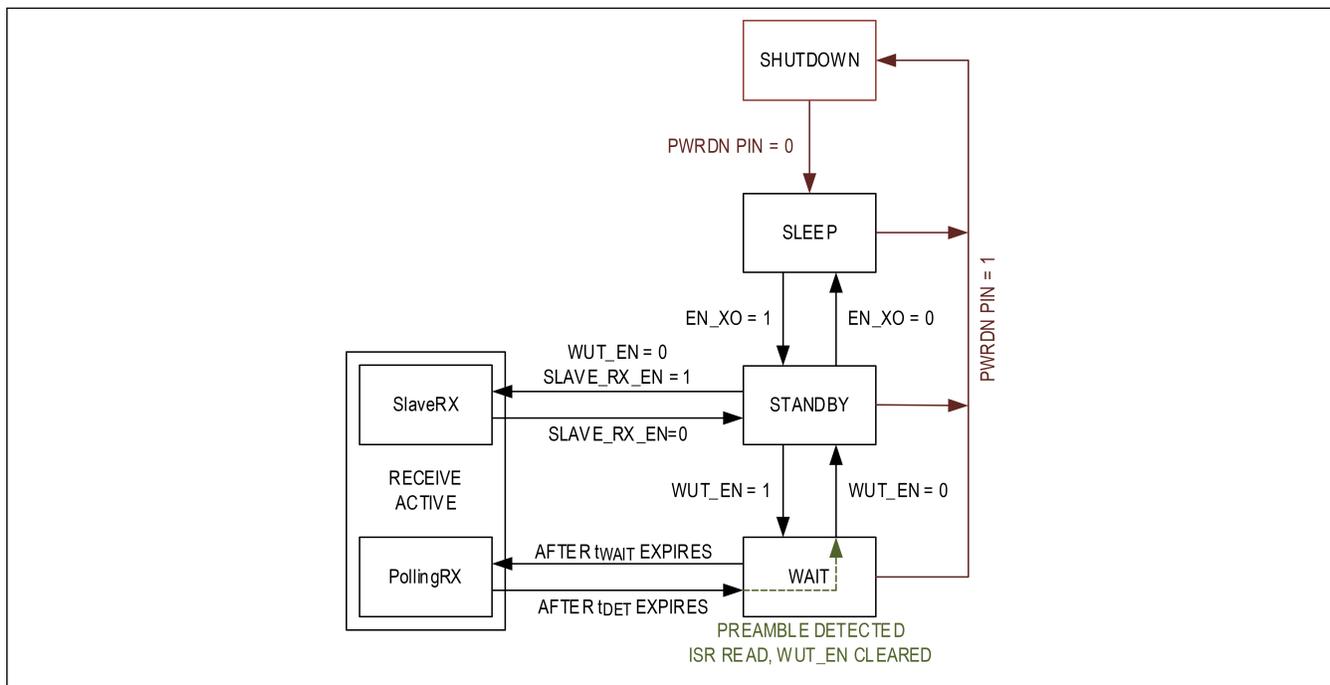


図2. 状態遷移図

状態遷移図 –プリセット

プリセット・モードでは、MAX41473/MAX41474はスレープ・レシーバとしてのみ動作し、WUTは無効になります。SlaveRX動作は、PWRDN端子をローに駆動することで有効になります。この遷移により、デバイスはシャットダウン状態からスリープ状態およびスタンバイ状態を経て、直接SlaveRX状態になります。

表4. 状態遷移時間

EVENT	STATE TRANSITION	TYPICAL TIME (μs)
PWRDN Pin Cleared to 0	Shutdown to Sleep	400
EN_XO Bit Set	Sleep to Standby	380
SLAVE_RX_EN Bit Set	Standby to SlaveRX	320
SLAVE_RX_EN Bit Cleared	SlaveRX to Standby	10
EN_XO Bit Cleared	Standby to Sleep	10
WUT_EN Bit Set	Standby to Wait	10
PWRDN Pin Set to 1	From any state to Shutdown	10

状態遷移時間 – プリセット

表5. プリセット・モードでの状態遷移時間

EVENT	STATE TRANSITION	TYPICAL TIME (μs)
PWRDN Pin Cleared to 0	From Shutdown to SlaveRX	700
PWRDN Pin Set to 1	From SlaveRX to Shutdown	10

自己ポーリング・モード

自己ポーリング動作は、デバイスがスタンバイ状態にある間にWUT_ENビットに1を書き込むことで有効になります。これにより、マスタMCUを低消費電力モードにすることができ、MAX41473/MAX41474が低電流の待機状態と高電流のPollingRX状態を自動的に切り替えることができます。周期的な切り替え動作は、[図3](#)に示すように、パルス・チェーンである内部ウェイクアップ・タイマー (WUT) 信号によって制御されます。

レシーバがPollingRX状態にある時間 (検出時間つまり t_{DET}) は、WUT1 (0x17) レジスタの $t_{DET}[7:0]$ フィールドを設定することにより、0.48ms～20.88msの範囲を0.08ms刻みで調整可能です。この検出時間は、レシーバのターンオン時間 ([表4](#)) + プリアンブルパターン時間よりも長い値に設定する必要があります。確実な検出の実施については、[プリアンブル検出器](#)のセクションを参照してください。WUT期間は次のように定義されます。

$$T_{WUT} = t_{DET} + t_{WAIT} = t_{DET} + N_{RATIO} \times t_{DET} = (1 + N_{RATIO}) \times t_{DET}$$

ここで、 T_{WUT} はウェイクアップ期間、 t_{DET} は設定された検出時間、 t_{WAIT} は待機時間、 N_{RATIO} は設定された t_{DET}/t_{WAIT} の比率であり、したがって T_{WUT} は t_{DET} の整数倍 (≥ 2) となります。

t_{WAIT} に対する t_{DET} の比率 (N_{RATIO}) は、WUT2 (0x18) レジスタの $TSBY_TDET_RATIO[6:0]$ フィールドを設定することにより、1～128の間で1ステップ単位で調整可能です。したがって、WUTのデューティ・サイクルは1/2～1/129の間で設定できます。WUT応答時間 (t_{1WUT}) は t_{WAIT} とほぼ同じです。

自己ポーリング・モードでは、DATA端子はMCUの割込みソースとして機能します。PollingRX状態でプリアンブル・ビット・パターンを受信し、検証すると、割込みステータス・レジスタISR (0x13) の $PREAMB_DET$ ビットが1にセットされ、ポーリング・サイクルの完了時にDATA端子に立下がりエッジが生成されてMCUをウェイクアップします。ウェイクアップ後、ISR (0x13) レジスタを読み出す必要があります。そうすると、 $STATE_CTRL1$ (0x14) レジスタの $PREAMB_DET$ ビットとWUT_ENビットが自動的にクリアされます。このようにしてMAX41473/MAX41474は自己ポーリング・モードを終了し、DATA出力端子をロジック1にアサートします。ISRレジスタを読み出すとスタンバイ状態になりますが、SlaveRX状態に移行するにはSLAVE_RX_ENビットへ書き込む必要があります。

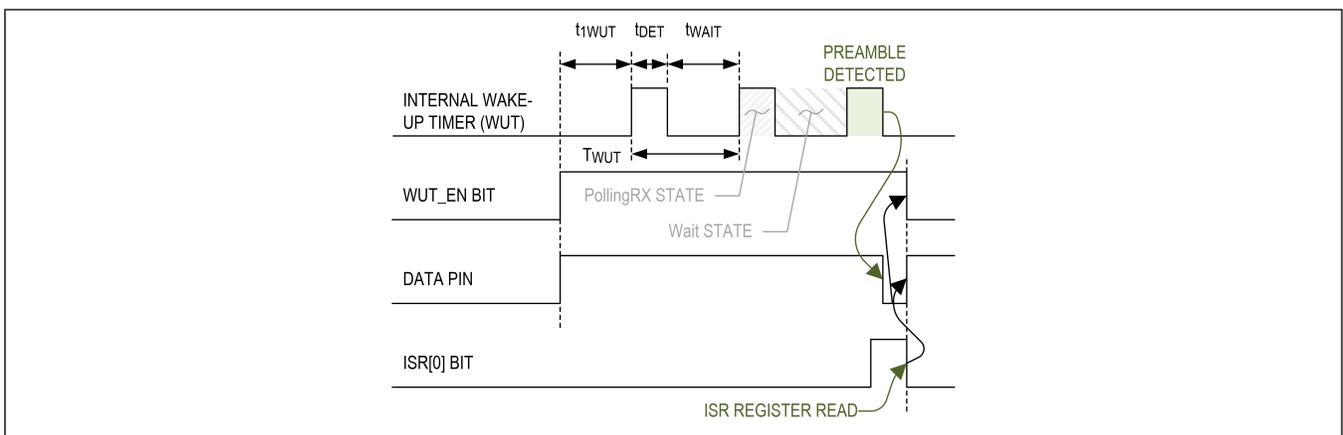


図3. 自己ポーリング・モードでのウェイクアップ・タイマー

プリアンブル検出器

MAX41473/MAX41474は、自己ポーリング動作で使用するプリアンブル検出器を備えています。プリアンブルは、[表6](#)に示すようにマンチェスタ・エンコーディングされなければなりません。パターン長 (1～16ビット) は $PREAMB_LEN[3:0]$ レジスタ・

フィールドで設定し、0x0 = 1ビット長、0xF = 16ビット長となります。エンコードされていない生のビット・パターンはPREAMB_WORD[15:0] (アドレス0x0Eと0x0D) で設定し、PREAMB_WORD[0]はビット・パターンのLSBであり、これはRFビット・ストリームから受信した最新のビット、つまり最後のビットです。ビットが受信および復調される際、ビットはシフト・インされ、LSBからMSBまでPREAMB_WORDと比較されます。

表6. プリアンプルのマンチェスタ・エンコーディング

RAW BIT	MANCHESTER EDGE (BAUD)	DECODED BITS
0		10
1		01

最初の t_{DET} サイクル内で確実にプリアンブルを検出できるように、 t_{DET} 状態に入った際にプリアンブルの最初のビットが受信されなかった場合に備えて t_{DET} 幅には余裕を持たせます。そのため、次式ようになります。

$$PREAM_LEN + PREAM_LEN - 1 = 2 \times PREAM_LEN - 1$$

t_{DET} の時間範囲が0.48ms~20.88msであるため、ビット数がこの範囲に収まり、 $2 \times PREAM_LEN - 1$ の t_{DET} 検出式に適合するためには、所与のビット・レートに対して検出可能なビット数に制限が課せられます。例えば、マンチェスタ・データレートが250bpsで、 $PREAM_LEN = 16$ で確実に検出するためには、 $2 \times 16 - 1 = 31$ ビットが必要です。250bpsで31ビットを受信するには、次の時間が必要です。

$$1/\text{データレート} \times \text{必要なビット数} = 1/250\text{bps} \times 31\text{ビット} = 124\text{ms}$$

しかし、許容される最大の t_{DET} は20.88msです。下の表は、タイミングを確保する場合のデータレートでの下限を示しています。データレートがこれより上であれば、制限はありません。

表7. 確実な検出のためのPREAM_LENの制限

DATA RATE (bps)	MAX PREAM_LEN BITS	t_{DET} DURATION (ms)
250	3	20
500	5	18
1k	10	19
2k	16	15.5

例えば、PREAMB_LEN[3:0]を0xA (10進数値の10) に設定する場合、プリアンブル・ビット・パターンはPREAMB_WORD[10:0]で指定し、プリアンブルはマンチェスタ・エッジをデコードした後の22ビット (つまりエンコード前は11ビット) となります。この例では、PREAMB_WORDフィールド[15:11]の5つのMSBは使用しません。

プリアンブル検出器は、受信したビット・ストリームがパターンの位相に関係なくPREAMB_WORDのマンチェスタ・バージョンと一致した時にトリガされます。例えば、0xFF = マンチェスタ0101 0101 0101 0101_bの非マンチェスタ・プリアンブル・ワードと、0x00 = マンチェスタ1010 1010 1010 1010_bの非マンチェスタ・プリアンブル・ワードは、どちらも0101... 0101_bと一致するRFビット・ストリームをトリガします。

DATA端子

DATA端子はSlaveRX状態時にトグルし、受信データのデジタル・バイナリ表現を出力します。デジタル・ベースバンド・システムでは、信号を16倍にオーバーサンプリングすることが最低条件であるため、受信信号のデータレートは100kbpsマンチェスタ (200kbps NRZ) 以下に制限されます。

自己ポーリング動作では、DATA端子は割込みソース、それにデジタル・ベースバンド・システムからのデータ・ストリームの両方の役割を果たします。PollingRX状態では、DATA端子はロジック1に駆動されます。プリアンブル・パターンと一致しない場合、デバイスは待機状態に移行し、DATA端子は引き続きハイに駆動されます。PollingRX状態でプリアンブル・パターンが検出されると、デバイスが待機状態に切り替わった直後にDATA端子に立下がりエッジが生成され、DATAはロジック0に保持されます。ISRレジスタの読出し後、DATA端子はロジック1に戻され、デバイスはスタンバイ状態になります (WUT_ENビットが自動的にクリアされるため)。

DATA端子からデータのストリーミングを開始するには、STATE_CTRL (0x14) レジスタのSLAVE_RX_ENビットに1を書き込むことにより、レシーバをスタンバイ状態からSlaveRX状態にする必要があります。この操作はISRレジスタの読出し直後に実行できます。

最初の t_{WAIT} 時間内にISRレジスタを読み出さない(クリアしない)と、レシーバは自動的にPollingRX状態に再び入り、DATA端子をロジック1に戻します。ISRは前のサイクルでクリアされなかったため、プリアンプル検出はトリガされたままとなり、 t_{DET} 時間の経過後、レシーバが再び待機状態になった後にDATA端子を0に駆動して割込みを示します。このサイクルはISRレジスタがクリアされるまで続きます。

中間周波数の選択

IF_CHF_SEL (0x02) レジスタのIF_SELビットを設定することにより、IFを2つの値のいずれかから選択できます。

表8. 中間周波数の選択

INTERMEDIATE FREQUENCY (kHz)	ANALOG BANDWIDTH (kHz)	IF_SEL
400	350	0
200	175	1

チャンネル・フィルタの選択

デジタル・チャンネル・フィルタ (CHF) は、IF_CHF_SEL (0x02) レジスタのCHF_SEL[2:0]フィールドを設定することで選択できます。集約受信帯域幅もIFの選択に依存します。デジタル・チャンネル・フィルタの設定については表9を参照してください。

表9. チャンネル・フィルタの選択

400kHz IF RECEIVER BW (kHz)	200kHz IF RECEIVER BW (kHz)	CHF_SEL
340	170	0
120	60	1
52	26	2
24	12	3
12	6	4

復調器の設定

変調モードは、IF_CHF_SEL (0x0) レジスタのASK_FSK_SELビットを設定することで選択します。ASK変調の場合はASK_FSK_SELビットに0を、FSK変調の場合はASK_FSK_SELビットに1を書き込みます。

ASK/FSK復調器の設定は、DEMOD (0x00) レジスタのDEMOD_TCTRL[2:0]フィールドとDEMOD_FSK[2:0]フィールドに依存します。DEMOD_TCTRLは表10の式に従って設定する必要があります。

表10. DEMOD_TCTRLの推奨設定

MODULATION	CONDITIONS		DEMOD_TCTRL
	ASK_FSK_SEL	ATH_TYPE	
FSK	1	X	4 - CHF_SEL
ASK	0	0 (preLPF for Manchester)	min(2+SRC_LG, 7)
	0	1 (aPD for NRZ)	min(3+SRC_LG, 7)

DEMOD_FSKフィールドはFSKモードでのみ使用します。FSK復調器を設定するためのオプションは次の表に示すように合計28あります。

表11. 400kHz IF (IF_SEL = 0) のFSK復調器設定のオプション

NOMINAL FSK $\pm\Delta f$ (kHz)	RANGE OF FSK $\pm\Delta f$ (kHz)	IF_SEL	CHF_SEL	DEMOD_FSK
80*	[64, 84]	0	0	0

表11. 400kHz IF (IF_SEL = 0)のFSK復調器設定のオプション(続き)

57	[50, 67]	0	0	1
44	[40, 50]	0	0	2
40	[32, 42]	0	1	3
29	[25, 33]	0	1	4
22	[20, 25]	0	1	5
20	[16, 21]	0	2	3
14	[12.5, 16.5]	0	2	4
11	[10, 12.5]	0	2	5
10	[8, 10.5]	0	3	4
7	[5.3, 8]	0	3	5
5	[4, 5.3]	0	4	4
3	[2.6, 4]	0	4	5
2	[1.6, 2.6]	0	4	6

* デフォルト設定

表12. 200kHz IF (IF_SEL = 1)のFSK復調器設定のオプション

NOMINAL FSK $\pm\Delta f$ (kHz)	RANGE OF FSK $\pm\Delta f$ (kHz)	IF_SEL	CHF_SEL	DEMOD_FSK
40	[32, 42]	1	0	0
28.5	[25, 33.5]	1	0	1
22	[20, 25]	1	0	2
20	[16, 21]	1	1	3
14.5	[12.5, 16.5]	1	1	4
11	[10, 12.5]	1	1	5
10	[8, 10.5]	1	2	3
7	[6.3, 8.2]	1	2	4
5.5	[5, 6.3]	1	2	5
5	[4, 5.2]	1	3	4
3.5	[2.6, 4]	1	3	5
2.5	[2, 2.6]	1	4	4
1.5	[1.3, 2]	1	4	5
1	[0.8, 1.3]	1	4	6

自動ゲイン制御 (AGC)

MAX41473/MAX41474は、[図4](#)に示すように、デュアルステップ・フィードバック型AGCを備えています。AGCアタック(高ゲインから低ゲインへの切り替え)は、生のRSSI値がスレッシュホールドより高くなった時に発生します。AGCリリース、つまり低ゲインから高ゲインへの切り替えは、生のRSSI値が2つ目のスレッシュホールドより低くなった時に発生します。アタック・スレッシュホールドとリリース・スレッシュホールドの差は、ヒステリシスを与えるのに十分な大きさでなければなりません。

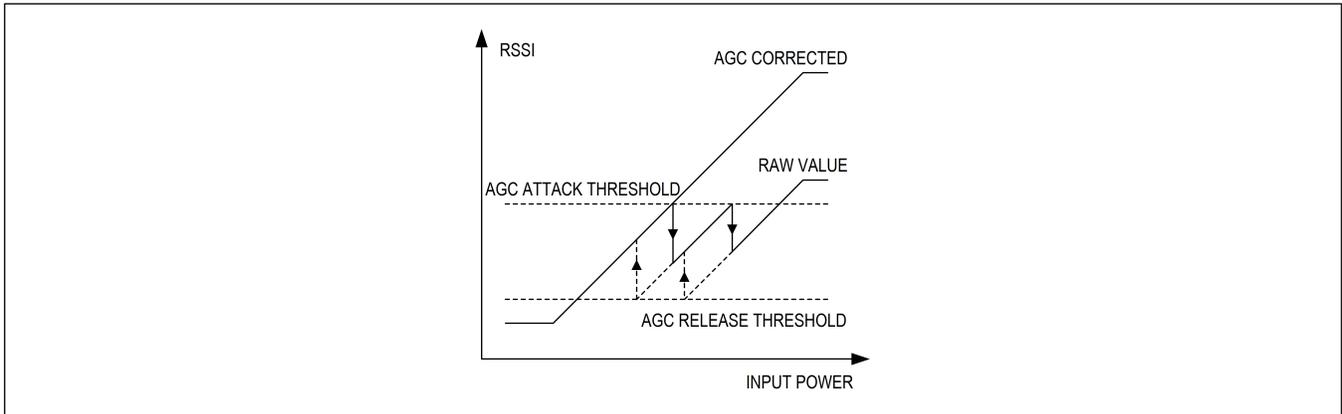


図4. AGCとRSSI

AGCの動作モードは、AGC(0x01)レジスタのAGC_EN_BO[1:0]フィールドで制御します。

表13. AGC動作モード

AUTOMATIC GAIN CONTROL	RSSI DYNAMIC RANGE (TYP) (dB)	AGC_EN_BO	COMMENT
Disabled	36	0	Not recommended
	42	1	Wider RSSI dynamic range
Enabled	85	2*	Best receiver sensitivity
	83	3	Not recommended

*デフォルト設定

AGCのリリースレッシュホールドはAGC_THREL[3:0]フィールドを設定することで微調整できます。

表14. データレートに対するAGCの微調整

MODULATION	DATA RATE (kbps)	AGC_THREL
ASK	≤ 26	0x9
	> 26	0xF
FSK	≤ 51.5	0x9
	> 51.5	0xF

受信信号強度インジケータ(RSSI)

MAX41473/MAX41474は、図4に示すように、AGC補正型のRSSIを備えています。RSSIのダイナミック・レンジを大きくするには、AGC_EN_BOレジスタを設定してAGCをイネーブルする必要があります。

RSSIはダイナミック値であり、RSSI(0x10)レジスタからビットあたり0.5dBのスケールで読み取れます。RSSIは、LNA入力の絶対的なパワー・レベルに基づいて補正されないため、レシーバ・フロントエンド・ゲインの部品間でのばらつきがこのRSSI値に影響します。

RSSIは、対数エンベロープ検出器とピーク検出器として機能します。RSSIピーク検出器の放電勾配は次式で表されます。

$$PD_{SLOPE} = 1.67 \times 2^N \text{ (}\mu\text{s/div)}$$

ここで、 $N = \max(\text{IF_SEL} + \text{CHF_SEL} + \text{DEMOD_TCTRL} + \text{RSSI_DT} - 1, 0)$ です。

RSSIのスケールは0.5dB/divなので、3dB放電の時定数は $(10 \times 2^N) \mu\text{s}$ となります。

RSSI出力端子

プリセット・モード時、RSSI端子からデジタルRSSIが1ビットのデジタル信号で出力されます。RSSI端子の出力は50kbpsのビット・ストリームです。8ビットのRSSI値は、図5に示すフォーマットで20ビット単位で表されます。20ビットのリストは、0、B₇、B₆、...、B₀、Pに続けて1が10個連続します。ここで、B₇はRSSI値のMSBであり、 $P = B_7 \oplus B_6 \oplus B_5 \dots \oplus B_0$ はパリティ・チェック・ビットです。

プリセット・モードでは、RSSIピーク検出器の放電勾配は、ASKモードでは428μs/div、FSKモードでは53μs/divとなります。

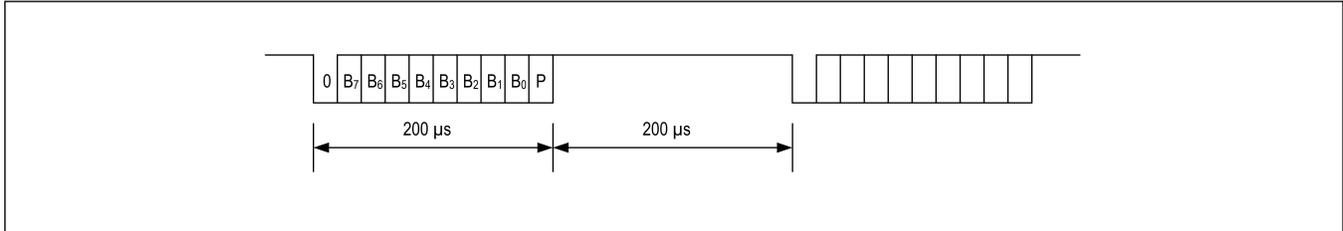


図5. RSSI端子の出力フォーマット

自動周波数制御 (AFC)

PLLシンセサイザ周波数を設定可能な範囲内に調整するのに、フィードバック制御ループを使用します。AFC範囲の中心は24ビットの周波数ワードLO_CTRL_FREQ[23:0]で設定し、これはMIX_HS_LSBAR = 0の時のデフォルトLO注入設定で次式から計算できます。

$$\text{LO_CTR_FREQ} = \text{INT} \left(65536 \frac{(f_{\text{RF}} - f_{\text{IF}})}{f_{\text{XTAL}}} \right)$$

f_{RF} は目標のRF周波数、 f_{IF} はIF_SELビットで設定する200kHzまたは400kHz、 f_{XTAL} は水晶振動子の周波数(通常16MHz)です。

MIX_HS_LSBAR = 1の時、LO_CTRL_FREQ[23:0]の式は次のようになります。

$$\text{LO_CTR_FREQ} = \text{INT} \left(65536 \frac{(f_{\text{RF}} + f_{\text{IF}})}{f_{\text{XTAL}}} \right)$$

f_{RF} は目標のRF周波数、 f_{IF} はIF_SELビットで設定する200kHzまたは400kHz、 f_{XTAL} は水晶振動子の周波数(通常16MHz)です。

AFCループは、設定したLOの中心周波数から周波数オフセットを生成します。最大周波数オフセットは、受信帯域幅とAFC_CFG1 (0x07)レジスタのAFC_MO[2:0]フィールドの設定によって制限されます。この最大オフセットは次式で表されます。

$$f_{\text{OFFSET - MAX}} = \text{AFC_MO} \times \frac{f_{\text{XTAL}}}{2^{(\text{IF_SEL} + \text{CHF_SEL} + 10)}}$$

ここで、AFC_MO、IF_SELとCHF_SELは設定済みのレジスタ値です。AFC_MO = 0の時、PLLシンセサイザ周波数は固定で、AFCは無効となります。

AFCがない場合、RFトランスミッタ(Tx)とこのレシーバ(Rx)間の周波数ミスマッチは、水晶振動子の精度定格と動作周波数帯域から推定できます。例えば、水晶振動子の精度がTxとRxシステムの両方で±50ppmで、動作周波数が434MHzとすると、Tx/Rxの周波数ミスマッチは動作周波数の±100ppm、つまり±43kHzにもなります。

ASKモードでは、受信帯域幅が十分に広い場合にはAFCは必要ありませんが、高いレシーバ感度を得るために狭いチャンネル・フィルタを選択した場合にはAFCが必要となります。FSKモードでは、Tx/Rx周波数のミスマッチが周波数偏差の25%より大きい場合にAFCが必要となります。

ワイド・チャンネル・フィルタのオプションを選択している場合 (例えばCHF_SEL = 0)、AFC_MOはTx/Rx周波数ミスマッチの推定値に基づいて設定できます。例えば、315MHz帯、16MHz水晶振動子、ワイド・チャンネル・フィルタ (CHF_SEL = 0)、200kHz IF (IF_SEL = 1)を使用する場合、最大AFCオフセットを31.3kHz (AFC_MO = 4)に設定します。これは、315MHz帯域で±100ppmのTx/Rx周波数ミスマッチを許容するのに十分です。

AFC_CFG1 (0x07)レジスタのAFC_LG[1:0]フィールドは、AFCループ・ゲインとセトリング時間を制御します。通常、ASKモードではAFC_LG = 3、FSKモードではAFC_LG = 2に設定します。

周波数誤差インジケータ (FEI)

プログラマブル・モードでは、FEI (0x11)レジスタを読み出して周波数誤差を判断できます。この値は8ビットの符号付き整数で、2の補数フォーマットです。AFCによって生成される周波数オフセットは、次式で計算できます。

$$f_{\text{OFFSET}} = \text{FEI} \times \frac{f_{\text{XTAL}}}{2^{(\text{IF_SEL} + \text{CHF_SEL} + 14)}}$$

ここで、FEI、IF_SEL、CHF_SELはレジスタ値、 f_{XTAL} は水晶振動子の周波数 (通常は16MHz) です。

最大オフセットはAFC_MOレジスタ・フィールドによって制限されるため、FEI出力の絶対値は16 × AFC_MOを超えません。周波数トラッキングの目的で、FEIの読出し値に基づいてLO_CTR_FREQレジスタ値を繰り返し調整できます。

プリアンブル検出時のAFCフリーズ

AFCの動作は内部周波数検出器に依存しており、この検出器はRF周波数の誤差を検出し、多数の受信ビットにわたってその値を平均化します。

FSK変調に固有の周波数変化は、ビットパターンに依存した自己ノイズ効果を生じさせます。したがって、FSKモードでは、NRZではなくマンチェスタ・エンコーディングを採用する場合にのみAFCを使用することを推奨します。一般的なデータ・パケットでは、プリアンブルはマンチェスタ・エンコーディングされますが、ペイロードにはこのエンコーディングがされない場合があります。MAX41473/MAX41474では、PollingRXモードでプリアンブルを正しく検出するためには、マンチェスタ・エンコーディングを使用する必要があります。

プリアンブルは1と0 (またはMARKとSPACE) が交互になることが多いため、PAD_FREEZE_AFC = 1およびAFC_LG = 3に設定すると、約5ビットのRFデータでAFCが高速にセトリングします。

AFCは、レシーバがアクティブになると (SlaveRX状態またはPollingRX状態になると) 自動的に開始します。FSK変調を使用し、SlaveRX状態にある間は、有効なプリアンブル・パターンが検出された直後にAFCを「フリーズ」させることができます。この機能は、AFC_CFG2 (0x08)レジスタのPAD_FREEZE_AFCビットを1にセットすることで有効になります。プリアンブルのビット・パターンを設定する方法については、[プリアンブル検出器](#)のセクションを参照してください。PAD_FREEZE_AFCビットは、ASK変調を使用する (ASK_FSK_SEL = 0) 場合には使用できません。

推奨データレートとポスト復調フィルタ

ポスト復調フィルタ (PDF) は、帯域幅が設定可能なデジタル・フィルタです。PDFの帯域幅の選択は、受信信号のデータレートに密接に関係しています。例えば、マンチェスタ・エンコーディングに必要な帯域幅は、NRZデータ送信時に同じビット・レートで必要な帯域幅の2倍になります。(詳細は[表6](#)を参照)。

IF_SEL、CHF_SEL[2:0]、SRC_SM[2:0]、およびSRC_LG[2:0]フィールドの所与の設定に対して、マンチェスタの推奨復号ビットレート R_b は次式で定義されます。

$$R_b = \frac{200\text{kHz}}{2^{(\text{IF_SEL} + \text{CHF_SEL} + \text{SRC_LG})}} \times \frac{4}{8 + \text{SRC_SM}}$$

ここで、式中ではレジスタの整数値が使用されています。

NRZフォーマットとマンチェスタ・データの違いを考慮すると、NRZの推奨復号ビットレート R_b は次のように調整されます。

$$R_b = \frac{200\text{kHz}}{2^{(\text{IF_SEL} + \text{CHF_SEL} + \text{SRC_LG})}} \times \frac{8}{8 + \text{SRC_SM}}$$

ここで、式中ではレジスタの整数値が使用されています。

SRC_SMとSRC_LGの値の設定方法については、[ASKレシーバの設定](#)と[FSKレシーバの設定](#)のセクションを参照してください。SRC_SM[2:0]とSRC_LG[2:0]フィールドはPDF_CFG(0x03)レジスタにあります。

PDFの帯域幅を[表15](#)に示します。

表15. ポスト復調フィルタの帯域幅

PDF BANDWIDTH	LD_BW REGISTER
0.6R _b	0*
R _b	1

* デフォルト設定

LD_BWの設定に関係なく、実際の送信データレートは、どのような設定でも1.03 × R_bを超えてはならず、0.6 × R_bを下回ってはなりません。

ASK判定スレッシュホールド

ポスト復調フィルタから出力されたデジタル信号は、スレッシュホールドと比較されてバイナリ判定が行われ、その後DATA出力端子に0または1が出力されます。FSK変調を使用する場合、判定スレッシュホールドは0に固定され、正の値の信号はMARK周波数を表し、負の値はSPACE周波数を表します。ASK変調の場合、比較スレッシュホールドはユーザ設定に基づく信号強度の変化に対応するように自動的に調整されます。

MAX41473/MAX41474は2種類のASKスレッシュホールド調整方法を備えており、ATH_CFG3(0x06)レジスタのATH_TYPEビットで設定できます。マンチェスタエンコーディングを使用する場合は、プリチャージド・ローパス・フィルタ(preLPF)方式を強く推奨します。マンチェスタ・エンコーディングを使用しない場合は(例えば、NRZフォーマット。この場合、0または1の連続文字列が長く続く可能性があります)、適応型ピーク検出器(aPD)方式を選択する必要があります。

ATH_CFG3(0x06)レジスタのATH_BWビットはpreLPF方式でのみ使用し、フィルタ帯域幅を制御します。マンチェスタのデータレートが推奨レートR_bに近い場合は、ATH_BWを0に設定してください(近い値の目安は1.03R_b < データレート < 0.75R_bです。R_bの定義については[推奨データレートとポスト復調フィルタ](#)のセクションを参照)。送信データレートが0.6R_bまで低下すると予想される場合はATH_BW = 1とします。

ATH_CFG2(0x05)レジスタのATH_DT[1:0]フィールドはaPD方式でのみ使用し、これによってピーク検出器の放電時間を調整します。マンチェスタ・エンコーディングを使用する場合、データレートが推奨R_b値に近い時は常にATH_DTを0に設定します。トランスミッタのマンチェスタ・データレートが0.6R_bまで低下すると予想される場合は、ATH_DTを1に設定します。NRZエンコーディングの場合は、ATH_DTを3に設定します。

ATH_CFG2(0x05)レジスタのATH_TC[4:0]フィールドもaPD方式でのみ使用し、ピーク検出の時定数を制御します。ATH_TCは、[表16](#)に従い、SRC_LG値に応じて設定します。

表16. ATH_TCの設定

SRC_LG	0	1	2	3	4	5	6	7
ATH_TC	0x14	0x12	0x10	0x0D	0x09	0x07	0x05	0x04

ATH_CFG3(0x06)レジスタのATH_GC[4:0]フィールドは、[表17](#)に従い、IF_SELフィールドとCHF_SELフィールドの値に基づいて設定します。

表17. ATH_GCの設定

IF_SEL	0	0	0	0	0	1	1	1	1	1
CHF_SEL	0	1	2	3	4	0	1	2	3	4
ATH_GC	0xB	0x9	0x8	0x7	0x6	0xA	0x7	0x6	0x5	0x4

ASK判定スレッシュホールドの下限

判定スレッシュホールドを生成する両方式(preLPFとaPD)において、判定スレッシュホールドの下限はATH_CFG1(0x04)レジスタのATH_LB[7:0]フィールドで設定されます。ATH_LBの値の有効範囲は-128～0で、2の補数フォーマットで表されます(例:0x9C = -100_{dec})。

ASKレシーバ感度を最大にし、高速レシーバ・セトリングを2ビット以内にするための最適なATH_LB値は、出力ノイズ統計を収集してPDFを校正することで得られます。この校正プロセスでは、レシーバがSlaveRX状態時にPDF_OUT(0x12)レジスタを読み込んでPDFのランダム・サンプルを取得しますが、その際、LNA入力端子をグランドに50Ωで終端する必要があります。終端しない場合、PDF_OUT値の標準偏差は実際よりもはるかに大きくなります。適切に終端しない場合は、以下の計算値を使用する必要があります。ATH_LBの値は次式で設定します。

$$\text{ATH_LB} = \mu + 3\sigma$$

ここで、 σ はPDF_OUTの標準偏差であり、AGC_EN_BO[0] = 0の場合は $\mu = \text{MEAN}(\text{PDF_OUT} - 16)$ 、AGC_EN_BO[0] = 1の場合は $\mu = \text{MEAN}(\text{PDF_OUT})$ です。

ここで、AGC_EN_BO[0]はAGC(0x01)レジスタの2ビット・フィールドのLSBです。

校正値がない場合、ATH_LBは次式と表に基づいて推奨値を計算し設定します。

$$\text{ATH_LB} = \text{MU1} + \text{MU2} - 6$$

ここで、MU1とMU2は表18と表19で得られます。

MU1の値は、レシーバのフィルタ設定に基づいて設定します。

表18. MU1のルックアップ・テーブル

IF_SEL	0	0	0	0	0	1	1	1	1	1
CHF_SEL	0	1	2	3	4	0	1	2	3	4
MU1	-81	-93	-102	-110	-118	-90	-102	-110	-118	-125

SRC_Ratioは次式を用いて計算します。

$$\text{SRC_RATIO} = \text{SRC_LG} = \log_2(8 + \text{SRC_SM}) - 3$$

ここで、SRC_LGとSRC_SMはPDF_CFG(0x03)レジスタのフィールドです。

表19. MU2のルックアップ・テーブル

SRC_RATIO	0	1	2	3	4	5	6	7	8
MU2	29	21	15	11	8	6	4	3	2

SRC_RATIOが整数でない(SRC_SMがゼロでない)場合は、線形補間を用いて、ルックアップ・テーブルからMU2に最適な値を決定する必要があります。最終的なMU2の値は、最も近い整数に丸める必要があります。例えば、SRC_SM=2、SRC_LG=4の場合、SRC_Ratioは4.3と計算されます。SRC_RATIOとMU2で線形補間すると、MU2の生の値は7.4となり、四捨五入して最終値はMU2 = 7となります。

preLPFを選択している場合(ATH_TYPE = 0)、ATH_LBの値はMU1 + MU2 - 6よりも小さくなる場合があります。例えば、IF_SELとCHF_SELの設定に関係なく、ATH_LBフィールドを-127(2の補数で0x81)の値に設定します。この場合、各デバイスは校正を行わずに最高感度を実現できますが、信号電力がレシーバ感度に近づくとレシーバのセトリングが遅くなります。アプリケーションによってはレシーバで高速セトリングを必要とするため、ATH_LB = -127の設定は便利ではありませんが、感度とセトリング時間の間でトレードオフがあるため必ずしも推奨されません。

スケルチングASKレシーバ

ASKモードでは、ATH_LBはスレッシュホールドの校正測定から決定される値、またはMU1とMU2から計算される値よりも高く設定できます。スレッシュホールドを校正値や計算値よりも高く設定することで、送信信号が存在しない時に、スレッシュホールド設定プロセスで生じるRFノイズによってDATA端子がトグルするのを防ぐことができます。これは一般的にスケルチと呼ばれます。レシーバをスケルチするトレードオフとして、レシーバ感度が相応に低下します。

レシーバ感度

レシーバ感度は、NRZデータの 1×10^{-3} のビットエラーレート(0.1%BER)に相当するマンチェスタエンコーディング・データでテストする場合、 2×10^{-3} のビットエラーレート(0.2%BER)における平均LNA入力電力として測定され、仕様規定されています。ASK変調の場合、平均電力はピーク電力より約3dB低下します。

デバイスの感度を最適化するには、チャンネル・フィルタの帯域幅を小さくする、データレートを低くする、搬送波周波数が水晶振動子周波数の倍数にならないようにする、あるいはハイサイドLO注入構成を用いて環境中のノイズやスプリアスを回避する、など多くの方法があります。

表20、表21、表22、表23の設定表では、各表の最上行に感度が最高または最良となる設定を示しています。表22と表23は、変調指数が0.8を目標とするシステムの設定を示しています。

ASKレシーバの設定

表20. 400kHz IFのASKレシーバ

DATA RATE (kbps)	IF_SEL	CHF_SEL	SRC_SM	SRC_LG
0.25	0	4	4	4
0.25	0	3	4	5
0.5	0	4	4	3
0.5	0	3	4	4
0.5	0	2	4	5
1	0	3	4	3
1	0	4	4	2
1	0	2	4	4
1	0	1	4	5
2	0	3	4	2
2	0	2	4	3
2	0	1	4	4
2	0	0	4	5
5	0	2	2	2
5	0	1	2	3
5	0	0	2	4
10	0	1	2	2
10	0	0	2	3
25	0	0	0	2
62.5	0	0	5	0

表21. 200kHz IFのASKレシーバ

DATA RATE (kbps)	IF_SEL	CHF_SEL	SRC_SM	SRC_LG
0.25	1	3	4	4
0.25	1	2	4	5
0.5	1	3	4	3
0.5	1	2	4	4
0.5	1	1	4	5
1	1	3	4	2
1	1	2	4	3

表21. 200kHz IFのASKレシーバ(続き)

1	1	1	4	4
1	1	0	4	5
2	1	2	4	2
2	1	1	4	3
2	1	0	4	4
5	1	1	2	2
5	1	0	2	3
10	1	0	2	2

FSKレシーバの設定

表22. 400kHz IFのFSKレシーバ

DATA RATE (kbps)	Δf (\pm kHz)	IF_SEL	CHF_SEL	DMOD_FSK	SRC_SM	SRC_LG
0.25	2	0	4	6	4	4
0.25	5	0	4	4	4	4
0.25	10	0	3	4	4	5
0.5	2	0	4	6	4	3
0.5	5	0	4	4	4	3
0.5	10	0	3	4	4	4
0.5	20	0	2	3	4	5
1	2	0	4	6	4	2
1	5	0	4	4	4	2
1	10	0	3	4	4	3
1	20	0	2	3	4	4
1	40	0	1	3	4	5
2	2	0	4	6	4	1
2	5	0	4	4	4	1
2	10	0	3	4	4	2
2	20	0	2	3	4	3
2	40	0	1	3	4	4
2	80	0	0	0	4	5
5	5	0	4	4	2	0
5	10	0	3	4	2	1
5	20	0	2	3	2	2
5	40	0	1	3	2	3
5	80	0	0	0	2	4
10	10	0	3	4	2	0
10	20	0	2	3	2	1
10	40	0	1	3	2	2
10	80	0	0	0	2	3
25	20	0	2	3	0	0

表22. 400kHz IFのFSKレシーバ(続き)

25	40	0	1	3	0	1
25	80	0	0	0	0	2
50	40	0	1	3	0	0
50	80	0	0	0	0	1
100	80	0	0	0	0	0

表23. 200kHz IFのFSKレシーバ

DATA RATE (kbps)	Δf (\pm kHz)	IF_SEL	CHF_SEL	DMOD_FSK	SRC_SM	SRC_LG
0.25	5	1	3	4	4	4
0.25	10	1	2	3	4	5
0.5	5	1	3	4	4	3
0.5	10	1	2	3	4	4
0.5	20	1	1	3	4	5
1	5	1	3	4	4	2
1	10	1	2	3	4	3
1	20	1	1	3	4	4
1	40	1	0	0	4	5
2	5	1	3	4	4	1
2	10	1	2	3	4	2
2	20	1	1	3	4	3
2	40	1	0	0	4	4
5	5	1	3	4	2	0
5	10	1	2	3	2	1
5	20	1	1	3	2	2
5	40	1	0	0	2	3
10	10	1	2	3	2	0
10	20	1	1	3	2	1
10	40	1	0	0	2	2
25	20	1	1	3	0	0
25	40	1	0	0	0	1
50	40	1	0	0	0	0

変調指数は約0.8

表24. 400kHz IFのFSKレシーバ

DATA RATE (kbps)	Δf (\pm kHz)	IF_SEL	CHF_SEL	DEMOD_FSK	SRC_SM	SRC_LG
2.5	2	0	4	6	2	1
4	3	0	4	5	5	0
6	5	0	4	4	0	0
9	7	0	3	5	3	0
12	10	0	3	4	0	0

表24. 400kHz IFのFSKレシーバ(続き)

13	11	0	2	5	7	0
16	14	0	2	4	3	0
25	20	0	2	3	0	0
26	22	0	1	5	7	0
33	29	0	1	4	4	0
50	40	0	1	3	0	0
53	44	0	0	2	7	0
67	57	0	0	1	4	0
100	80	0	0	0	0	0

表25. 200kHz IFのFSKレシーバ

DATA RATE (kbps)	Δf (\pm kHz)	IF_SEL	CHF_SEL	DEMOD_FSK	SRC_SM	SRC_LG
1.2	1	1	4	6	2	1
1.9	1.5	1	4	5	5	0
3.1	2.5	1	4	4	0	0
4.5	3.5	1	3	5	3	0
7	5	1	3	4	0	0
7	6	1	2	5	7	0
9	7	1	2	4	3	0
12	10	1	2	3	0	0
13	11	1	1	5	7	0
16	14	1	1	4	4	0
25	20	1	1	3	0	0
26	22	1	0	2	7	0
33	29	1	0	1	4	0
50	40	1	0	0	0	0

2線式I²Cシリアル・インターフェイス

PRESET端子を接地すると、MAX41473/MAX41474はシリアルデータ・ライン(SDA)とシリアルクロック・ライン(SCL)から成る2線式のI²C互換シリアル・インターフェイスをサポートできます。SDAとSCLは、最大1MHzのクロック周波数で、MAX41473/MAX41474とマスタ間の双方向通信を行います。マスタ・デバイスはバス上でデータ転送を開始し、SCL信号を生成してデータ転送を許可します。MAX41473/MAX41474は、マスタとの間でデータを送受信するI²Cスレーブ・デバイスとして機能します。I²Cが適切に動作するために、1k Ω 以上の外付けプルアップ抵抗でSDAとSCLをV_{DD}に接続して、ハイにプルアップします。

SCLクロック・サイクルごとに1ビットが転送されます。MAX41473/MAX41474に1バイト(8ビットおよびACK/NACK)を入力するには、最低9クロックサイクルが必要です。SDAのデータは、SCLのクロック・パルスがハイの間、安定した状態でなければなりません。SCLがハイで安定している間のSDAの変化は制御信号とみなされます([スタート条件とストップ条件](#)のセクションを参照)。バスがビジー状態でない場合、SDAとSCLは共にハイのままです。

[図6](#)にI²C書き込みトランザクションのプロトコルを、[図7](#)にI²C読み出しトランザクションのプロトコルを示します。

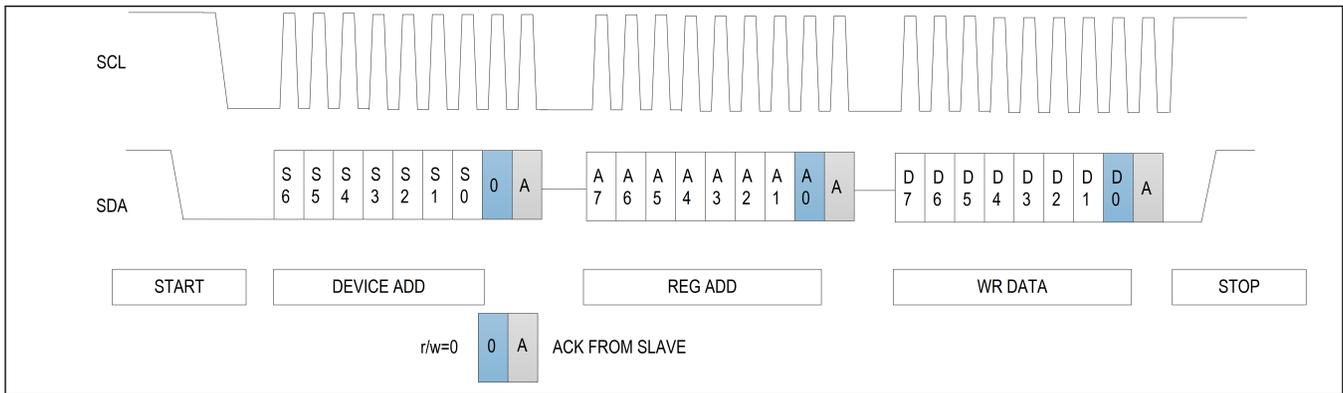


図6. I2C書込み

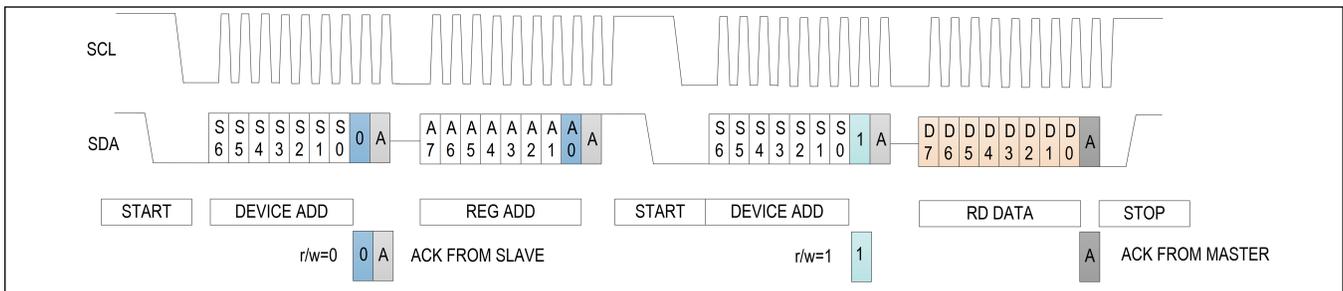


図7. I2C読出し

スタート条件とストップ条件

マスタは、SCLがハイの間にSDAがハイからローに遷移するスタート条件(S)で、送信を開始します。マスタは、SCLがハイの間にSDAがローからハイに遷移するストップ条件(P)で、送信を終了します。

アクノリッジ条件とノットアクノリッジ条件

データ転送は、アクノリッジ・ビット (ACK) またはノットアクノリッジ・ビット (NACK) でフレーム化されます。マスタとMAX41473/MAX41474(スレーブ)の両方がアクノリッジ・ビットを生成します。アクノリッジを生成するには、受信デバイスはアクノリッジに対応するクロック・パルス(9パルス目)の立上がりエッジの前にSDAをローにし、クロック・パルスのハイ期間の間、ローを維持する必要があります。

ノットアクノリッジ条件を生成するには、レシーバはアクノリッジに対応するクロック・パルスの立上がりエッジの前にSDAをハイにし、クロック・パルスのハイ期間の間SDAをハイに維持します。アクノリッジ・ビットをモニタすることで、データ転送の失敗を検出できます。データ転送の失敗は、受信デバイスがビジーであったか、システム・フォルトとなった場合に発生します。データ転送が失敗した場合、バス・マスタは後で通信を再試行する必要があります。

スレーブ・アドレス

MAX41473/MAX41474には7ビットのI²Cスレーブ・アドレスがあり、通信を開始するためにはスタート条件の後にこのアドレスをこのデバイスに送信する必要があります。スレーブ・アドレスは、書込みでは0xD6、読出しでは0xD7に内部設定されています。

MAX41473/MAX41474は、スタート条件とそれに続くスレーブ・アドレスを連続して待ちます。デバイスがそのスレーブ・アドレスを認識すると、SDAラインを1クロック期間ローにすることでアクノリッジし、R/Wビットに応じてデータを受信または送信する準備が整います。

書込みサイクル

書込みコマンドでアドレス指定されると、MAX41473/MAX41474は、マスタが単一のレジスタまたは複数の連続したレジスタのいずれかに書き込むことを許可します。

書き込みサイクルは、バス・マスタがスタート条件を発行し、更に7つのスレーブ・アドレス・ビットと書き込みビット (R/W = 0) を続けることで開始します。MAX41473/MAX41474は、スレーブ・アドレス・バイトを正常に受信するとACKを発行します。バス・マスタは次に、書き込みをする必要のある最初のレジスタのアドレスを送信する必要があります ([レジスタ・マップ](#)を参照)。スレーブがアドレスをアクノリッジすると、マスタは指定したアドレスのレジスタに1バイトを書き込むことができます。データは最上位ビット (MSB) から書き込まれます。MAX41473/MAX41474は、データをレジスタに正常に書き込むと、再びACKを発行します。

マスタは、転送が成功したことをMAX41473/MAX41474がアクノリッジするたびに、連続する内部レジスタへのデータ書き込みを継続するか、またはストップ条件を発行して転送を終了することができます。マスタがストップ条件を発行するまで、書き込みサイクルは終了しません。

図8に、I²Cバースト書き込みトランザクションの protokol を示します。

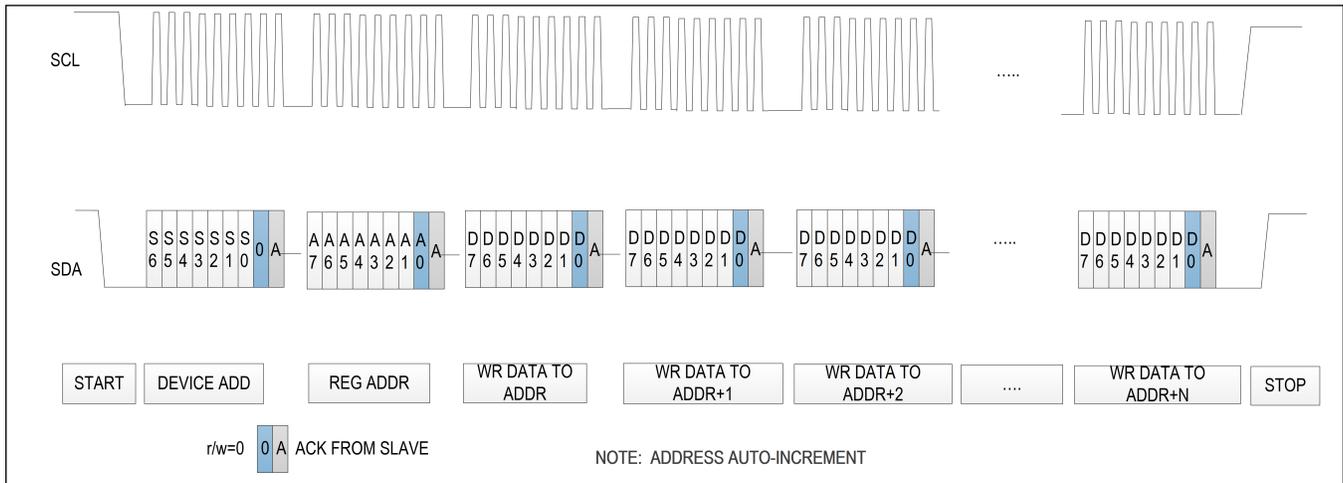


図8. I²Cバースト書き込み

読出しサイクル

MAX41473/MAX41474は、読出しコマンドでアドレス指定されると、マスタが単一レジスタまたは複数の連続したレジスタを読み出すことを許可します。

読出しサイクルは、バス・マスタがスタート条件を発行し、それに続けて7つのスレーブ・アドレス・ビットと書き込みビット (R/W=0) を発行することで開始します。デバイスは、スレーブ・アドレス・バイトを正常に受信するとACKを発行します。次に、バス・マスタは、読み出す必要のある最初のレジスタのアドレスを送信する必要があります。スレーブはそのアドレスをアクノリッジします。次に、マスタは、スタート条件を発行し、続けて7つのスレーブ・アドレス・ビットとリード・ビット (R/W = 1) を発行します。デバイスは、スレーブ・アドレス・バイトを正常に受信するとACKを発行します。デバイスは、各SCLクロック・サイクルでMSBデータから先に送信を開始します。9番目のクロック・サイクルで、マスタはACKを発行して連続するレジスタの読出しを継続するか、またはNACKを発行して送信を終了することができます。読出しサイクルは、マスタがストップ条件を発行するまで終了しません。

水晶 (XTAL) 発振器

MAX41473/MAX41474のXTAL発振器は、XTAL1およびXTAL2端子からグランドまでの容量が約12pFとなるように設計されています。ほとんどの場合、一般的なPCB寄生を含めると、この値は外部水晶振動子に印加される6pFの負荷容量 (C_L) に相当します。MAX41473/MAX41474の水晶振動子容量にPCB寄生を加えた C_L の定格の水晶振動子を使用することが非常に重要です。異なる C_L で発振するように設計された水晶振動子を使用した場合、水晶振動子は仕様規定された発振周波数から外れた周波数で発振し、リファレンスに誤差が生じます。水晶振動子の固有周波数は通常、仕様規定されている周波数より低くなります。しかし、 C_L の負荷により、発振周波数は高くなり、仕様規定された周波数で発振します。この周波数の変化分は、 C_L の仕様で既に考慮されています。基板の標準的な寄生を考慮すると、 C_L が6pF仕様の16MHz水晶振動子が推奨されます。また、水晶振動子にディスクリット容量を追加すると起動時間が長くなり、容量を追加しすぎると発振が完全に妨げられる可能性があるため注意してください。

水晶振動子の電氣的パラメータが既知であれば、追加の周波数変化分は計算できます。周波数の変化量は次式で与えられます。

$$f_P = \frac{C_M}{2} \left(\frac{1}{C_{CASE} + C_{ACTUAL}} - \frac{1}{C_{CASE} + C_L} \right) \times 10^6$$

ここで、 f_P は水晶振動子周波数の変化量 (ppm)、 C_M は水晶振動子の等価直列容量 (しばしば C_1 と呼ばれる)、 C_{CASE} はケース容量、 C_L は仕様規定されている負荷容量、 C_{ACTUAL} は実際の負荷容量です。水晶振動子に仕様規定通りに負荷を掛けている時(すなわち、 $C_{ACTUAL} = C_L$)、周波数変化量はゼロになります。水晶振動子の周波数変化量と負荷容量の影響についての詳細は、Maxim Tutorial 5422 – Crystal Calculations for ISM RF Productsを参照してください。

水晶振動子分周器

水晶振動子の利用可能な周波数は、12.8MHz、16.0MHz (デフォルト)、19.2MHzです。周波数が3.2MHz \pm 0.05MHzの内部クロックが必要です。3.2MHzの内部タイム・ベースを維持するには、表26に示すように、AFE_CTL1 (0x19) レジスタ・バイトのXOCLKDIV[1:0]レジスタ・フィールドを水晶振動子周波数に基づいて設定する必要があります。

表26. 必要な水晶振動子分周器の設定

CRYSTAL FREQUENCY (MHz)	CRYSTAL DIVIDER RATIO	XOCLKDIV
12.8	4	0
16.0	5	1*
19.2	6	2

* デフォルト設定

プリセット・モードでの水晶振動子周波数

MAX41473/MAX41474をプリセット・モード (PRESET端子をVDDに接続するかオープン)にした場合、水晶振動子の分周比は5で、水晶振動子周波数は16.0MHzとする必要があります。

フェーズロック・ループ (PLL)

MAX41473/MAX41474は、周波数シンセサイザとして完全に統合化されたフラクショナルN型PLLを採用しています。ループ・フィルタを含む全てのPLLコンポーネントはオンチップです。内部局部発振器 (LO) の周波数は、286MHz～320MHz、425MHz～480MHz、および860MHz～960MHzの各範囲で、 $f_{XTAL}/65536$ (16MHz水晶振動子で約244Hz) 単位で調整できます。

周波数の設定

目的の周波数は、LO_CTRL_FREQ[23:0] (アドレス0x09、0x0A、0x0B) で設定できます。デフォルトのローサイドLO注入を仮定してLO_CTRL_FREQビットを計算するには、次式を使用します。

$$LO_CTRL_FREQ[23 : 0] = \text{ROUND} \left(\frac{65536(f_{RF} - f_{IF})}{f_{XTAL}} \right)$$

ここで、 $f_{IF} = 400\text{kHz}$ ($IF_SEL = 0$) または $f_{IF} = 200\text{kHz}$ ($IF_SEL = 1$)、 f_{XTAL} は水晶振動子の周波数 (通常16.0MHz)、 f_{RF} はRF入力の搬送波周波数です。FSK変調の場合、 f_{RF} はMARK周波数とSPACE周波数の中間点と定義されます。

感度を最適化するために、搬送波周波数 (f_{RF}) が水晶振動子の周波数 (f_{XTAL}) の倍数にはならないようにしてください。

LO周波数を選択する場合は、表27を参照して、AFE_CTL1 (0x19) レジスタ・バイトのLODIV[1:0]レジスタフィールドを設定します。フラクショナルN型PLLモードを選択するには、AFE_CTL1バイトのFRACMODEビットを常時1に設定します。

表27. LODIVの設定

FREQUENCY RANGE (MHz)	LODIV SETTING [1:0]
PLL disabled	0

表27. LODIVの設定(続き)

287 to 320	3
425 to 480	2
860 to 960	1

クロック・データの再生

プログラマブル・モードで、SRC_LGとSRC_SMが共に0でない場合、復調後のデータ・ストリームから再生されたクロックが端子11に出力されます。このクロックにより、DATA信号をラッチするための立上がりエッジが生成され、DATA端子の出力をサンプリングできます。オプションとして、DATA端子の出力データを内部でリタイミングすることができ、これにより復調されたビットのパルス幅変動が減少するため、データアイが開きます。クロック・データ再生(CDR)機能の動作モードは、CDR_CFG1レジスタ(0x35)のCDR_MODE[1:0]レジスタ・ビットで設定します。これらのビットの使用法を次の表に示します。

表28. クロック・データ再生の動作モード

CDR_MODE[1:0]	OPERATIONAL MODE
0*	No clock output, DATA not re-timed
1	Clock output, DATA not re-timed
2	No clock output, DATA re-timed
3	Clock output, DATA re-timed

* プログラミングモードのデフォルト設定

デフォルトでは、CDR機能は無効です。CDR_MODE = 1の場合、DATA出力は変更されない(リタイミングされない)まま、再生されたクロックがCLK端子に出力されます。CDR_MODE = 2の場合、CLK端子にはクロックは出力されず、DATA出力をリタイミングするために内部で使用されます。CDR_MODE = 3の場合、CLK端子に再生されたクロックが出力され、DATA出力はリタイミングされます。

再生されるクロックは受信データのデータレートの2倍の周波数となります。例えば、2kbpsの受信データ・ストリームでは、各クロックの立上がりエッジが各DATA出力ビットの中央に位置する、4kHzの再生クロックとなります。

プリセット時のクロック再生

プリセット・モードでは、CDR_MODE = 2を使用します。この場合、端子11は目的のプリセット・モードを選択するのに使用されるため、クロック出力として使用することはできません。

電源

1.8V～3.6Vの単一電源で動作させる場合は、電源をV_{DD}に接続します。正常に動作させるために、0.01μFのコンデンサをV_{DD}からグラウンドへ、できるだけ端子の近くで接続します。

ローノイズ・アンプ(LNA)

LNAは、アンテナから受信した信号の振幅を増加させるための広帯域ゲインブロックです。LNAの入力は、アンテナに対して50Ωの実インピーダンスを示し、マッチングのための部品は不要です。アンテナに外部DC電圧が印加される可能性がある場合、過電圧状態を防止するため、入力と直列にDC阻止コンデンサ(100pF)の使用を推奨します。

ミキサー

ミキサーはダブルバランス・アーキテクチャを採用し、RF信号を400kHzまたは200kHzの中間周波数にダウンコンバージョンします。ミキサー出力はIFフィルタを駆動し、AFE_CTL1(0x19)レジスタのMIX_HS_LSBARビットの値によって、LO周波数はRF信号より低い(ローサイド注入)か高い(ハイサイド注入)かのどちらかになります。

通常のレシーバ動作では、MIX_HS_LSBARビットを0(デフォルト値)に設定することで、ローサイド注入を使用し、RF信号の目標周波数をLO周波数より高くすることを推奨します。MIX_HS_LSBARビットは、イメージ除去(IR)校正時に1に設定できません。

レシーバ遅延

アプリケーションによっては、レシーバの遅延を小さくしたり、復調時間遅延を短縮したりする必要があります。そのようなアプリケーションでは、PDF_CFG(0x03)レジスタのLD_BWビットとLD_BUFビットをデフォルト以外の値に設定できます。

表29. LD_BWとLD_BUFの設定

CONDITIONS	SETTINGS		EFFECT
	LD_BW	LD_BUF	
All cases	0	0	Default latency
	1	0	Lower delay PDF
(SRC_LG ≥ 3) or (SRC_LG = 2 AND SRC_SM is even)	1	1	Lowest delay

LD_BW = 0かつLD_BUF = 1の組み合わせは予約済みです。表29に示す組み合わせのいずれかを設定してください。

LD_BW = 1に設定すると、レシーバの帯域幅が拡大するため、PDFの群遅延が減少しますが、感度が0.5dB低下します。表15も参照してください。

LD_BUF = 1の場合、最小遅延のバッファが選択されますが、SRC_LGを1または0に設定している場合、この設定は無効です。SRC_LG = 2かつSRC_SMが奇数の場合も、最小遅延のバッファは無効となります。

例えば、マンチェスタ・エンコーディング後のデータレートが1.4kbpsで、デバイスをIF_SEL = 1、CHF_SEL = 0、SRC_LG = 5、SRC_SM = 1に設定しているとします。LD_BWとLD_BUFを1にセットすることで、LNA入力からDATA出力までのレシーバ遅延を380μs(デフォルト設定)から200μs(最小遅延設定)に短縮できます。

NRZフォーマット

ASK変調でNRZ(non-return-to-zero)データ・ストリームを使用するには、ATH_TYPE = 1、ATH_DT = 3を設定し、更にATH_TCを表16に従って設定します。連続する1(ON)または0(OFF)の長さは16ビットを超えてはなりません。

FSK変調では、AFC_LG = 0に設定することで、MARKまたはSPACEビットが10ビット以上連続しないようにして、NRZ変調が可能です。AFC_LG = 0の場合、AFCセトリングにおよそ100シンボルを必要とするため、この設定は比較的高いデータレート(例えば100kbps以上のNRZ)で長いデータ・ストリームを必要とする場合にのみ推奨されます。

ペイロードにFSK変調とNRZエンコーディングを使用する場合については、[プリアンプル検出時のAFCフリーズ](#)のセクションを参照してください。

イメージ除去校正

イメージ除去が重要なアプリケーションでは、イメージ除去を改善するためにMAX41473/MAX41474を校正できます。以下の手順は、ユーザの工場で行うことができます。このプロセスの間、デバイスは、0x1AのIR_ADJUSTレジスタを設定するためのスタンバイ状態と、RSSI値を読み出す場合にアクティブ状態となるためのSlaveRXの間で切り替わります。校正の考え方は、位相を掃引しながらRSSI値の最小点を見つけることです。RSSI値の増減に基づいて、掃引を0x00から増加させるか、0x11から増加させるかします。イメージ除去を校正するには、以下の手順を実行します。

1. MAX41473/MAX41474を目的の周波数に設定します。
2. LNA入力に目的の周波数のRFトーンを印加し、RSSI値を記録します。
3. レジスタ0x14のSLAVE_RX_ENビットを無効にします。
4. MIX_HS_LSBARビット(レジスタ0x19のビット3)を逆極性に設定します。
 - a. これにより、目的の周波数が事実上イメージ周波数になります。
5. SLAVE_RX_ENビットをセットしてSlaveRXモードを有効にし、RSSI値を記録します。
6. SLAVE_RX_ENビットをリセットしてSlaveRXモードを無効にし、レジスタ0x1Aを0x01に設定します。
7. SLAVE_RX_ENビットをセットしてSlaveRXモードを有効にし、RSSI値を記録します。
8. RSSI値に基づいて、以下を実行します。

- a. RSSI値が減少した場合、イメージ除去が改善されています。0x1Aを0x01の値から増加させていきます。
 - b. RSSIが増加した場合、イメージ除去率は低下しています。0x1Aを0x11の値から増加させていきます。
9. SLAVE_RX_ENビットをセットしてSlaveRXモードを有効にし、RSSI値を記録します。
- a. 注：RSSI値が0x00での値よりも0x01および0x11での値の方が高い場合、最適な校正コードは0x00となり、これで手順を完了します。
10. SLAVE_RX_ENビットをリセットしてSlaveRXモードを無効にし、レジスタ0x1Aを1だけ増加させます。
11. SLAVE_RX_ENビットをセットしてSlaveRXモードを有効にし、RSSI値を記録します。
12. RSSIが低下した場合は、レジスタ値を1コードずつ増加させ続け、RSSIが増加するまでステップ10と11を繰り返します。
13. RSSIが上昇したら、レジスタ0x1Aから1を減算して最終コードとし、手順を完了します。
- レジスタ0x1Aの最終コードはMCUに保存する必要があります。MAX41473/MAX41474がスタンバイ状態に入るたびに設定する必要があります。

レジスタ・マップ

メモリ・マップ

ADDRESS	NAME	MSB							LSB
DIG_RX									
0x00	DEMOD[7:0]		RSSI_DT[1:0]		DEMOD_FSK[2:0]			DEMOD_TCTRL[2:0]	
0x01	AGC[7:0]	-	-		AGC_THREL[3:0]			AGC_EN_BO[1:0]	
0x02	IF_CHF_SEL[7:0]	-	-	-	ASK_FSK_SEL	IF_SEL		CHF_SEL[2:0]	
0x03	PDF_CFG[7:0]	LD_BUF	LD_BW		SRC_LG[2:0]			SRC_SM[2:0]	
0x04	ATH_CFG1[7:0]				ATH_LB[7:0]				
0x05	ATH_CFG2[7:0]	-	ATH_DT[1:0]		ATH_TC[4:0]				
0x06	ATH_CFG3[7:0]	-	ATH_TY PE	ATH_BW	ATH_GC[4:0]				
0x07	AFC_CFG1[7:0]	-	-	-	AFC_MO[2:0]			AFC_LG[1:0]	
0x08	AFC_CFG2[7:0]	-	PAD_FR EEZE_A FC	RESERVED[5:0]					
0x09	LO_CTR_FREQ3[7:0]	LO_CTR_FREQ[23:16]							
0x0A	LO_CTR_FREQ2[7:0]	LO_CTR_FREQ[15:8]							
0x0B	LO_CTR_FREQ1[7:0]	LO_CTR_FREQ[7:0]							
0x0C	PREAMBLE_CFG1[7:0]	-	-	-	-	PREAMB_LEN[3:0]			
0x0D	PREAMBLE_WORD1[7:0]	PREAMB_WORD[7:0]							
0x0E	PREAMBLE_WORD2[7:0]	PREAMB_WORD[15:8]							
0x10	RSSI[7:0]	RSSI[7:0]							
0x11	FEI[7:0]	FEI[7:0]							
0x12	PDF_OUT[7:0]	PDF_OUT[7:0]							
0x13	ISR[7:0]	-	-	-	-	-	-	-	PREAMB_DET
0x35	CDR_CFG1[7:0]	-	-	-	-	-	-	-	CDR_MODE[1:0]
OVERLAP									
STATE_CTRL									
0x14	STATE_CTRL1[7:0]	-	-	-	-	-	EN_XO	WUT_EN	SLAVE_RX_EN
0x15	STATE_CTRL2[7:0]	-	-	-	-	-	-	RX_STATE[1:0]	
0x16	STATE_CTRL3[7:0]	-	-	-	-	-	-	RX_RESET_TIME[1:0]	
0x17	WUT1[7:0]	TDET[7:0]							
0x18	WUT2[7:0]	-	TSBY_TDET_RATIO[6:0]						
ANALOG_FE									
0x19	AFE_CTL1[7:0]	XOCLKDELAY[1:0]	XOCLKDIV[1:0]	MIX_HS_LSBAR	LODIV[1:0]	FRACMODE			

ADDRESS	NAME	MSB							LSB
0x1A	IR_ADJUST[7:0]	-	-	-	IR_ADJUST[4:0]				
0x1E	PART_NUM[7:0]	PART_NUM[7:0]							
0x1F	REV_NUM[7:0]	-	-	-	-	-	REV_NUM[2:0]		
0x27	STATUS[7:0]	-	-	-	-	-	-	RESERV ED	PLL_LO CK

レジスタの詳細

[DEMOD\(0x00\)](#)

BIT	7	6	5	4	3	2	1	0
Field	RSSI_DT[1:0]		DEMOD_FSK[2:0]			DEMOD_TCTRL[2:0]		
Reset	0x1		0x0			0x4		
Access Type	Write, Read		Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード								
RSSI_DT	7:6	RSSIピーク検出器の放電時間	0x0: 1/2 default value 0x1: default value 0x2: 2x default value 0x3: 4x default value								
DEMOD_FSK	5:3	FSKモードでのみ使用する復調器パラメータ#2。 FSK復調器設定の表に従って設定する必要があります。	0x0: FSK Demod Config Index = 0, 14 0x1: FSK Demod Config Index = 1, 15 0x2: FSK Demod Config Index = 2, 16 0x3: FSK Demod Config Index = 3, 6, 17, 20 0x4: FSK Demod Config Index = 4, 7, 9, 11, 18, 21, 23, 25 0x5: FSK Demod Config Index = 5, 8, 10, 12, 19, 22, 24, 26 0x6: FSK Demod Config Index = 13, 27 0x7: Invalid value								
DEMOD_TCTRL	2:0	復調器パラメータ#1 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>条件</th> <th>推奨値</th> </tr> </thead> <tbody> <tr> <td>ASK_FSK_SEL=1</td> <td>4 - CHF_SEL</td> </tr> <tr> <td>ASK_FSK_SEL = 0, ATH_TYPE = 0</td> <td>min(2+SRC_LG,7)</td> </tr> <tr> <td>ASK_FSK_SEL = 0, ATH_TYPE = 1</td> <td>min(3+SRC_LG,7)</td> </tr> </tbody> </table>	条件	推奨値	ASK_FSK_SEL=1	4 - CHF_SEL	ASK_FSK_SEL = 0, ATH_TYPE = 0	min(2+SRC_LG,7)	ASK_FSK_SEL = 0, ATH_TYPE = 1	min(3+SRC_LG,7)	0x0: 1/16 Default 0x1: 1/8 Default 0x2: 1/4 Default 0x3: 1/2 Default 0x4: Default value 0x5: 2x Default 0x6: 4x Default 0x7: 8x Default
条件	推奨値										
ASK_FSK_SEL=1	4 - CHF_SEL										
ASK_FSK_SEL = 0, ATH_TYPE = 0	min(2+SRC_LG,7)										
ASK_FSK_SEL = 0, ATH_TYPE = 1	min(3+SRC_LG,7)										

[AGC\(0x01\)](#)

BIT	7	6	5	4	3	2	1	0
Field	-	-	AGC_THREL[3:0]			AGC_EN_BO[1:0]		
Reset	-	-	0x9			0x2		
Access Type	-	-	Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード
AGC_THREL	5:2	AGCリリース・スレッシュホールドの微調整。推奨値は、データレートが52kbpsより低い場合は0x9、52kbpsより高い場合は0xF。	
AGC_EN_BO	1:0	AGC動作モード	0x0: AGC disabled, max gain 0x1: AGC disabled, back off ADC buffer 0x2: AGC enabled 0x3: AGC enabled, back off ADC buffer

IF CHF SEL(0x02)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	ASK_FSK_SEL	IF_SEL	CHF_SEL[2:0]		
Reset	-	-	-	0x0	0x0	0x0		
Access Type	-	-	-	Write, Read	Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
ASK_FSK_SEL	4	ASK/FSKの選択	0x0: ASK demodulation 0x1: FSK demodulation
IF_SEL	3	中間周波数の選択	0x0: 400kHz 0x1: 200kHz
CHF_SEL	2:0	チャンネル・フィルタの選択	0x0: RXBW = 340kHz or 170kHz 0x1: RXBW = 120kHz or 60kHz 0x2: RXBW = 52kHz or 26kHz 0x3: RXBW = 24kHz or 12kHz 0x4: RXBW = 12kHz or 6kHz 0x5: Invalid value 0x6: Invalid value 0x7: Invalid value

PDF CFG(0x03)

ポスト復調フィルタ

BIT	7	6	5	4	3	2	1	0
Field	LD_BUF	LD_BW	SRC_LG[2:0]			SRC_SM[2:0]		
Reset	0x0	0x0	0x2			0x0		
Access Type	Write, Read	Write, Read	Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード
LD_BUF	7	出力バッファの選択。低遅延バッファは、(SRC_LG ≥ 3)または(SRC_LG = 2かつSRC_SMが偶数)の場合にのみ選択できます。	0x0: Default selection 0x1: Low delay buffer
LD_BW	6	ポスト復調フィルタの帯域幅制御	0x0: Default BW 0x1: 1.67x Default BW

ビットフィールド	ビット	説明	デコード
SRC_LG	5:3	推奨データレートの計算に使用するサンプル・レート・コンバータの「大」調整	See Configuration Guidance Tables and Recommended Data Rate Equation 0x0: 4x Default 0x1: 2x Default 0x2: Default rate 0x3: 1/2 Default 0x4: 1/4 Default 0x5: 1/8 Default 0x6: 1/16 Default 0x7: 1/32 Default
SRC_SM	2:0	推奨データレートの計算に使用するサンプル・レート・コンバータの「小」調整	See Configuration Guidance Tables and Recommended Data Rate Equation 0x0: Default rate 0x1: 8/9 Default 0x2: 8/10 Default 0x3: 8/11 Default 0x4: 8/12 Default 0x5: 8/13 Default 0x6: 8/14 Default 0x7: 8/15 Default

ATH_CFG1 (0x04)

ASKスレッシュホールドの設定

BIT	7	6	5	4	3	2	1	0
Field	ATH_LB[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
ATH_LB	7:0	ASKスレッシュホールド生成用パラメータ#1: 8ビット符号付き2の補数フォーマットでの スレッシュホールドの下限值	Valid value from -128 to 0

ATH_CFG2 (0x05)

ASKスレッシュホールドの設定

BIT	7	6	5	4	3	2	1	0
Field	–	ATH_DT[1:0]			ATH_TC[4:0]			
Reset	–	0x0			0x10			
Access Type	–	Write, Read			Write, Read			

ビットフィールド	ビット	説明	デコード
ATH_DT	6:5	ASKスレッシュホールド生成用パラメータ#4: 「適応型ピーク検出器」(aPD)方式でのピーク ホールド時間制御	0x0: Default discharge time, suggested for Manchester data, close to Rb 0x1: 2x Discharge time, suggested for Manchester data, lower than Rb 0x2: 4x Discharge time 0x3: 8x Discharge time, suggested for NRZ data

ビットフィールド	ビット	説明	デコード
ATH_TC	4:0	ASKスレッシュホールド生成用パラメータ#2: SRC_LGに応じて設定します。	See Table 16 for guidance

ATH_CFG3(0x06)

ASKスレッシュホールドの設定

BIT	7	6	5	4	3	2	1	0
Field	–	ATH_TYPE	ATH_BW	ATH_GC[4:0]				
Reset	–	0x0	0x0	0xF				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
ATH_TYPE	6	ASKスレッシュホールドの調整方法	0x0: Precharged lowpass filter (preLPF) (Manchester) 0x1: Adaptive peak detector (aPD)(NRZ)
ATH_BW	5	ASKスレッシュホールド生成用パラメータ#5: プリチャージドLPF (preLPF)の帯域幅制御	0x0: Default bandwidth 0x1: 2x default
ATH_GC	4:0	ASKスレッシュホールド生成用パラメータ#3: IF_SELとCHF_SELに応じて設定します。	See Table 17 for guidance

AFC_CFG1(0x07)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	AFC_MO[2:0]			AFC_LG[1:0]	
Reset	–	–	–	0x0			0x2	
Access Type	–	–	–	Write, Read			Write, Read	

ビットフィールド	ビット	説明	デコード
AFC_MO	4:2	AFC周波数オフセットの限界値	0x0: AFC disabled 0x1: 1/7 Max offset 0x2: 2/7 Max offset 0x3: 3/7 Max offset 0x4: 4/7 Max offset 0x5: 5/7 Max offset 0x6: 6/7 Max offset 0x7: Max offset
AFC_LG	1:0	AFCループゲイン制御	0x0: 1/4 Default 0x1: 1/2 Default 0x2: Default gain, FSK typical setting 0x3: 2x Default, ASK typical setting

AFC_CFG2(0x08)

BIT	7	6	5	4	3	2	1	0
Field	–	PAD_FREEZE_AFC	RESERVED[5:0]					
Reset	–	0x0	0x0					
Access Type	–	Write, Read	Write, Read					

ビットフィールド	ビット	説明	デコード
PAD_FREEZE_AFC	6	プリアンブル検出後にAFCをフリーズさせるための制御ビット。ASKモードでは使用しません。	0x0: Not to freeze AFC 0x1: Freeze AFC (stop PLL frequency update) once preamble is detected
RESERVED	5:0	予約済み	Set to 0

LO_CTR_FREQ3(0x09)

BIT	7	6	5	4	3	2	1	0
Field	LO_CTR_FREQ[23:16]							
Reset	0x13							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LO_CTR_FREQ	7:0	LO中心周波数、24ビット・ワードの上位バイト

LO_CTR_FREQ2(0x0A)

BIT	7	6	5	4	3	2	1	0
Field	LO_CTR_FREQ[15:8]							
Reset	0xA9							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LO_CTR_FREQ	7:0	LO中心周波数、24ビット・ワードの中間バイト

LO_CTR_FREQ1(0x0B)

BIT	7	6	5	4	3	2	1	0
Field	LO_CTR_FREQ[7:0]							
Reset	0x9A							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LO_CTR_FREQ	7:0	LO中心周波数、24ビット・ワードの下位バイト

PREAMBLE_CFG1 (0x0C)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	PREAMB_LEN[3:0]			
Reset	–	–	–	–	0xF			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
PREAMB_LEN	3:0	マンチェスタ・コーディング前のプリアンブル・ビット・パターン長	Bit Pattern Length = Register Field Value + 1

PREAMBLE_WORD1 (0x0D)

BIT	7	6	5	4	3	2	1	0
Field	PREAMB_WORD[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明
PREAMB_WORD	7:0	マンチェスタ・コーディング前のプリアンブル・ビット・パターンの下位バイト

PREAMBLE_WORD2 (0x0E)

BIT	7	6	5	4	3	2	1	0
Field	PREAMB_WORD[15:8]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明
PREAMB_WORD	7:0	マンチェスタ・コーディング前のプリアンブル・ビット・パターンの上位バイト

RSSI (0x10)

BIT	7	6	5	4	3	2	1	0
Field	RSSI[7:0]							
Reset	0x0							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
RSSI	7:0	受信信号強度インジケータ (RSSI)	8-bit unsigned integer

FEI(0x11)

BIT	7	6	5	4	3	2	1	0
Field	FEI[7:0]							
Reset	0x0							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
FEI	7:0	AFC周波数誤差インジケータ (FEI)	8-bit signed integer in two's complement format

PDF_OUT(0x12)

BIT	7	6	5	4	3	2	1	0
Field	PDF_OUT[7:0]							
Reset	0x0							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
PDF_OUT	7:0	ポスト復調フィルタ (PDF) の読出し	8-bit signed integer in two's complement format

ISR(0x13)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	PREAMB_DET
Reset	-	-	-	-	-	-	-	0b0
Access Type	-	-	-	-	-	-	-	Read Only

ビットフィールド	ビット	説明	デコード
PREAMB_DET	0	割込みステータス・レジスタのビット0: 自己ポーリング・モードでのプリアンブル検出器	0x0: No interrupt event 0x1: Preamble detected in self-polling

CDR_CFG1(0x35)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	CDR_MODE[1:0]	
Reset	-	-	-	-	-	-	0x00	
Access Type	-	-	-	-	-	-	Write, Read	

ビットフィールド	ビット	説明	デコード
CDR_MODE	1:0		0x0: CDR disabled 0x1: Clock out enabled, DATAOUT untimed 0x2: Clock out disabled, DATAOUT retimed 0x3: Clock out enabled, DATAOUT retimed

STATE_CTRL1(0x14)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	EN_XO	WUT_EN	SLAVE_RX_EN
Reset	-	-	-	-	-	0x0	0x0	0x0
Access Type	-	-	-	-	-	Write, Read	Write, Read, Dual	Write, Read

ビットフィールド	ビット	説明	デコード
EN_XO	2	XOのイネーブルビット	0x0: Disable XO 0x1: Enable XO
WUT_EN	1	ウェイクアップ・タイマー(WUT)のイネーブル・ビット	0x0: Disable WUT 0x1: Enable WUT
SLAVE_RX_EN	0	スレーブ・レシーバのイネーブル・ビット	0x0: Disable receiver 0x1: Enable receiver

STATE_CTRL2(0x15)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	RX_STATE[1:0]	
Reset	-	-	-	-	-	-		
Access Type	-	-	-	-	-	-	Read Only	

ビットフィールド	ビット	説明	デコード
RX_STATE	1:0	レシーバ・ステート・マシン・レジスタ	0x0: Standby 0x1: Slave receiver 0x2: Wait in self-polling 0x3: Polling receiver

STATE_CTRL3(0x16)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	RX_RESET_TIME[1:0]	
Reset	-	-	-	-	-	-	0x03	
Access Type	-	-	-	-	-	-	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_RESET_TIME	1:0	レシーバ・フロント・エンドのターンオン時間	0x0: 0.08ms 0x1: 0.16ms 0x2: 0.24ms 0x3: 0.32ms

WUT1 (0x17)

BIT	7	6	5	4	3	2	1	0
Field	TDET[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
TDET	7:0	POLLINGRX状態での持続時間: 0.48ms~20.88ms、ステップ・サイズ:0.08ms	Duration (ms) = 0.48 + 0.08 × (Register Field Value)

WUT2 (0x18)

BIT	7	6	5	4	3	2	1	0
Field	TSBY_TDET_RATIO[6:0]							
Reset	-							
Access Type	-							
	Write, Read							

ビットフィールド	ビット	説明	デコード
TSBY_TDET_RATIO	6:0	WUTのデューティ・サイクル制御	Duty Cycle = 1 / (2 + Register Field Value)

AFE_CTL1 (0x19)

BIT	7	6	5	4	3	2	1	0
Field	XOCLKDELAY[1:0]		XOCLKDIV[1:0]		MIX_HS_LS BAR	LODIV[1:0]		FRACMOD E
Reset	0x2		0x1		0x0	0x01		0x1
Access Type	Write, Read		Write, Read		Write, Read	Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
XOCLKDELAY	7:6	XOクロックをデジタルに印加するまでの開始遅延	0x0: No delay 0x1: 16 cycle delay 0x2: 32 cycle delay 0x3: 64 cycle delay
XOCLKDIV	5:4	XOクロックの分周比	0x0: Divide by 4 0x1: Divide by 5 0x2: Divide by 6 0x3: Invalid value
MIX_HS_LS BAR	3	LO注入制御	0x0: Targeted RF frequency higher than LO frequency 0x1: Targeted RF frequency lower than LO frequency
LODIV	2:1	LO分周器制御	0x0: PLL disabled 0x1: 860MHz to 960MHz 0x2: 425MHz to 480MHz 0x3: 286MHz to 320MHz

ビットフィールド	ビット	説明	デコード
FRACMODE	0	PLLモード制御:常時1に設定	0x0: Integer-N PLL 0x1: Fractional-N PLL

IR_ADJUST(0x1A)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	IR_ADJUST[4:0]				
Reset	-	-	-	0x00				
Access Type	-	-	-	Write, Read				

ビットフィールド	ビット	説明
IR_ADJUST	4:0	イメージ除去調整。詳細については、 イメージ除去校正 のセクションを参照。

PART_NUM(0x1E)

BIT	7	6	5	4	3	2	1	0
Field	PART_NUM[7:0]							
Reset								
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
PART_NUM	7:0	型番記号。 型番を読み出すには、EN_XO = 1とする必要があります。	0x70 = MAX41470 0x73 = MAX41473 0x74 = MAX41474

REV_NUM(0x1F)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	REV_NUM[2:0]		
Reset	-	-	-	-	-			
Access Type	-	-	-	-	-	Read Only		

ビットフィールド	ビット	説明
REV_NUM	2:0	チップのリビジョン番号

STATUS(0x27)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	RESERVED	PLL_LOCK
Reset	-	-	-	-	-	-	0x0	0x0
Access Type	-	-	-	-	-	-	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
RESERVED	1	予約済み	Reserved
PLL_LOCK	0	PLLのロック・ステータス	0x0: PLL is not locked 0x1: PLL is locked

アプリケーション情報

プログラミング・クイック・スタート

デバイスを動作させるための推奨手順を以下に示します。

- 1) 外部MCUでPWRDN端子を制御し、デバイスの電源を入れます。PWRDNをロジックハイに駆動して少なくとも1ms待ち、次にPWRDNをロジックローに駆動して少なくとも0.4ms待ちます。
- 2) STATE_CTRL1 (0x14)レジスタに0x04を書き込みます。これにより水晶振動子がオンになり、デバイスはスタンバイ状態になります。
- 3) 表30からDIG_RXレジスタ・バンクのクイック・スタート設定の1つを選び、アドレス0x00~0x0Eおよび0x19の16個のレジスタに書き込みます。クイック・スタート設定の表や他の例で示されている設定は、特に指定のない限り、水晶振動子周波数に16MHzを使用し、RF信号をマンチェスタ・エンコーディングすることを前提としています。
- 4) 選択したクイック・スタート設定に一致するデータレートで変調RF信号源をセットアップします。
- 5) STATE_CTRL1 (0x14)レジスタに0x05を書き込みます。これによりレシーバがオンになり、デバイスがSlaveRX状態になります。
- 6) 変調されたRF信号をオンにして、DATA端子の出力を観察します。
- 7) STATE_CTRL1 (0x14)レジスタに0x00を書き込みます。これによりレシーバがオフになり、デバイスがスリープ状態になります。

表30. クイック・スタート設定

MOD	RF CARRIER (MHz)	Δf (kHz)	DATA RATE (kbps)	SETTINGS (kHz)		REGISTER ADDRESS 0x00 to 0x0E	REG ADD 0x19
				IF_SEL	CHF_SEL		
ASK	315	N/A	2	200	170	[70,38,8,36,167,9,10,31,0,19,172,205,15,0,0] dec	151 dec
						[0x46,0x26,0x08,0x24,0xA7,0x09,0x0A,0x1F,0x00,0x13,0xAC,0xCD,0x0F,0x00,0x00] hex	0x97 hex
			1	200	12	[68,38,11,20,145,16,5,31,0,19,172,205,15,0,0] dec	151 dec
						[0x44,0x26,0x0B,0x14,0x91,0x10,0x05,0x1F,0x00,0x13,0xAC,0xCD,0x0F,0x00,0x00] hex	0x97 hex
	433.92		5	200	170	[69,38,8,26,170,13,10,31,0,27,27,133,15,0,0] dec	149 dec
						[0x45,0x26,0x08,0x1A,0xAA,0x0D,0x0A,0x1F,0x00,0x1B,0x1B,0x85,0x0F,0x00,0x00] hex	0x95 hex
			1	200	12	[68,38,11,20,145,16,5,31,0,27,27,133,15,0,0] dec	149 dec
						[0x44,0x26,0x0B,0x14,0x91,0x10,0x05,0x1F,0x00,0x1B,0x1B,0x85,0x0F,0x00,0x00] hex	0x95 hex
	868.3		10	400	340	[69,38,0,26,179,13,11,31,0,54,62,102,15,0,0] dec	147 dec
						[0x45,0x26,0x00,0x1A,0xB3,0x0D,0x0B,0x1F,0x00,0x36,0x3E,0x66,0x0F,0x00,0x00] hex	0x93 hex
2		400	24	[68,38,3,20,153,16,7,31,0,54,62,102,15,0,0] dec	147 dec		
				[0x44,0x26,0x03,0x14,0x99,0x10,0x07,0x1F,0x00,0x36,0x3E,0x66,0x0F,0x00,0x00] hex	0x93 hex		
FSK	315	40	2	200	170	[68,38,24,36,0,0,0,30,0,19,172,205,15,0,0] dec	151 dec
						[0x44,0x26,0x18,0x24,0x00,0x00,0x00,0x1E,0x00,0x13,0xAC,0xCD,0x0F,0x00,0x00] hex	0x97 hex
		5	2	200	12	[97,38,27,12,0,0,0,30,0,19,172,205,15,0,0] dec	151 dec
						[0x61,0x26,0x1B,0x0C,0x00,0x00,0x00,0x1E,0x00,0x13,0xAC,0xCD,0x0F,0x00,0x00] hex	0x97 hex

表30. クイック・スタート設定(続き)

433.92	40	5	200	170	[68,38,24,26,0,0,0,30,0,27,27,133,15,0,0] dec	149 dec
					[0x44,0x26,0x18,0x1A,0x00,0x00,0x00,0x1E,0x00,0x1B,0x1B,0x85,0x0F,0x00,0x00] hex	0x95 hex
868.3	5	5	200	12	[97,38,27,2,0,0,0,30,0,27,27,133,15,0,0] dec	149 dec
					[0x61,0x26,0x1B,0x02,0x00,0x00,0x00,0x1E,0x00,0x1B,0x1B,0x85,0x0F,0x00,0x00] hex	0x95 hex
868.3	40	50	200	170	[68,38,24,0,0,0,0,30,0,54,65,154,15,0,0] dec	147 dec
					[0x44,0x26,0x18,0x00,0x00,0x00,0x00,0x1E,0x00,0x36,0x41,0x9A,0x0F,0x00,0x00] hex	0x93 hex
	5	5	200	12	[97,38,27,2,0,0,0,30,0,54,65,154,15,0,0] dec	147 dec
					[0x61,0x26,0x1B,0x02,0x00,0x00,0x00,0x1E,0x00,0x36,0x41,0x9A,0x0F,0x00,0x00] hex	0x93 hex
	80	100	400	340	[68,62,16,0,0,0,0,30,0,54,62,102,15,0,0] dec	147 dec
					[0x44,0x3E,0x10,0x00,0x00,0x00,0x00,0x1E,0x00,0x36,0x3E,0x66,0x0F,0x00,0x00] hex	0x93 hex
10	10	400	24	[97,38,19,2,0,0,0,30,0,54,62,102,15,0,0] dec	147 dec	
				[0x61,0x26,0x13,0x02,0x00,0x00,0x00,0x1E,0x00,0x36,0x3E,0x66,0x0F,0x00,0x00] hex	0x93 hex	

プログラミング・ガイド

以下のセクションでは、様々なセットアップと、それぞれに必要なデバイス設定のガイダンスを示します。全ての設定例において、水晶振動子の周波数が16MHzで、マンチェスタ・コーディングを想定しています。

周波数アクイジション

AFCは、LO周波数を $LO_CTR_FREQ \times \frac{f_{XTAL}}{2^{16}}$ で与えられる中心周波数から限られた範囲でしか調整できません。

AFCのプルイン範囲と呼ばれる最大調整範囲は次の通りです。

$$\frac{\pm AFC_MO \times f_{XTAL}}{2^{(IF_SEL + CHF_SEL + 10)}} = \frac{\pm 7 \times f_{XTAL}}{2^{(IF_SEL + CHF_SEL + 10)}}$$

実際の調整範囲は、AFC_MOを0~7の間で設定することにより、0からプルイン範囲まで設定できます。このセクションでは、全ての例で $f_{XTAL} = 16\text{MHz}$ と仮定しています。

表31. AFCプルイン範囲(16MHz水晶振動子の場合)

IF_SEL	CHF_SEL	AFC PULL-IN RANGE (kHz)	RECEIVER BANDWIDTH (kHz)
0	0	±109	340
0	1	±55	120
0	2	±27	52
0	3	±14	24
0	4	±6.8	12
1	0	±55	170
1	1	±27	60
1	2	±14	26
1	3	±6.8	12
1	4	±3.4	6

Tx/Rxの周波数ミスマッチの初期値は、狭帯域幅設定ではAFCプルイン範囲を超えることがあります。例えば、434MHzで100ppmのミスマッチは±43.4kHzとなり、(IF_SEL + CHF_SEL) ≥ 2の時にAFCプルイン範囲を超えます。プルイン範囲の制限の問題に対処するには、ソフトウェアによる周波数アクイジションを採用します。

LO_CTRL_FREQを調整すると、ミスマッチを修正できます。これは、データ・パケットが正常に認識されるまで周波数を変更することで行います。しかし、FEIを利用してオフセットの大きさと方向を決定することもできます。異なる中心周波数を設定するには、LO_CTRL_FREQレジスタを再設定する前に、SLAVE_RX_ENをゼロに設定して、デバイスでSlaveRXのアクティブ・モードを解除する必要があります。その後、デバイスを再びSlaveRX状態になるように設定します。

周波数アキュイジションの例#1

このセットアップでは、5kbps、60kHz帯域幅のオプション(IF_SEL = 1、CHF_SEL = 1)で、期待される信号は公称周波数が433.92MHzのASKです。

観測1: DIG_RXレジスタ・バンク(アドレス0x00から連続する15バイト)に、10進数[68、38、9、18、162、16、7、31、0、27、27、133、15、0、0]、つまり16進数[0x44、0x26、0x09、0x12、0xA2、0x10、0x07、0x1F、0x00、0x1B、0x1B、0x85、0x0F、0x00、0x00]を設定します。また、AFE_CTL1(0x19)に10進数の149つまり16進数の0x95を書き込みます。ここで、LO_CTRL_FREQの10進値は1776517であり、 $f_{XTAL} = 16\text{MHz}$ 、 $f_{RF} = 433.92\text{MHz}$ 、 $f_{IF} = 200\text{kHz}$ から計算します。Tx/Rx周波数の初期ミスマッチがAFCのプレン範囲である $\pm 27\text{kHz}$ より小さい場合、 -116dBm の標準的な受信感度を実現できます。

観測2: これは観測1と同じレシーバ設定ですが、初期のTx/Rxミスマッチは $\pm 43.4\text{kHz}$ に増加します。この場合、受信感度は -112dBm に低下し、周波数誤差インジケータ(FEI)の読出し値は ± 112 (10進値)で飽和します。

観測3: オフセットを考慮してLO_CTRL_FREQを調整します。それ以外は、観測1と同じレシーバ設定です。LO_CTRL_FREQの3バイトを、10進数の[27、27、43]と[27、27、223]、つまり16進数の[0x1B、0x1B、0x2B]と[0x1B、0x1B、0xDF]に設定して、レシーバを動作させます。標準的な -116dBm 感度は、初期Tx/Rxミスマッチが $\pm 43.4\text{kHz}$ 之高くても、少なくとも1つのレシーバ動作例で実現できます。

周波数アキュイジションの例#2

この例は、10kbps、公称周波数が868.3MHz、帯域幅が24kHzのオプション(IF_SEL = 0、CHF_SEL = 3)のFSK信号です。FSK偏差は $\pm 8\text{kHz}$ です。

Tx/Rxの周波数ミスマッチは不明ですが、 $\pm 86.8\text{kHz}$ 之高い可能性があるかと仮定します。この例では、24.8kHz間隔の7つの等間隔の周波数ポイントでレシーバをテストします。この設定の場合、7つのLO_CTRL_FREQ値は、10進数で[3555223、3555122、3555020、3554918、3554817、3554715、3554614]となります。

LO_CTRL_FREQ=3554918を開始点とする場合、DIG_RXレジスタ・バンクは10進数[97、38、19、2、0、0、0、30、0、54、62、102、15、0、0]つまり16進数[0x61、0x26、0x13、0x02、0x00、0x00、0x1E、0x00、0x36、0x3E、0x66、0x0F、0x00、0x00]に設定します。また、AFE_CTL1(0x19)に10進数の147つまり16進数の0x93を書き込みます。LO_CTRL_FREQを変更するには、SlaveRX状態を終了してスタンバイ状態にし、アドレス0x09から3つの連続したアドレスに書き込んでから、再びSlaveRX状態に戻します。

MCUは、7つの周波数ポイントのいずれかでDATA端子のデータ・パケットを認識できます。標準的な受信感度は -115dBm となります。

周波数アキュイジションの例#3

このセットアップでは、公称周波数が433.92MHz、1kbpsのASK信号で、170kHzの帯域幅オプション(IF_SEL = 1、CHF_SEL = 0)で設定します。DIG_RXレジスタ・バンク(アドレス0x00から連続する15バイト)に、10進数[71、38、8、44、165、7、10、31、0、27、27、133、15、0、0]、つまり16進数[0x47、0x26、0x08、0x2C、0xA5、0x07、0x0A、0x1F、0x00、0x1B、0x1B、0x85、0x0F、0x00、0x00]を設定します。また、AFE_CTL1(0x19)に10進数の149つまり16進数の0x95を書き込みます。初期Tx/Rx周波数ミスマッチが $\pm 43.4\text{kHz}$ 未満であれば、 -118dBm の標準的な受信感度が得られます。この例では、FEI(0x11)バイトを読み出すことにより、 $\pm 3\text{kHz}$ の精度で周波数ミスマッチを決定できます。

次のステップは、LO_CTRL_FREQを再設定することで周波数ミスマッチを修正することです。FEIの読出し値が正(または負)の場合、LO_CTRL_FREQを増加(または減少)させます。例えば、FEIの読出し値が -93 の場合、この例ではLO_CTRL_FREQの値を186カウント減らします。更に、IF_SEL = 1、CHF_SEL = 3などの狭帯域幅オプションを選択すると、感度を約 -122dBm まで改善できます。

周波数トラッキング

周波数アクイジションを実現すると、MCUはFEIを読み出し、Tx/Rxの周波数ミスマッチのドリフトを追跡するようにLO_CTRL_FREQを再設定できます。このような周波数トラッキングは、狭帯域幅オプションを選択した場合に有用です。

AFCによって生成される周波数オフセットは次式で表されます。

$$FEI \times \frac{f_{XTAL}}{2^{(IF_SEL + CHF_SEL + 14)}}$$

ここで、FEIは[-112, 112]の範囲の整数です。MCUは、SlaveRX状態でデータ・パケットを認識した直後にFEIを読み出すことができますが、SLAVE_RX_ENをクリアしてデバイスの状態がスタンバイに移行しない限り、LO_CTRL_FREQを変更することはできません。LOシンセサイザの分解能は $f_{XTAL} / 2^{16}$ であるため、MCUはLO_CTRL_FREQを次式のカウント単位で変更できます。

$$FEI \times \frac{4}{2^{(IF_SEL + CHF_SEL)}}$$

自己ポーリングの例

この例では、1%ポーリングのセットアップを定義します。433.92MHzのASKで、データレートを2kbps、IFを200kHz、CHFを170kHzに設定しています。プリアンプル長(0x0CにあるPREAMBLE_CFG1レジスタのPREAM_LEN[3:0])は15に設定し、最終プリアンプル長を16ビットとします。

目標とする1%のポーリング・サイクルに対応するためには、TSBY_TDET_RATIO[6:0]ビットを0x62に設定し、値を98にする必要があります。その結果、デューティ・サイクルは $1/(2 + TSBY_TDET_RATIO) = 1/100$ 、つまり1%になります。16ビットプリアンプルを確実に検出するために、目標とする長さは次のように計算します。

$$16 + 16 - 1 = 31 \text{ bits required}$$

$$31 \text{ bits} \times \frac{1}{\text{datarate}} = 31 \times \frac{1}{2\text{kbps}} = 15.5\text{ms}$$

この条件を満たすには、WUT1(0x17)レジスタのTDET[7:0]ビットをこの時間を超えるように設定する必要があります。したがって、WUT1を0xBCつまり188に設定した場合の待ち時間は次のようになります。

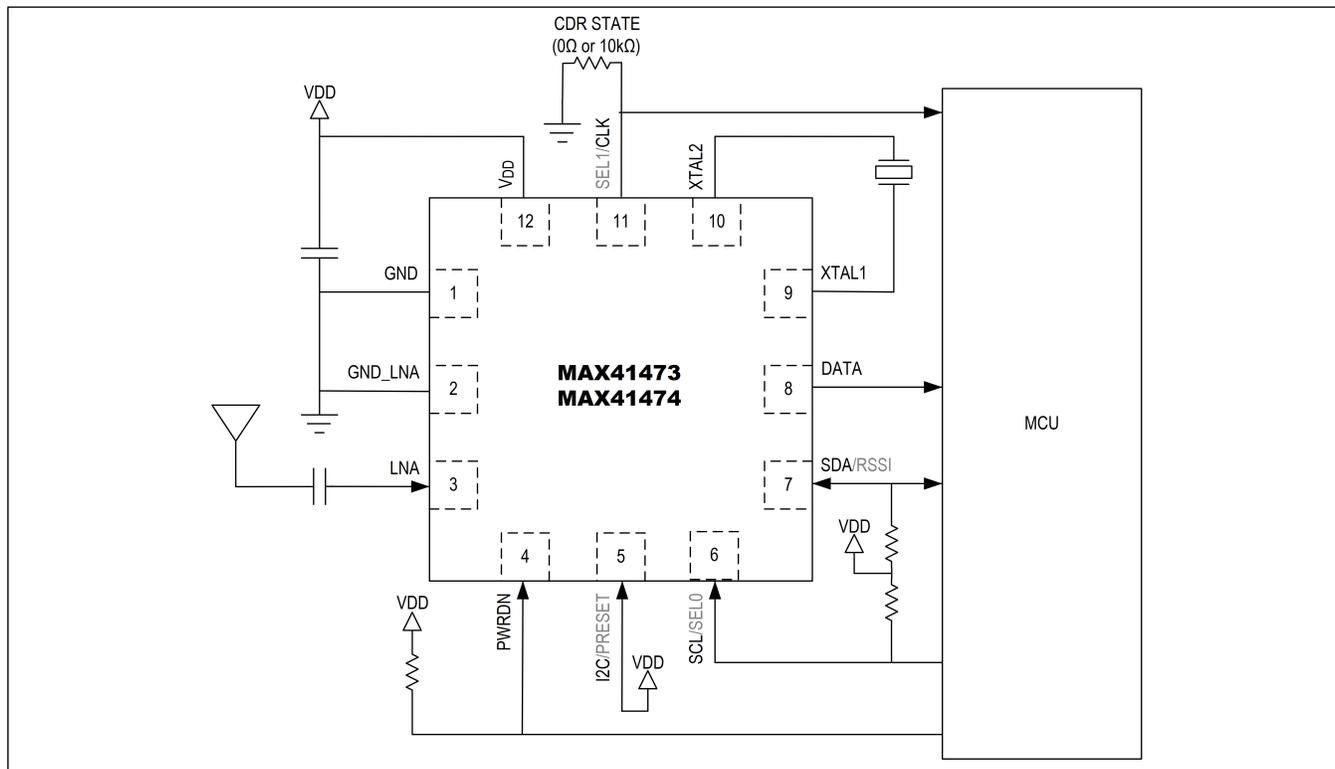
$$0.48\text{ms} + (t_{DET} \times 0.08\text{ms}) = 0.48 + (188 \times 0.08) = 15.52\text{ms}$$

この時間は15.5msの要件を超えています。マンチェスタの0x0000(1と0が交互)とマッチさせるために、PREAMBLE_WORD1とPREAMBLE_WORD2をそれぞれ0x00に設定します。この設定では、アドレス0x00から連続する15バイトに、10進数[70, 38, 8, 36, 167, 9, 10, 31, 0, 27, 27, 133, 15, 0, 0]つまり16進数[0x46, 0x26, 0x08, 0x24, 0xA7, 0x09, 0x0A, 0x1F, 0x00, 0x1B, 0x1B, 0x85, 0x0F, 0x00, 0x00]を書き込みます。更に、10進数の[188, 98, 149]つまり16進数の[0x23, 0x62, 0x95]をそれぞれレジスタ0x17, 0x18, 0x19に書き込みます。

以上を全て設定することにより、PollingRXの時間は15.52ms、待ち時間は1.552sとなります。

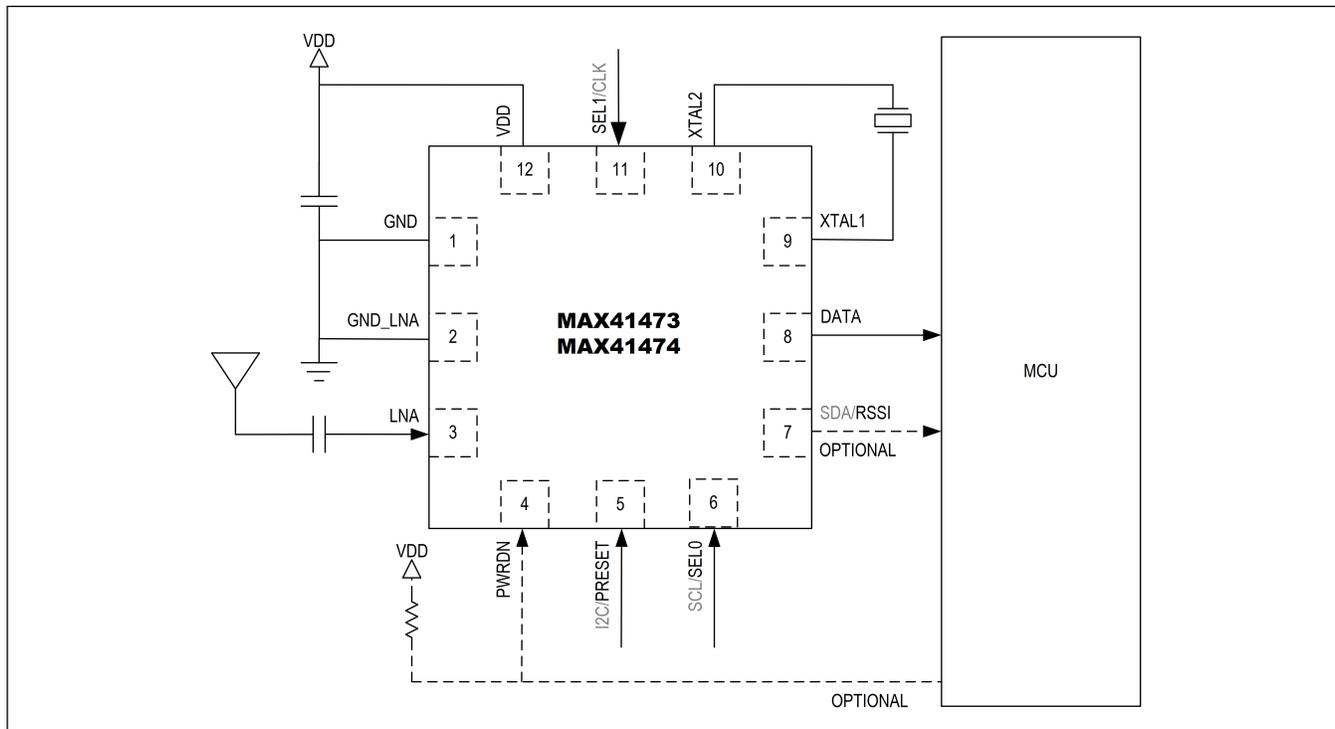
標準アプリケーション回路

I²Cモード (PRESET_I2C = V_{DD})



標準アプリケーション回路(続き)

プリセット・モード(PRESET_I2C = オープンまたはGND)



オーダー情報

PART NUMBER	TEMP RANGE	PIN_PACKAGE
MAX41473GTC+	-40°C to +105°C	12-TQFN
MAX41473GTC+T	-40°C to +105°C	12-TQFN
MAX41474GTC+	-40°C to +105°C	12-TQFN
MAX41474GTC+T	-40°C to +105°C	12-TQFN

+は鉛(Pb)フリー／RoHS準拠パッケージを表します。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	2/21	初版発行	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min, maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。