

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 20 日

製品名： **MAX77646／MAX77647**

対象となるデータシートのリビジョン(Rev)： Rev.0

【訂正部分】

14 頁、電気的特性-グローバル・リソース（続き）の項、最下段の Note3 を本文より削除



MAX77646/MAX77647

長バッテリー寿命の一次セル・アプリケーション向けに
3 出力昇降圧レギュレータと 1 個の LDO を内蔵した
超高設定自由度の SIMO PMIC

概要

MAX77646/MAX77647 は、サイズと効率が重視される低消費電力アプリケーション向けに電源ソリューションを提供します。この IC は、単一インダクタ・マルチ出力 (SIMO) 昇降圧レギュレータを備え、1つのインダクタから3つの個別に設定可能な電源レールを供給することで、ソリューション全体のサイズを最小限に抑えます。150mA の LDO は、オーディオなどのノイズに敏感なアプリケーション用にリップル除去機能を提供します。この LDO は負荷スイッチとして設定することも可能で、不要な時に外部ブロックを切り離すことによって消費電力を管理できます。

MAX77646/MAX77647 は、コイン電池、デュアル酸化銀バッテリー、デュアル・アルカリバッテリー、および LiSOCL₂ の一次バッテリーを用い、1.8V のバッテリー電圧で動作します。

MAX77646 (R_{SEL} バリエーション) の SIMO および LDO の出力電圧は、抵抗を介して個別に設定可能です。ピーク電流制限入力を使用すると、1つの抵抗でデバイスのインダクタの両方のピーク電流制限を設定できます。個別のイネーブル端子と抵抗による柔軟な設定機能を組み合わせることで、デバイスを多くのアプリケーションに合わせて調整できます。

MAX77647 (I²C バリエーション) の SIMO および LDO の出力電圧は、I²C を介して個別に設定可能で、更に代替モードを備えた2つの GPIO を内蔵することによって拡張性を実現しています。双方向 I²C シリアル・インターフェースにより、デバイスの設定やステータスの確認が可能です。内蔵のオン/オフ・コントローラは、レギュレータの起動シーケンスを制御可能で、デバイスがオンの時には監視機能を提供します。出荷時設定可能な数多くのオプションによって、デバイスを多くのアプリケーションに合わせて調整でき、市場投入までの時間を短縮できます。

アプリケーション

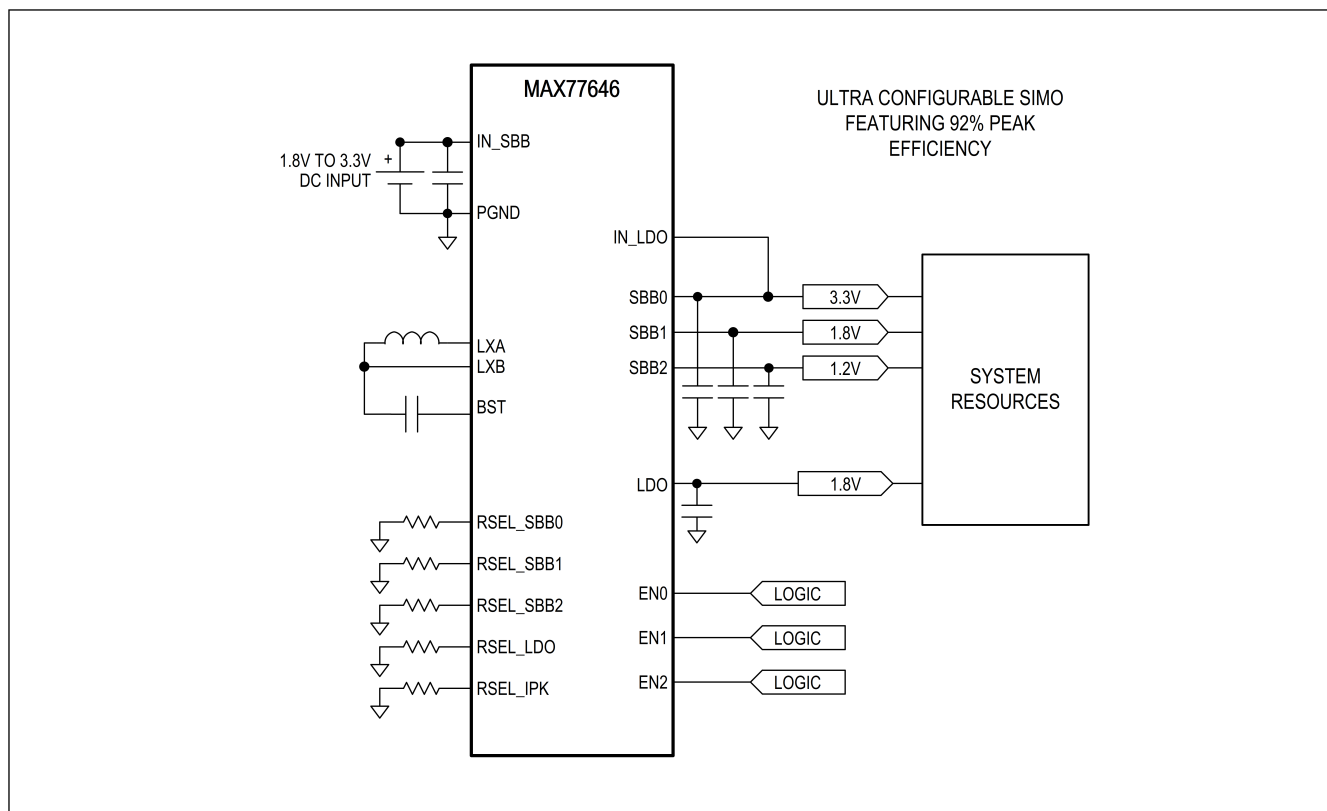
- GNSS モジュール
- IoT 対応ワイヤレス・センサー・ノード
- 家庭用保安セキュリティ・モニタ
- 工場用保安セキュリティ・モニタ
- フィットネス、ヘルス、アクティビティ・トラッカ

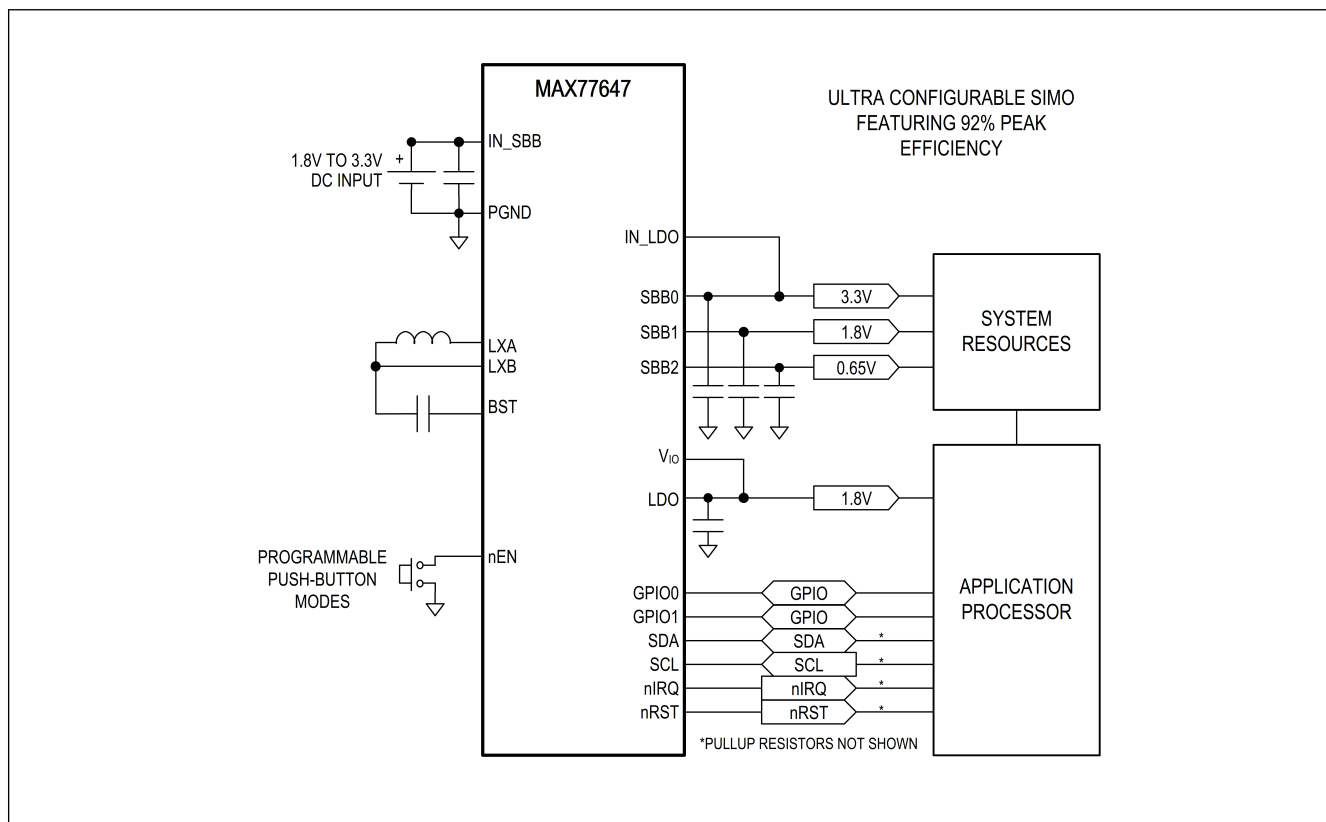
特長と利点

- 入力範囲 : 1.8V ~ 3.3V
- 高集積
 - 3 出力、単一インダクタ・マルチ出力 (SIMO) 昇降圧レギュレータ
 - 広い出力電圧範囲に対応 : 0.5V ~ 5.1V (全 SIMO チャンネル)
 - 1 つの 150mA LDO
 - 100mA (LSW モード時)
 - 2 つの GPIO (MAX77647)
 - ウォッチドッグ・タイマー (MAX77647)
- 超低消費電力 SIMO
 - 動作電流 : 1.3μA (3 つの SIMO チャンネル)
 - シャットダウン電流 : 0.1μA
 - 効率 : 85% (降圧専用モード、V_{IN} = 2.4V、V_{OUT} = 0.8V、10mA、I_{PK} = 0.5A)
 - 効率 : 86% (昇降圧モード、V_{IN} = 2.4V、V_{OUT} = 1.8V、10mA、I_{PK} = 0.5A)
 - 出力リップル : 20mVpp 以下 (V_{OUT} = 1.8V 時)
 - 低消費電力モードから通常消費電力モードへの自動遷移
- 柔軟かつ高設定自由度
 - 設定自由度の極めて高い抵抗設定出力電圧 (MAX77646)
 - 出力電圧を I²C で設定可能 (MAX77647)
- 小型
 - 5mm² のウェハレベルパッケージ (WLP)
 - 20 バンプ、0.5mm ピッチ、5 × 4 アレイ

オーダー情報はデータシート末尾に記載されています。

簡略化したブロック図





目次

概要	1
アプリケーション	1
特長と利点	1
簡略化したブロック図	2
絶対最大定格	9
パッケージ情報	9
WLP	9
電気的特性	10
電気的特性—グローバル・リソース	11
電気的特性—SIMO 昇降圧レギュレータ	14
電気的特性—低ドロップアウト・リニア電圧レギュレータ (LDO) / 負荷スイッチ (LSW)	15
電気的特性—I ² C シリアル通信	17
標準動作特性	18
ピン配置	24
MAX77646	24
MAX77647	25
端子説明	26
詳細	28
型番のデコード	28
概要—グローバル・リソース	31
特長と利点	31
電圧モニタ	31
IN_SBB POR コンパレータ	31
IN_SBB 低電圧ロックアウト・コンパレータ	31
IN_SBB 過電圧ロックアウト・コンパレータ	31
熱モニタ	32
チップ識別	32
nEN イネーブル入力 (MAX77647)	32
EN イネーブル入力 (MAX77646)	32
nEN 手動リセット (MAX77647)	33
nEN のトリプル機能：プッシュボタン、スライドスイッチ、ロジック (MAX77647)	33
nEN の V _{IN_SBB} への内部プルアップ抵抗	33
割込み (nIRQ) (MAX77647)	34
リセット出力 (nRST) (MAX77647)	34
汎用入出力 (GPIO) (MAX77647)	34
代替モード (MAX77647)	36
オン／オフ・コントローラ	36
最上位レベルのオン／オフ・コントローラ (MAX77646)	37
最上位レベルのオン／オフ・コントローラ (MAX77647)	38

目次（続き）

内部ウェイクアップ・フラグ (MAX77647)	39
リセット、オフ、自動ウェイクアップのシーケンス (MAX77647)	40
パワーアップ／パワーダウンのシーケンス (MAX77647)	41
フレキシブル・パワー・シーケンサ (FPS) (MAX77647)	41
nEN による起動タイミング図 (MAX77647)	42
チャンネル強制イネーブル／ディスエーブル (MAX77647)	43
バウンス防止入力 (nEN、GPI) (MAX77647)	43
ウォッチドッグ・タイマー (WDT) (MAX77647)	43
詳細—SIMO 昇降圧レギュレータ	45
SIMO の特長と利点	45
SIMO の詳細ブロック図	46
SIMO の制御方式	46
駆動強度 (MAX77647)	46
SIMO の起動条件	47
SIMO フォールト・インジケータ	47
SIMO 出力電圧の設定	47
ピーク電流の設定	49
SIMO ソフトスタート	49
SIMO レジスタ (MAX77647)	50
SIMO アクティブ放電抵抗	50
SIMO 降圧モード (MAX77647)	50
SIMO 昇圧モード (MAX77647)	51
アプリケーション情報	51
SIMO で利用可能な出力電流	51
インダクタの選択	52
入力コンデンサの選択	52
昇圧コンデンサの選択	52
出力コンデンサの選択	52
SIMO スイッチング周波数	53
未使用出力	53
PCB レイアウト・ガイド	54
コンデンサ	54
IN_SBB の入力コンデンサ	54
SBBx の出力コンデンサ	54
インダクタ	54
グラウンド接続	54
PCB レイアウト例	55
詳細—低ドロップアウト・リニア電圧レギュレータ (LDO) ／負荷スイッチ (LSW)	56
特長と利点	56

目次（続き）

LDO/LSW の簡略ブロック図	56
LDO 出力電圧の設定	56
LDO/LSW のアクティブ放電抵抗	57
LDO/LSW ソフトスタート	58
負荷スイッチの設定	58
アプリケーション情報	59
入力コンデンサの選択	59
出力コンデンサの選択	59
詳細—I ² C シリアル通信	59
概要	59
特長	59
I ² C の簡略ブロック図	60
I ² C のシステム構成	60
I ² C インターフェースの電源	61
I ² C のデータ転送	61
I ² C のスタート・コンディションとストップ・コンディション	61
I ² C のアクノレッジ・ビット	62
I ² C のスレーブ・アドレス	62
I ² C クロック・ストレッチ	63
I ² C ジェネラル・コール・アドレス	63
I ² C デバイス ID	63
I ² C の通信速度	63
I ² C の通信プロトコル	64
単一レジスタへの書込み	64
連続したレジスタへの複数バイト書込み	64
単一レジスタからの読出し	66
連続したレジスタからの読出し	67
レジスタ・マップ	68
MAX77647	68
レジスタの詳細	69
代表的なアプリケーション回路	84
代表的なアプリケーション回路	84
オーダー情報	85
改訂履歴	86

図一覧

図 1. 型番のデコード	28
図 2. EN のプルダウン	32
図 3. nEN 使用時のタイミング図	33
図 4. nEN プルアップ抵抗の構成	34
図 5. GPIOx のブロック図	35
図 6. 最上位レベルのオン/オフ・コントローラ (MAX77646)	37
図 7. 最上位レベルのオン/オフ・コントローラ (MAX77647)	38
図 8. オン/オフ・コントローラのリセットおよびオフ動作のシーケンス	40
図 9. パワーアップ/パワーダウンのシーケンス	41
図 10. フレキシブル・パワー・シーケンスの基本タイミング図	42
図 11. nEN による起動タイミング図	42
図 12. バウンス防止入力	43
図 13. ウォッチドッグ・タイマーのステート・マシン	44
図 14. SIMO の詳細ブロック図	46
図 15. PCB の最上位層と部品の配置例	55
図 16. LDO/LSW の簡略ブロック図	56
図 17. LDO から LSW への遷移波形	58
図 18. I ² C の簡略ブロック図	60
図 19. I ² C のシステム構成	60
図 20. I ² C のスタート・コンディションとストップ・コンディション	61
図 21. アクノレッジ・ビット	62
図 22. スレーブ・アドレスの例	63
図 23. バイト書込みプロトコルによる単一レジスタへの書込み	64
図 24. 連続したレジスタ X~N への書込み	65
図 25. バイト読出しプロトコルによる単一レジスタからの読出し	66
図 26. 連続したレジスタ X~N からの連続読出し	67

表一覧

表 1. レギュレータの概要	28
表 2. バリエーション表	28
表 3. OTP オプション表	29
表 4. GPIO モード	36
表 5. オン/オフ・コントローラの状態遷移 (MAX77646)	37
表 6. オン/オフ・コントローラの状態遷移 (MAX77647)	38
表 7. ウォッチドッグ・タイマーの出荷時設定安全オプション	44
表 8. SBB0 出力電圧の設定	47
表 9. SBB1/2 出力電圧の設定	48
表 10. インダクタ・ピーク電流の設定	49
表 11. 一般的なアプリケーションで利用可能な SIMO 出力電流	51
表 12. スイッチング周波数制御	53
表 13. LDO 出力電圧の設定	57
表 14. I ² C スレーブ・アドレスのオプション	62

絶対最大定格

nEN、nIRQ、nRST～GND	-0.3V～ $V_{IN_SBB} + 0.3V$
V_{IO} ～GND	-0.3V～ $V_{IN_SBB} + 0.3V$
SCL、SDA～GND	-0.3V～+6.0V
GPIO0、GPIO1～GND	-0.3V～+6.0V
nIRQ、nRST、SDA、GPIO 連続電流	±20mA
RSEL_SBB0、RSEL_SBB1、RSEL_SBB2、RSEL_LDO、 RSEL_IPK、EN0、EN1、EN2～GND	-0.3V～ $V_{IN_SBB} + 0.3V$
IN_SBB～PGND	-0.3V～+6.0V
IN_SBB 連続電流 (Note 1)	1.2A _{RMS}
SBB0、SBB1、SBB2～PGND	-0.3V～+6.0V
SBB0、SBB1、SBB2 の短絡時間	連続
BST～IN_SBB	-0.3V～+6.0V

BST～LXB	-0.3V～+6.0V
LXA 連続電流 (Note 2)	1.2A _{RMS}
LXB 連続電流 (Note 2)	1.2A _{RMS}
IN_LDO～PGND	-0.3V～+6.0V
LDO～PGND	-0.3V～ $V_{IN_LDO} + 0.3V$
PGND～GND	-0.3V～+0.3V
動作温度範囲	-40°C～+125°C
ジャンクション温度	+150°C
保存温度範囲	-65°C～+150°C
はんだ処理温度 (リフロー)	+260°C
連続消費電力 (多層基板、 $T_A = +70^\circ\text{C}$ 、 $+70^\circ\text{C}$ を超えると 20.4mW/°C でディレーティング)	1632mW

Note 1 : IN 端子 (IN_SBB または IN_LDO) には、ソースを 10Hz を超えるレートで繰り返しホットプラグしないでください。ロー・インピーダンス・ソースをホットプラグすると、瞬間的に (～2μs) 約 8A の電流スパイクが発生します。

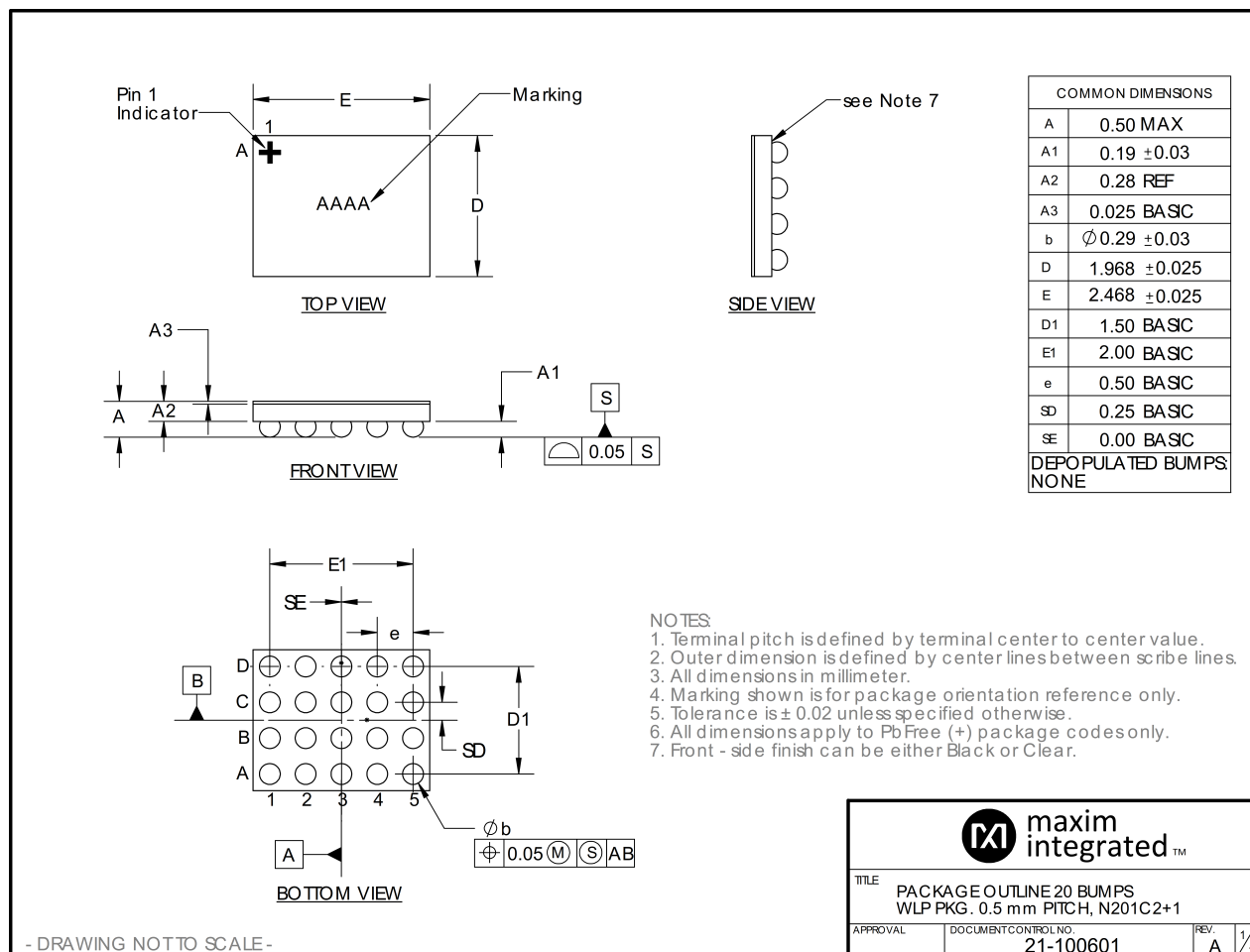
Note 2 : LXA または LXB には外部バイアスをかけないでください。LXA の内部にはクランプ・ダイオードがあり、PGND と IN_SBB に接続されています。LXB の内部には、PGND に接続されたローサイドのクランプ・ダイオードと、選択した SIMO 出力に動的に接続されるハイサイドのクランプ・ダイオードがあります。これらのダイオードは通常、スイッチング・イベント時に短時間導通します。SIMO レギュレータがディスエーブルの時、LXB と PGND の間の絶対最大電圧は-0.3V～ $V_{SBB0} + 0.3V$ です。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

WLP

Package Code	N201C2+1
Outline Number	21-100601
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	46.84



最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-int.com/thermal-tutorial を参照してください。

電气的特性

($V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、 $V_{IO} = 1.8V$ 、限界値は $T_A = +25^\circ C$ で出荷時に 100% テストされています。特に指定のない限り、動作温度範囲 ($T_A = -20^\circ C \sim +85^\circ C$) での限界値は、設計および特性評価によって確保されています。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Voltage Range	V_{IN}			1.8		3.3	V
Shutdown Supply Current	I_{SHDN}	Current measured into IN_SBB; IN_LDO connected to IN_SBB; all resources OFF (LDO, SBB0, SBB1, SBB2); $T_A = +25^\circ C$	Main bias OFF		0.1	0.5	μA

電気的特性（続き）

($V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、 $V_{IO} = 1.8V$ 、限界値は $T_A = +25^{\circ}C$ で出荷時に 100%テストされています。特に指定のない限り、動作温度範囲 ($T_A = -20^{\circ}C \sim +85^{\circ}C$) での限界値は、設計および特性評価によって確保されています。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Quiescent Supply Current	I_Q	Current measured into IN_SBB; IN_LDO connected to IN_SBB; all resources ON (LDO, SBB0, SBB1, SBB2) at no load; watchdog timer disabled	Main bias is in low-power mode (CNFG_GLBL0.SBI A_LPM = 1), SIMO low power enabled		3	6	μA
Quiescent SIMO Supply Current	I_{Q-SIMO}	Current measured into IN_SBB; IN_LDO disconnected from IN_SBB; all SIMO resources ON (SBB0, SBB1, SBB2) at no load; LDO OFF; watchdog timer disabled	Main bias in low-power mode (CNFG_GLBL0.SBI A_LPM = 1); SIMO low power enabled		1.3	3.5	μA
SIMO Supply Current	$I_{IN-SIMO_SBB0}$	Current measured into IN_SBB, IN_LDO disconnected, SBB0 ON at no load, SBB1/2 OFF	Main bias ON in Low-power mode (CNFG_GLBL0.SBI A_LPM = 0); SIMO low power disabled (MAX77646)		30	50	μA
			Main bias ON in normal-power mode (CNFG_GLBL0.SBI A_LPM = 0); SIMO low power disabled (MAX77647)		45	75	

電気的特性-グローバル・リソース

(特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、限界値は $T_A = +25^{\circ}C$ で出荷時に 100%テストされています。動作温度範囲 ($T_A = -20^{\circ}C \sim +85^{\circ}C$) での限界値は、設計および特性評価によって確保されています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Main Bias Enable Time	t_{SBIAS_EN}			1		ms
VOLTAGE MONITORS / POWER-ON RESET (POR)						
POR Threshold	V_{POR}	V_{IN_SBB} falling		1.316		V
POR Threshold Hysteresis				40		mV
VOLTAGE MONITORS / UNDERVOLTAGE LOCKOUT (UVLO)						
UVLO Threshold	$V_{IN_SBB-UVLO}$	V_{IN_SBB} falling	1.46	1.6	1.71	V

電気的特性—グローバル・リソース（続き）

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、限界値は $T_A = +25^{\circ}C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^{\circ}C \sim +85^{\circ}C$ ）での限界値は、設計および特性評価によって確保されています）。

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
UVLO Threshold Hysteresis	V _{INSBB-UVLO-HYS}				150		mV
VOLTAGE MONITORS / OVERVOLTAGE LOCKOUT (OVLO)							
OVLO Threshold	V _{INSBB-OVLO}	V _{INSBB-OVLO} rising		5.65	5.85	6.00	V
THERMAL MONITORS							
Overtemperature-Lockout Threshold	T _{OTLO}	T _J rising			145		°C
Thermal Alarm Temperature 1	T _{JAL1}	T _J rising			80		°C
Thermal Alarm Temperature 2	T _{JAL2}	T _J rising			100		°C
Thermal Alarm Temperature Hysteresis					15		°C
ENABLE INPUT (nEN, ENx)							
nEN Internal Pullup	R _{nEN-PU}	Pullup to V _{IN_SBB}	CNFG_GLBL0.PU_DIS = 0	200			kΩ
			CNFG_GLBL0.PU_DIS = 1	10000			
EN Internal Pulldown	R _{EN-PD}	Pulldown to GND (MAX77646)		50			nA
nEN Input Leakage Current	I _{nEN_LKG}	V _{nEN} = V _{IN_SBB} = V _{IN_LDO} = 3.3V	T _A = +25°C	-1	±0.001	+1	μA
		V _{nEN} = V _{IN_SBB} = V _{IN_LDO} = 3.3V	T _A = +85°C	±0.01			
nEN Input Falling Threshold	V _{TH_nEN_F}	nEN falling		0.4			V
nEN Input Rising Threshold	V _{TH_nEN_R}	nEN rising		1.4			V
EN Input Threshold, High	V _{IH}	Voltage threshold, rising (MAX77646)		1.4			V
EN Input Threshold, Low	V _{IL}	Voltage threshold, falling (MAX77646)		0.4			V
Debounce Time	t _{DBNC_nEN}	CNFG_GLBL0.DBEN_nEN = 0		1			ms
		CNFG_GLBL0.DBEN_nEN = 1		30			
Manual Reset Time	t _{MRST}	CNFG_GLBL0.T_MRST = 1		3	4	5	s
		CNFG_GLBL0.T_MRST = 0		7	8	10.5	
OPEN-DRAIN INTERRUPT OUTPUT (nIRQ)							
Output Voltage Low	V _{OL}	I _{SINK} = 2mA		0.4			V
Output Falling Edge Time	t _{f_nIRQ}	C _{IRQ} = 25pF		2			ns

電気的特性—グローバル・リソース（続き）

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、限界値は $T_A = +25^\circ C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^\circ C \sim +85^\circ C$ ）での限界値は、設計および特性評価によって確保されています）。

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Leakage Current	I _{nIRQ_LKG}	V _{IN_SBB} = V _{IO} = 3.3V nIRQ is high impedance (no interrupts) V _{nIRQ} = 0V and 3.3V	T _A = +25°C	-1	±0.001	+1	µA
			T _A = +85°C	±0.01			
OPEN-DRAIN RESET OUTPUT (nRST)							
Output Voltage Low	V _{OL}	I _{SINK} = 2mA		0.4			V
Output Falling Edge Time	t _{f_nRST}	C _{RST} = 25pF		2			ns
nRST Deassert Delay Time	t _{RSTODD}			5.12			ms
nRST Assert Delay Time	t _{RSTOAD}			10.24			ms
Leakage Current	I _{nRST_LKG}	V _{IN_SBB} = V _{IO} = 3.3V nRST is high impedance (no reset) V _{nRST} = 0V and 3.3V	T _A = +25°C	-1	±0.001	+1	µA
		V _{IN_SBB} = V _{IO} = 3.3V nRST is high impedance (no reset) V _{nRST} = 0V and 3.3V	T _A = +85°C	±0.01			
GENERAL PURPOSE INPUT/OUTPUT (GPIO)							
GPIO Supply Voltage Range				V _{IO}			V
Input Voltage Low	V _{IL}	V _{IO} = 1.8V		0.3 x V _{IO}			V
Input Voltage High	V _{IH}	V _{IO} = 1.8V		0.7 x V _{IO}			V
Input Leakage Current	I _{GPI_LKG}	CNFG_GPIOx.DIR = 1 V _{IO} = 3.3V V _{GPIO} = 0V and 3.3V	T _A = +25°C	-1	±0.001	+1	µA
			T _A = +85°C	±0.01			
Output Voltage Low	V _{OL}	I _{SINK} = 2mA		0.4			V
Output Voltage High	V _{OH}	I _{SOURCE} = 1mA		0.8 x V _{IO}			V
Input Debounce Time	t _{DBNC_GPI}	CNFG_GPIOx.DBEN_GPI = 1		30			ms
Output Falling Edge Time	t _{f_GPIO}	C _{GPIO} = 25pF		3			ns
Output Rising Edge Time	t _{r_GPIO}	C _{GPIO} = 25pF		3			ns

電気的特性—グローバル・リソース（続き）

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、限界値は $T_A = +25^\circ C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^\circ C \sim +85^\circ C$ ）での限界値は、設計および特性評価によって確保されています）。

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
FLEXIBLE POWER SEQUENCER							
FPS Startup Delay	tFPS_DLY				1.43		ms
Power-Up Event Periods	tEN	See Figure 10			1.28		ms
Power-Down Event Periods	tDIS	See Figure 10			2.56		ms
RSEL (MAX77646)							
Select Resistor Detection Time	tRSEL	Total time to detect all five resistors	VIN_SBB = 2.4V, CRSEL < 2pF		4		ms
Required Select Resistor Accuracy	RSEL_TOL	Use the nearest ±1% resistor from the RSEL Selection Table			±1		%

Note 3: アナログ・デバイセズの工場出荷時に設定されます。

電気的特性—SIMO 昇降圧レギュレータ

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、 $C_{SBBx} = 10\mu F$ 、 $L = 1.5\mu H$ 、限界値は $T_A = +25^\circ C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^\circ C \sim +85^\circ C$ ）での限界値は、設計および特性評価によって確保されています）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS / OUTPUT VOLTAGE RANGE (SBB0/1/2)							
Programmable Output Voltage Range				0.5		5.1	V
Output DAC Bits					8		bits
Output DAC LSB Size		0.5V to 5.1V			25		mV
OUTPUT VOLTAGE ACCURACY							
Output Voltage Accuracy		V _{SBBx} falling, threshold where LXA switches high; specified as a percentage of target output voltage	T _A = -40°C to +85°C	-2.0		+2.0	%
OUT Over-Regulation Threshold	V _{OV}	T _A = +25°C			1.7	3.3	%
TIMING CHARACTERISTICS							
Enable Delay		Delay time from the SIMO receiving its first enable signal to when it begins to switch in order to service that output			10		μs
Soft-Start Slew Rate	dV/dt _{SS}	I _{PK} = 1A, C _{OUT} = 10μF			5.0		mV/μs
POWER STAGE CHARACTERISTICS							
LXA Leakage Current		SBB0, SBB1, SBB2 are disabled, V _{IN_SBB} = 3.3V, V _{LXA} = 0V, or 3.3V	T _A = +25°C	-1.0	±0.1	+1.0	μA
			T _A = +85°C		±1.0		

電気的特性-SIMO 昇降圧レギュレータ（続き）

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、 $C_{SBBx} = 10\mu F$ 、 $L = 1.5\mu H$ 、限界値は $T_A = +25^\circ C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^\circ C \sim +85^\circ C$ ）での限界値は、設計および特性評価によって確保されています）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LXB Leakage Current		SBB0, SBB1, SBB2 are disabled, $V_{IN_SBB} = 3.3V$, $V_{LXA} = 0V$ or $3.3V$, all $V_{SBBx} = 3.3V$	$T_A = +25^{\circ}C$	-1.0	± 0.1	+1.0	μA
			$T_A = +85^{\circ}C$	± 1.0			
BST Leakage Current		$V_{IN_SBB} = 3.3V$, $V_{LXB} = 3.3V$, $V_{BST} = 9.3V$	$T_A = +25^{\circ}C$		+0.01	+1.0	μA
			$T_A = +85^{\circ}C$	+0.1			
Disabled Output Leakage Current		SBB0, SBB1, SBB2 are disabled, active-discharge disabled, $V_{SBBx} = 3.3V$, $V_{LXB} = 0V$, $V_{IN_SBB} = V_{BST} = 3.3V$	$T_A = +25^{\circ}C$		+0.1	+1.0	μA
			$T_A = +85^{\circ}C$	+0.2			
Active Discharge Resistance	R_{AD_SBBx}	SBB0, SBB1, SBB2 are disabled, active-discharge enabled (CNFG_SBBx_B.ADE_SBBx = 1)		60	120	180	Ω
CONTROL SCHEME							
Peak Current Limit	I_{P_SBB} (Note 4)			-8%	0.500	+8%	A
				-8%	0.700	+8%	
				-8%	0.910	+8%	

Note 4 : 代表値は、インダクタを使用した規定の条件下でのベンチ観察値と一致しています。最小値および最大値は、インダクタを使用しない DC 電流で出荷時にテストされています。この仕様の詳細については、[標準動作特性](#)に示している SIMO スイッチング波形を参照してください。

電気的特性-低ドロップアウト・リニア電圧レギュレータ（LDO）／負荷スイッチ（LSW）

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、限界値は $T_A = +25^\circ C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^\circ C \sim +85^\circ C$ ）での限界値は、設計および特性評価によって確保されています。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LDO						
Input Voltage Range	V_{IN_LDO}	LDO mode	1.6		5.5	V
		Switch mode	1.1		5.5	
Quiescent Supply Current	I_{IN_LDO}	$I_{OUT_LDO} = 0$		1.4	2.4	μA
		$I_{OUT_LDO} = 0$, switch mode		0.5	1.2	
Quiescent Supply Current in Dropout	$I_{IN_DRP_LDO}$	$I_{OUT_LDO} = 0$, $V_{IN_LDO} = 2.9V$, $V_{LDO} = 3V$		2.1	4.6	μA
Maximum Output Current	I_{OUT_LDO}	$V_{IN_LDO} > 1.8V$	150			mA
		$V_{IN_LDO} = 1.8V$ or lower	100			
Output Voltage (MAX77646)	V_{OUT_LDO}		0.5		4	V
Output Voltage (MAX77647)	V_{OUT_LDO}		0.5		5.0	V

電气的特性—低ドロップアウト・リニア電圧レギュレータ（LDO）／負荷スイッチ（LSW）（続き）

（特に指定のない限り、 $V_{IN_SBB} = V_{IN_LDO} = 2.4V$ 、限界値は $T_A = +25^{\circ}C$ で出荷時に 100%テストされています。動作温度範囲（ $T_A = -20^{\circ}C \sim +85^{\circ}C$ ）での限界値は、設計および特性評価によって確保されています。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Accuracy		$V_{IN_LDO} = (V_{OUT_LDO} + 0.5V)$ or higher, $I_{OUT_LDO} = 1mA$	-3.1		+3.1	%
Dropout Voltage	V_{DRP_LDO}	$V_{IN_LDO} = 3V$, LDO programmed to 3V, $I_{OUT_LDO} = 100mA$			100	mV
Line Regulation		$V_{IN_LDO} = (V_{OUT_LDO} + 0.5V)$ to 5.5V	-0.5		+0.5	%/V
Load Regulation		$V_{IN_LDO} = 1.8V$ or higher, $I_{OUT_LDO} = 100\mu A$ to 100mA		0.001	0.005	%/mA
Line Transient		$V_{IN_LDO} = 4V$ to 5V, 5 μs rise time		± 35		mV
Load Transient		$I_{OUT_LDO} = 100\mu A$ to 10mA, 200ns rise time		100		mV
		$I_{OUT_LDO} = 100\mu A$ to 100mA, 200ns rise time		200		
Active-Discharge Resistance	R_{AD_LDO}		42	80	200	Ω
Switch Mode On-Resistance	R_{ON_LDO}	$V_{IN_LDO} = 2.7V$, $I_{OUT_LDO} = 100mA$			0.5	Ω
		$V_{IN_LDO} = 1.8V$, $I_{OUT_LDO} = 50mA$			0.8	
		$V_{IN_LDO} = 1.2V$, $I_{OUT_LDO} = 5mA$			1.2	
Slew Rate		$I_{OUT_LDO} = 0mA$, time from 10% to 90% of final register value, $C_{OUT_LDO} = 1\mu F$		2.2		V/ms
		$I_{OUT_LDO} = 0mA$, time from 10% to 90% of final register value, $C_{OUT_LDO} = 1\mu F$, switch mode		2.2		
Short-Circuit Current Limit		$V_{IN_LDO} = 2.7V$, $V_{OUT_LDO} = GND$	190	550	910	mA
		$V_{IN_LDO} = 2.7V$, $V_{OUT_LDO} = GND$, switch mode	40	255		
Output Noise		10Hz to 100kHz, $V_{IN_LDO} = 5V$, $V_{OUT_LDO} = 3.3V$		150		μV_{RMS}
		10Hz to 100kHz, $V_{IN_LDO} = 5V$, $V_{OUT_LDO} = 2.5V$		125		
		10Hz to 100kHz, $V_{IN_LDO} = 5V$, $V_{OUT_LDO} = 1.2V$		90		
		10Hz to 100kHz, $V_{IN_LDO} = 5V$, $V_{OUT_LDO} = 0.9V$		80		
Output DAC Bits				8		bits
Output DAC LSB Size				25		mV

電気的特性-I²C シリアル通信

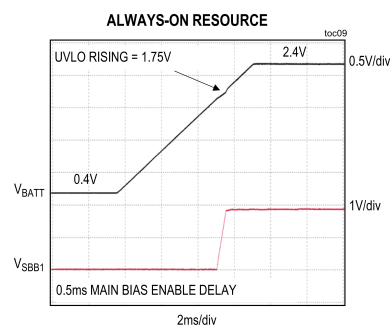
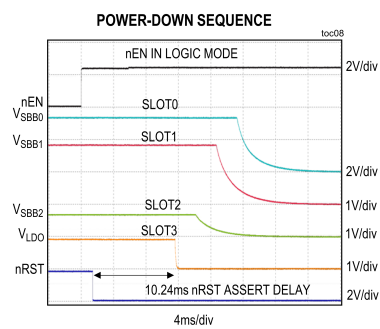
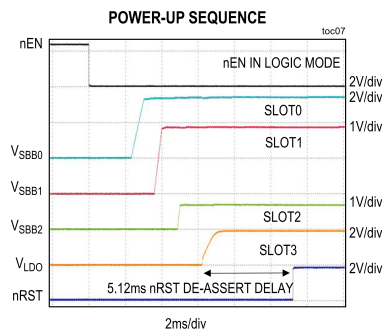
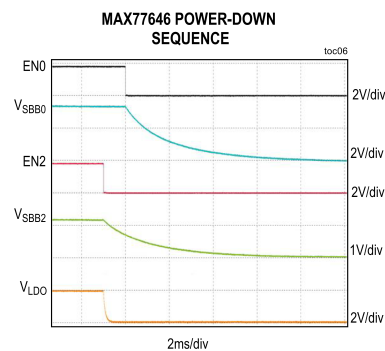
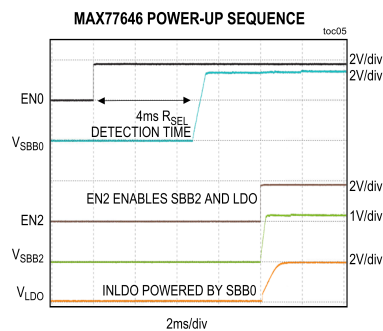
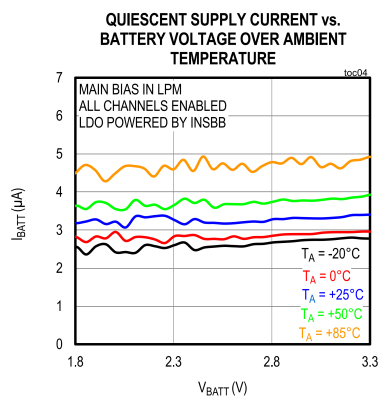
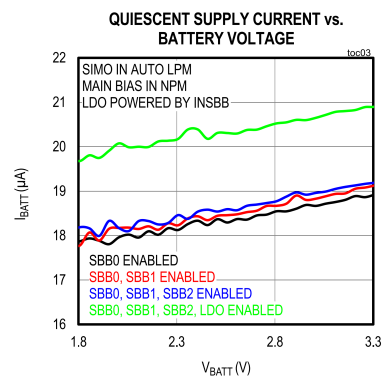
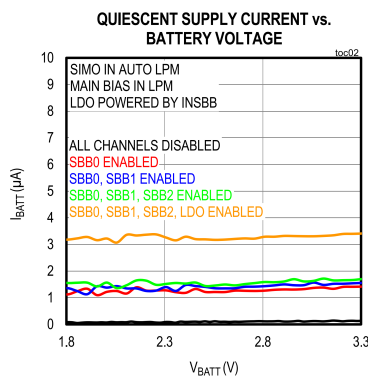
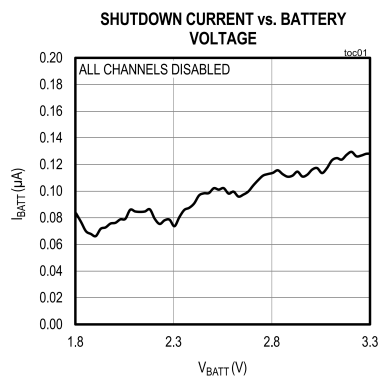
(特に指定のない限り、 $V_{IN} = 2.4V$ 、 $V_{IO} = 1.8V$ 、限界値は $T_A = +25^{\circ}C$ で出荷時に 100%テストされています。動作温度範囲 ($T_A = -20^{\circ}C \sim +85^{\circ}C$) での限界値は、設計および特性評価によって確保されています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
V _{IO} Voltage Range	V _{IO}		1.7	1.8	3.6	V
V _{IO} Bias Current		V _{IO} = 3.6V, V _{SDA} = V _{SCL} = 0V or 3.6V, T _A = +25°C	-1	0	+1	μA
		V _{IO} = 1.7V, V _{SDA} = V _{SCL} = 0V or 1.7V	-1	0	+1	
SDA AND SCL I/O STAGE						
SCL, SDA Input High Voltage	V _{IH}	V _{IO} = 1.7V to 3.6V	0.7 x V _{IO}			V
SCL, SDA Input Low Voltage	V _{IL}	V _{IO} = 1.7V to 3.6V	0.3 x V _{IO}			V
SCL, SDA Input Hysteresis	V _{HYS}		0.05 x V _{IO}			V
SCL, SDA Input Leakage Current	I _I	V _{IO} = 3.6V, V _{SCL} = V _{SDA} = 0V and 3.6V	-10	+10		μA
SDA Output Low Voltage	V _{OL}	Sinking 20mA	0.4			V
SCL, SDA Pin Capacitance	C _I		10			pF
Max Output Fall Time from V _{IH} to V _{IL}	t _{OF} (Note 5)		120			ns
I ² C COMPATIBLE INTERFACE TIMING (STANDARD) (Note 5)						
Clock Frequency	f _{SCL}		0	1000		kHz
Hold Time (REPEATED) START Condition	t _{HD_STA}		0.26			μs
SCL Low Period	t _{LOW}		0.5			μs
SCL High Period	t _{HIGH}		0.26			μs
Setup Time REPEATED START Condition	t _{SU_STA}		0.26			μs
Data Hold Time	t _{HD_DAT}		0			μs
Data Setup Time	t _{SU_DAT}		50			ns
Setup Time for STOP Condition	t _{SU_STO}		0.26			μs
Bus Free Time between STOP and START Condition	t _{BUF}		0.5			μs
Pulse Width of Suppressed Spikes	t _{SP}	Maximum pulse width of spikes that must be suppressed by the input filter	50			ns

Note 5: 設計ガイドラインのみ。出荷テストの対象外です。

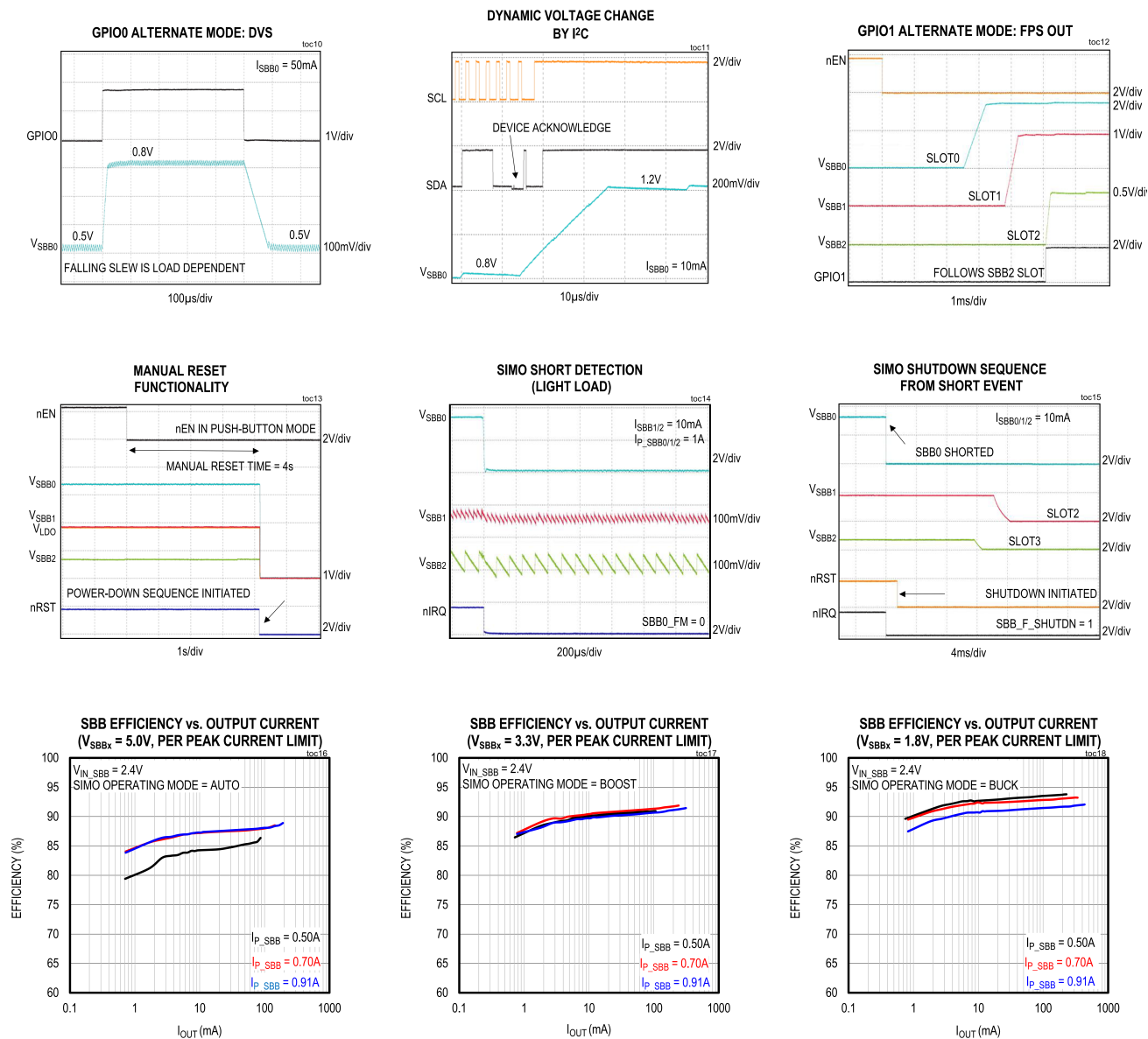
標準動作特性

(標準アプリケーション回路。特に指定のない限り、 $V_{IN_SBB} = 2.4V$ 、 $V_{IO} = 1.8V$ 、 $T_A = +25^{\circ}C$ 、SIMO 自動動作モード、 $V_{SBB0} = 3.3V$ 、 $I_{P_SBB0} = 0.5A$ 、 $V_{SBB1} = 1.8V$ 、 $I_{P_SBB1} = 0.5A$ 、 $V_{SBB2} = 0.65V$ 、 $I_{P_SBB2} = 0.5A$ 。インダクタ = DFE201612E-1R5M、 $1.5\mu H$ 、 $72m\Omega$)



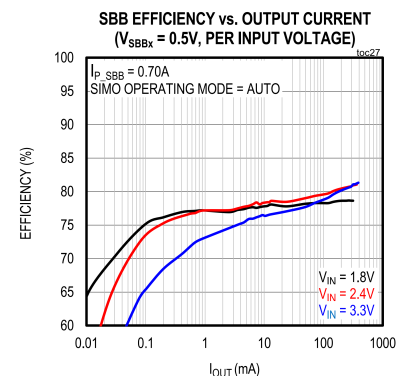
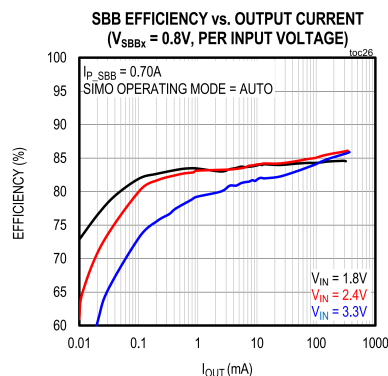
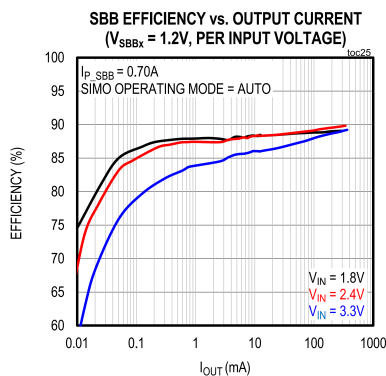
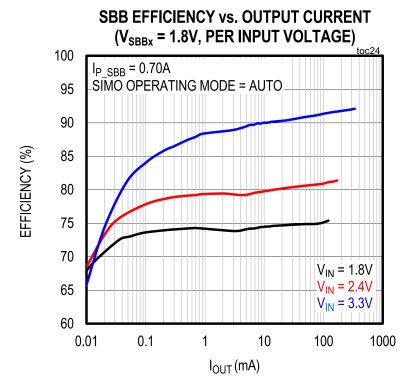
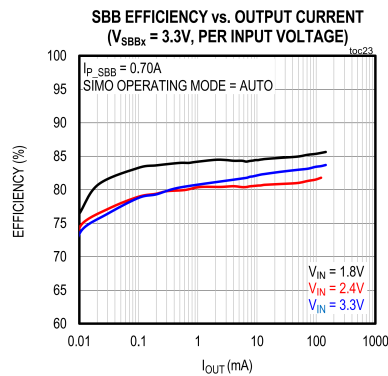
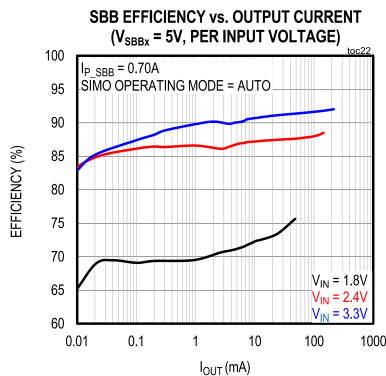
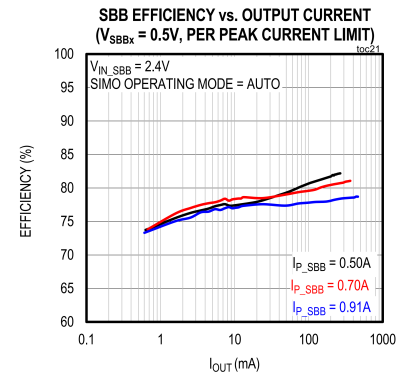
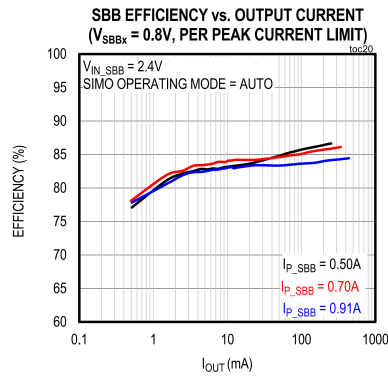
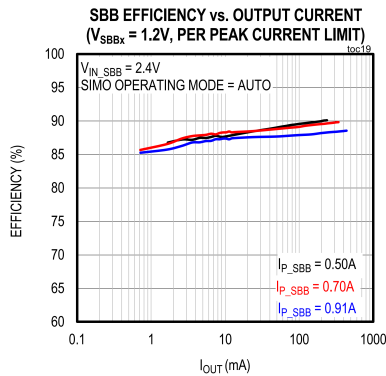
標準動作特性（続き）

（標準アプリケーション回路。特に指定のない限り、 $V_{IN_SBB} = 2.4V$ 、 $V_{IO} = 1.8V$ 、 $T_A = +25^{\circ}C$ 、SIMO 自動動作モード、 $V_{SBB0} = 3.3V$ 、 $I_{P_SBB0} = 0.5A$ 、 $V_{SBB1} = 1.8V$ 、 $I_{P_SBB1} = 0.5A$ 、 $V_{SBB2} = 0.65V$ 、 $I_{P_SBB2} = 0.5A$ 。インダクタ = DFE201612E-1R5M、 $1.5\mu H$ 、 $72m\Omega$ ）



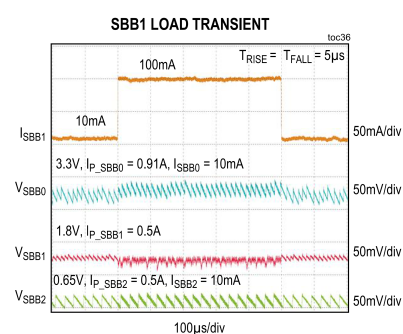
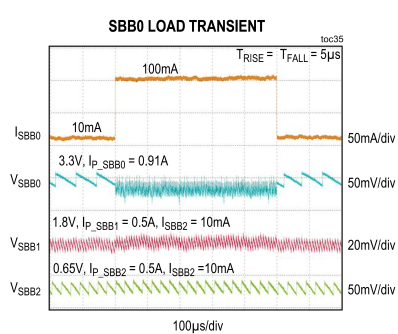
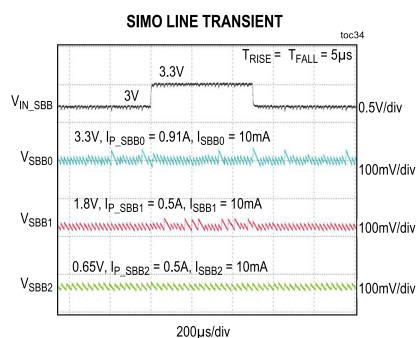
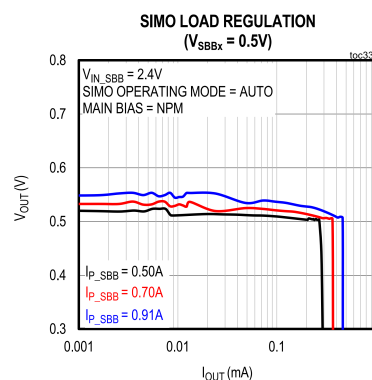
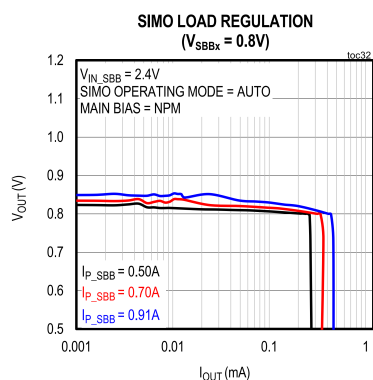
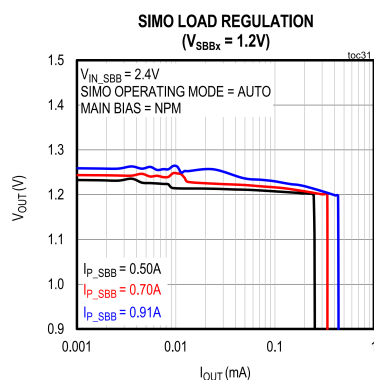
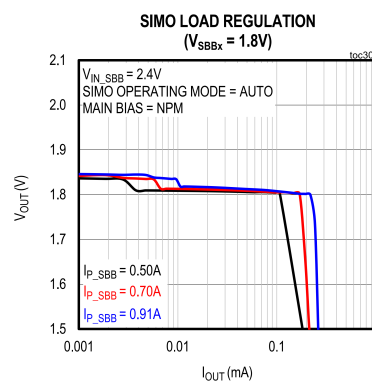
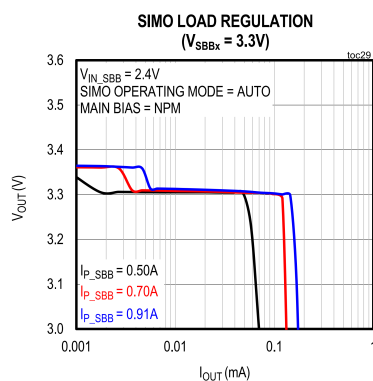
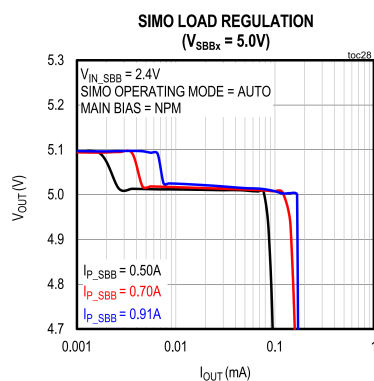
標準動作特性（続き）

（標準アプリケーション回路。特に指定のない限り、 $V_{IN_SBB} = 2.4V$ 、 $V_{IO} = 1.8V$ 、 $T_A = +25^\circ C$ 、SIMO 自動動作モード、 $V_{SBB0} = 3.3V$ 、 $I_{P_SBB0} = 0.5A$ 、 $V_{SBB1} = 1.8V$ 、 $I_{P_SBB1} = 0.5A$ 、 $V_{SBB2} = 0.65V$ 、 $I_{P_SBB2} = 0.5A$ 。インダクタ = DFE201612E-1R5M、 $1.5\mu H$ 、 $72m\Omega$ ）



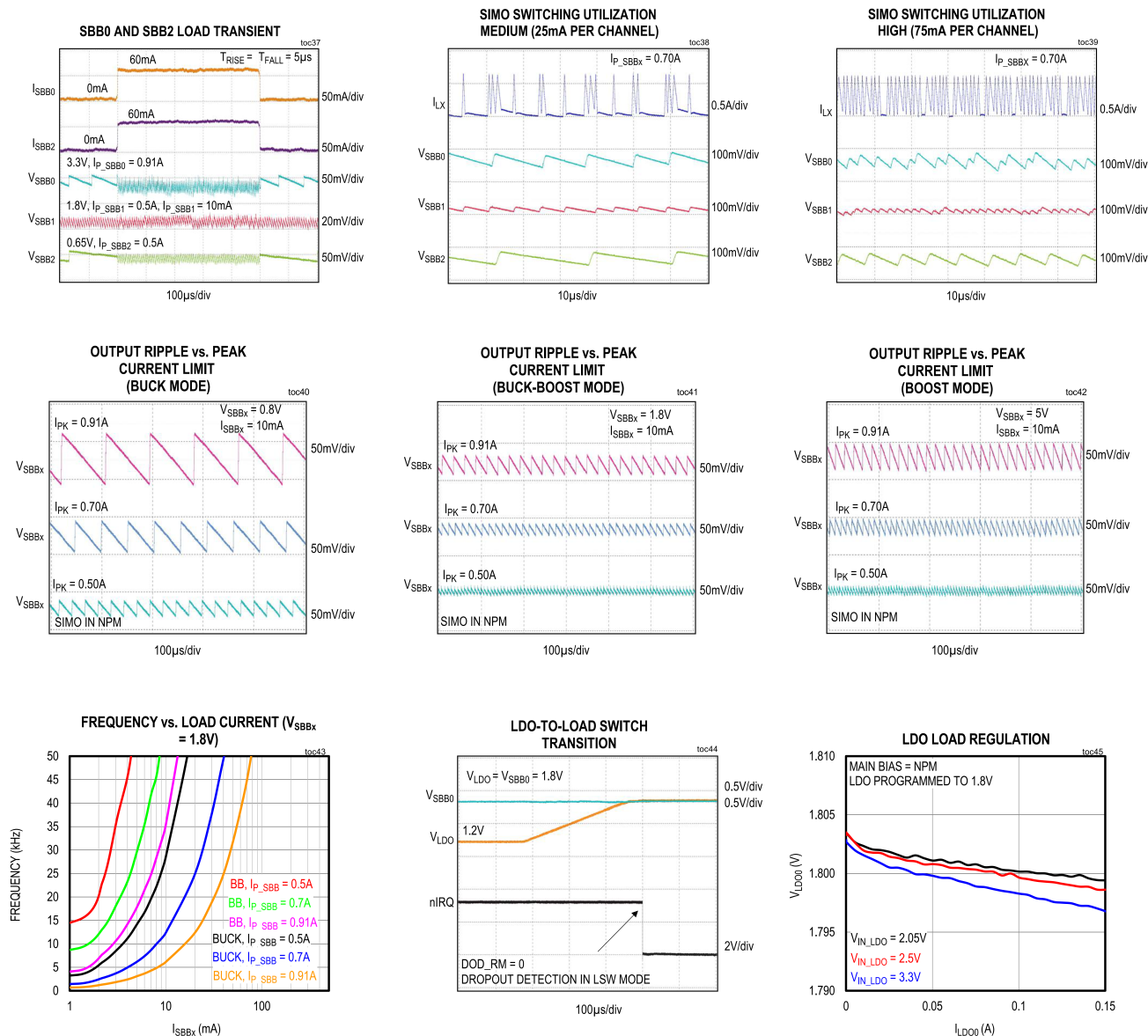
標準動作特性（続き）

（標準アプリケーション回路。特に指定のない限り、 $V_{IN_SBB} = 2.4V$ 、 $V_{IO} = 1.8V$ 、 $T_A = +25^{\circ}C$ 、SIMO 自動動作モード、 $V_{SBB0} = 3.3V$ 、 $I_{P_SBB0} = 0.5A$ 、 $V_{SBB1} = 1.8V$ 、 $I_{P_SBB1} = 0.5A$ 、 $V_{SBB2} = 0.65V$ 、 $I_{P_SBB2} = 0.5A$ 。インダクタ = DFE201612E-1R5M、 $1.5\mu H$ 、 $72m\Omega$ ）



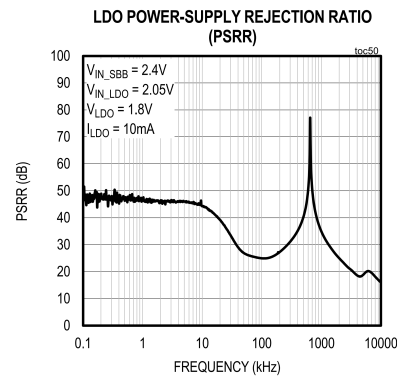
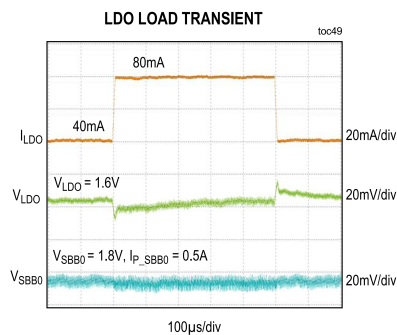
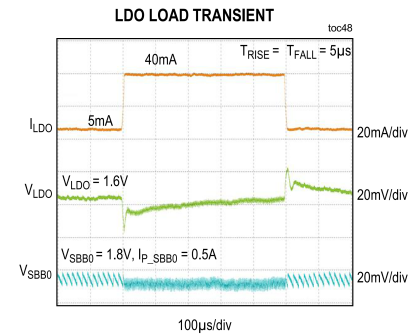
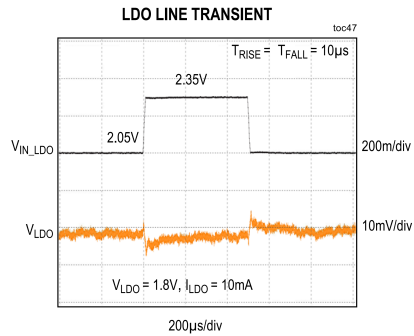
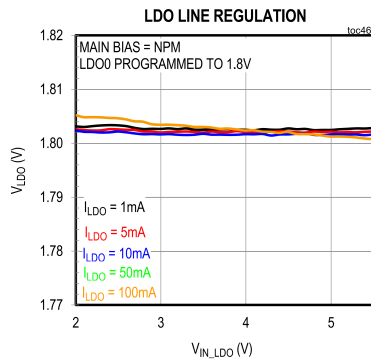
標準動作特性（続き）

（標準アプリケーション回路。特に指定のない限り、 $V_{IN_SBB} = 2.4V$ 、 $V_{IO} = 1.8V$ 、 $T_A = +25^\circ C$ 、SIMO 自動動作モード、 $V_{SBB0} = 3.3V$ 、 $I_{P_SBB0} = 0.5A$ 、 $V_{SBB1} = 1.8V$ 、 $I_{P_SBB1} = 0.5A$ 、 $V_{SBB2} = 0.65V$ 、 $I_{P_SBB2} = 0.5A$ 。インダクタ = DFE201612E-1R5M、 $1.5\mu H$ 、 $72m\Omega$ ）



標準動作特性（続き）

（標準アプリケーション回路。特に指定のない限り、 $V_{IN_SBB} = 2.4V$ 、 $V_{IO} = 1.8V$ 、 $T_A = +25^{\circ}C$ 、SIMO 自動動作モード、 $V_{SBB0} = 3.3V$ 、 $I_{P_SBB0} = 0.5A$ 、 $V_{SBB1} = 1.8V$ 、 $I_{P_SBB1} = 0.5A$ 、 $V_{SBB2} = 0.65V$ 、 $I_{P_SBB2} = 0.5A$ 。インダクタ = DFE201612E-1R5M、 $1.5\mu H$ 、 $72m\Omega$ ）

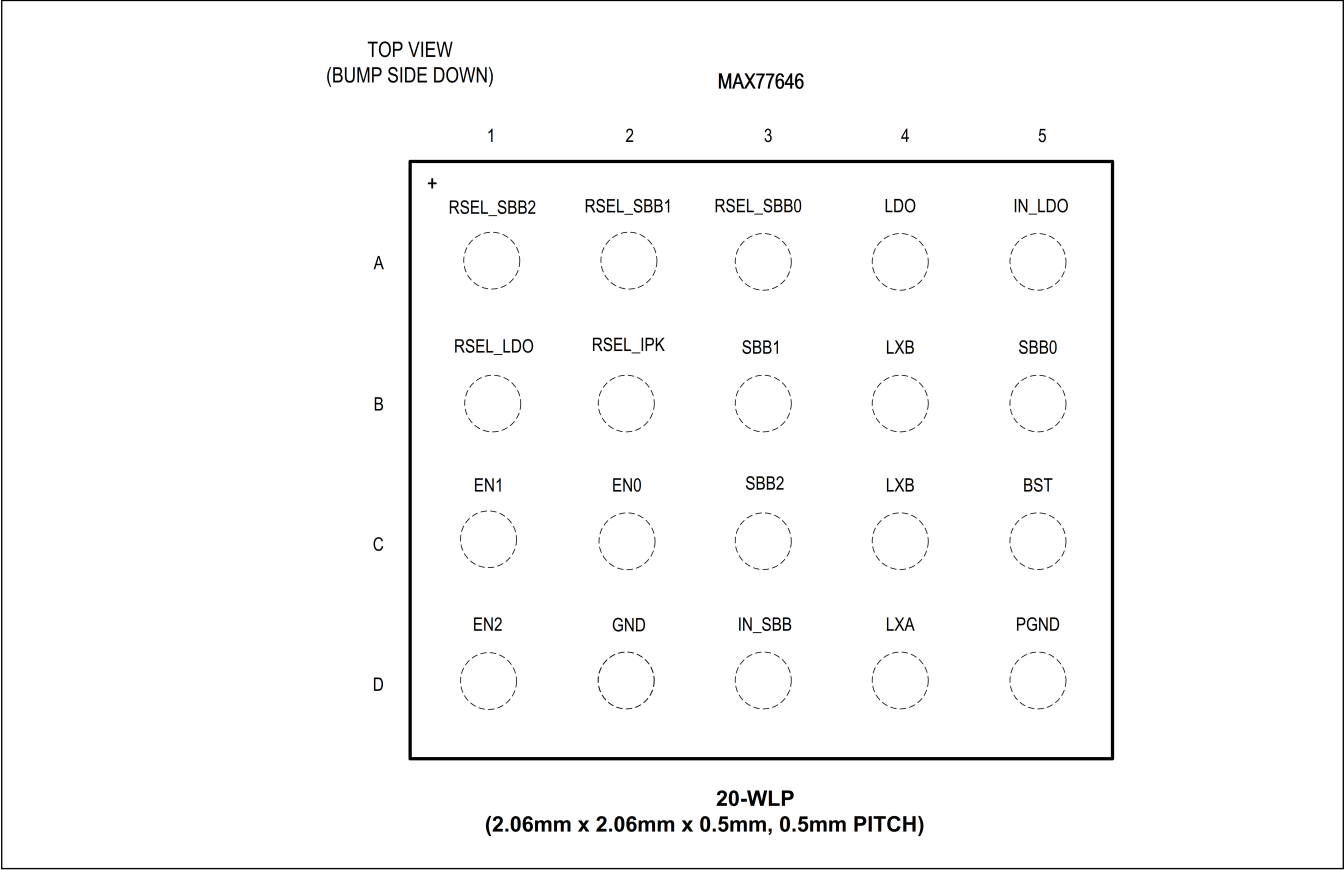


MAX77646/MAX77647

長バッテリー寿命の一次セル・アプリケーション向けに
3 出力昇降圧レギュレータと 1 個の LDO を内蔵した
超高設定自由度の SIMO PMIC

ピン配置

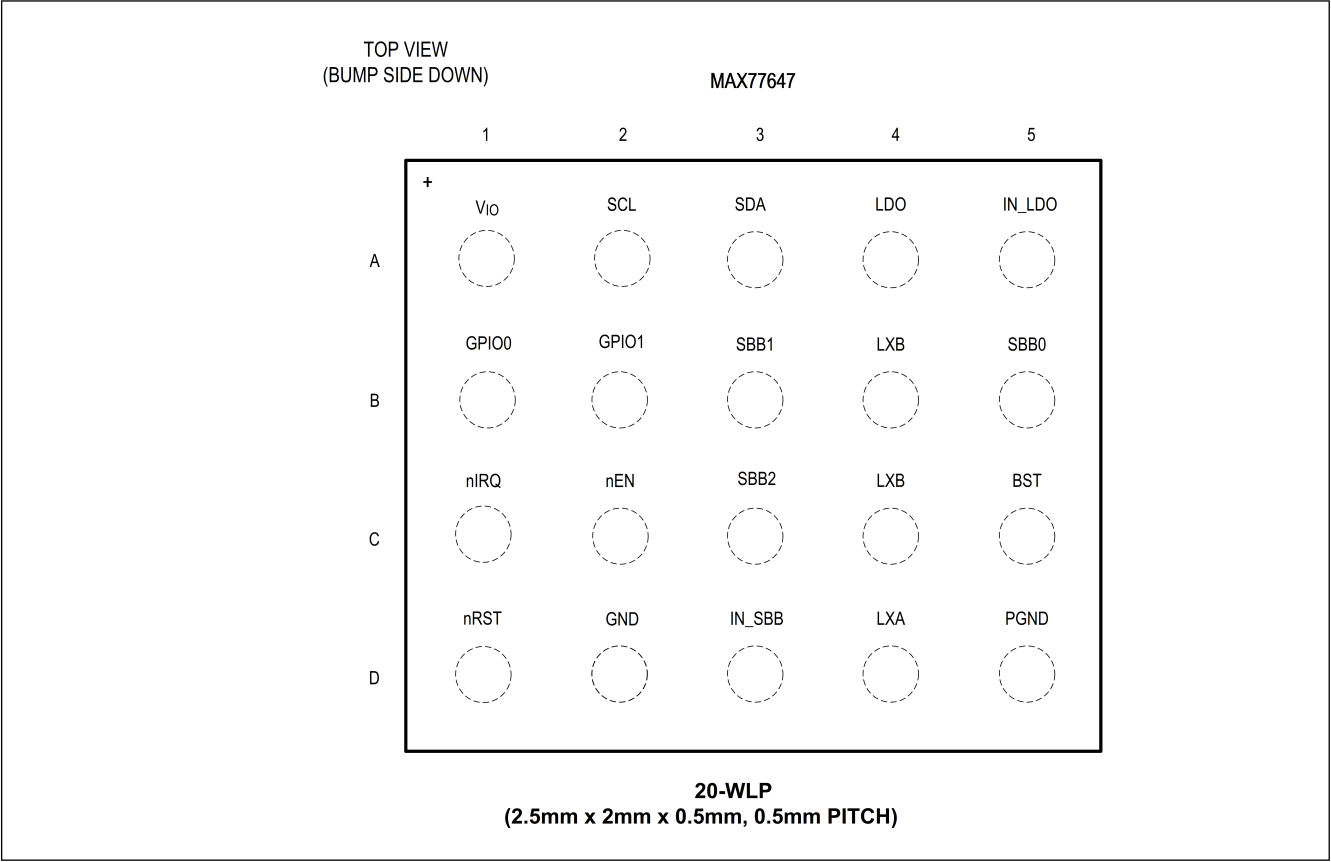
MAX77646



MAX77646/MAX77647

長バッテリー寿命の一次セル・アプリケーション向けに
3 出力昇降圧レギュレータと 1 個の LDO を内蔵した
超高設定自由度の SIMO PMIC

MAX77647



端子説明

ピン		名称	説明	タイプ
MAX77646	MAX77647			
最上位レベル				
—	A1	V _{IO}	I ² C インターフェースおよび GPIO ドライバ電源	Power Input
—	A2	SCL	I ² C クロック	Digital Input
—	A3	SDA	I ² C データ	Digital I/O
—	B1	GPIO0	汎用入出力。GPIO の I/O ステージは内部で V _{IO} によりバイアスされます。	Digital I/O
—	B2	GPIO1	汎用入出力。GPIO の I/O ステージは内部で V _{IO} によりバイアスされます。	Digital I/O
—	C1	nIRQ	アクティブロー、オープンドレインの割込み出力。nIRQ と V _{IN_SBB} 以下の電圧の間に 100kΩ のプルアップ抵抗を接続します。	Digital Output
—	C2	nEN	アクティブローのイネーブル入力。nEN はプッシュボタンまたはスライドスイッチの構成に対応できます。使用しない場合は、nEN を SYS に接続し、CNFG_SBBx_B.EN_SBBx[2:0]および CNFG_LDO_B.EN_LDO[2:0]ビットフィールドでチャンネルをイネーブルにします。	Digital Input
—	D1	nRST	アクティブロー、オープンドレインのリセット出力。nRST と V _{IN_SBB} 以下の電圧の間に 100kΩ のプルアップ抵抗を接続します。	Digital Output
A1	—	RSEL_SBB2	SBB2 の選択抵抗端子。この端子から GND に抵抗を接続して、SBB2 の出力電圧を設定します。	Resistor Input
A2	—	RSEL_SBB1	SBB1 の選択抵抗端子。この端子から GND に抵抗を接続して、SBB1 の出力電圧を設定します。	Resistor Input
A3	—	RSEL_SBB0	SBB0 の選択抵抗端子。この端子から GND に抵抗を接続して、SBB0 の出力電圧を設定します。	Resistor Input
B1	—	RSEL_LDO	LDO の選択抵抗端子。この端子から GND に抵抗を接続して、LDO の出力電圧を設定します。	Resistor Input
B2	—	RSEL_IPK	IPK の選択抵抗端子。この端子から GND に抵抗を接続して、ピーク・インダクタ電流を設定します。	Resistor Input
C1	—	EN1	SBB1 のイネーブル入力。ハイにすると、出力レギュレーションがイネーブルになります。ローにすると、出力がディスエーブルになります。	Digital Input
C2	—	EN0	SBB0 のイネーブル入力。ハイにすると、出力レギュレーションがイネーブルになります。ローにすると、出力がディスエーブルになります。	Digital Input
D1	—	EN2	SBB2 および LDO のイネーブル入力。ハイにすると、出力レギュレーションがイネーブルになります。ローにすると、出力がディスエーブルになります。	Digital Input
D2	D2	GND	低ノイズのグラウンド。GND を PGND、および PCB 上のロー・インピーダンスのグラウンド・プレーンに接続します。	Ground
SIMO 昇降圧レギュレータ				
B3	B3	SBB1	SIMO 昇降圧レギュレータの出力 1。SBB1 は、SIMO 昇降圧レギュレータのチャンネル 1 の電源出力です。SBB1 を 22μF のセラミック・コンデンサで PGND にバイパスします。使用しない場合は、 未使用出力 のセクションを参照してください。	Power Output
B4, C4	B4, C4	LXB	スイッチングノード B。LXB は、SBBx がイネーブルの時に PGND と SBBx の間で駆動されます。全ての SIMO チャンネルがディスエーブルの時は、LXB は PGND に駆動されます。LXA と LXB の間に 1.5μH のインダクタを接続します。	Power Input
B5	B5	SBB0	SIMO 昇降圧レギュレータの出力 0。SBB0 は、SIMO 昇降圧レギュレータのチャンネル 0 の電源出力です。SBB0 を 22μF のセラミック・コンデンサで PGND にバイパスします。使用しない場合は、 未使用出力 のセクションを参照してください。	Power Output

端子説明（続き）

ピン		名称	説明	タイプ
MAX77646	MAX77647			
C3	C3	SBB2	SIMO 昇降圧出力 2。SBB2 は、SIMO 昇降圧チャンネル 2 の電源出力です。SBB0 を 22 μ F のセラミック・コンデンサで PGND にバイパスします。使用しない場合は、 未使用出力 のセクションを参照してください。	Power Output
C5	C5	BST	ハイサイド出力 NMOS ドライバ用の SIMO 電源入力。BST と LXB の間に 10nF のセラミック・コンデンサを接続します。	Power Input
D3	D3	IN_SBB	SIMO 電源入力。IN_SBB 端子のできるだけ近くで、10 μ F 以上のセラミック・コンデンサで PGND にバイパスします。	Power Input
D4	D4	LXA	スイッチングノード A。いずれかの SIMO チャンネルがイネーブルの時、LXA は PGND と IN_SBB の間で駆動されます。全ての SIMO チャンネルがディスエーブルの時は、LXA は PGND に駆動されます。LXA と LXB の間に 1.5 μ H のインダクタを接続します。	Power I/O
D5	D5	PGND	SIMO ローサイド FET 用の電源グラウンド。PGND を GND および PCB 上のロー・インピーダンスのグラウンド・プレーンに接続します。	Ground
LDO				
A4	A4	LDO	リニア電圧レギュレータ出力。1.0 μ F のセラミック・コンデンサで GND にバイパスします。使用しない場合は、LDO をディスエーブルにして、この端子をグラウンドに接続するか、未接続のままにします。	Power Output
A5	A5	IN_LDO	リニア電圧レギュレータ入力。短いパターンで SIMO 出力に接続する場合、IN_LDO は出力のコンデンサを共有できます。そうしない場合は、2.2 μ F のセラミック・コンデンサでグラウンドにバイパスします。使用しない場合は、グラウンドに接続するか、未接続のままにします。	Power Input

MAX77646/MAX77647

長バッテリー寿命の一次セル・アプリケーション向けに
3 出力昇降圧レギュレータと 1 個の LDO を内蔵した
超高設定自由度の SIMO PMIC

詳細

MAX77646/MAX77647 は、低消費電力アプリケーション向けに高度に統合化された電源管理ソリューションを提供します。

このデバイスには 4 つのレギュレータが集積されています (表 1 を参照)。単一インダクタ・マルチ出力 (SIMO) 昇降圧レギュレータは、個別に設定可能な 3 つの電源レールを効率的に供給します。150mA の低ドロップアウト・リニア電圧レギュレータ (LDO) は、オーディオや他のノイズに敏感なアプリケーション用にリップル除去機能を提供します。

MAX77647 は、様々なシステム条件に対応する代替モードを備えた 2 つの GPIO など、他の機能も備えています。双方向 I²C シリアル・インターフェースにより、デバイスの設定やステータスの確認が可能です。内部のオン/オフ・コントローラは、デバイスのレギュレータ・シーケンス機能とモニタ機能を提供します。

表 1. レギュレータの概要

REGULATOR NAME	REGULATOR TOPOLOGY	MAXIMUM I _{OUT} (mA)	V _{IN} RANGE (V)	MAX77647 V _{OUT} RANGE/ RESOLUTION
SBB0	SIMO	Up to 500*	1.8 to 3.3	0.5V to 5.1V in 25mV steps
SBB1	SIMO		1.8 to 3.3	0.5V to 5.1V in 25mV steps
SBB2	SIMO		1.8 to 3.3	0.5V to 5.1V in 25mV steps
LDO	PMOS LDO	150	1.8 to 3.3	0.5V to 5.0V in 25mV steps

* 他の SBBx チャンネルとコンデンサを共有。詳細については、SIMO で利用可能な出力電流のセクションを参照してください。

型番のデコード

MAX77647 には、様々なアプリケーションをサポートするために、様々なワнтаイム・プログラマブル (OTP) オプションとバリエーションがあります。OTP オプションは、出力電圧などのデフォルト設定を設定します。バリエーションは、異なる機能を持った MAX77647 のバージョンです。これらの識別方法については、型番のデコードのセクションを参照してください。表 2 と表 3 に、利用可能な全てのバリエーションと OTP オプションをそれぞれ示します。詳細については、アナログ・デバイセズの製品名の表記方法を参照してください。

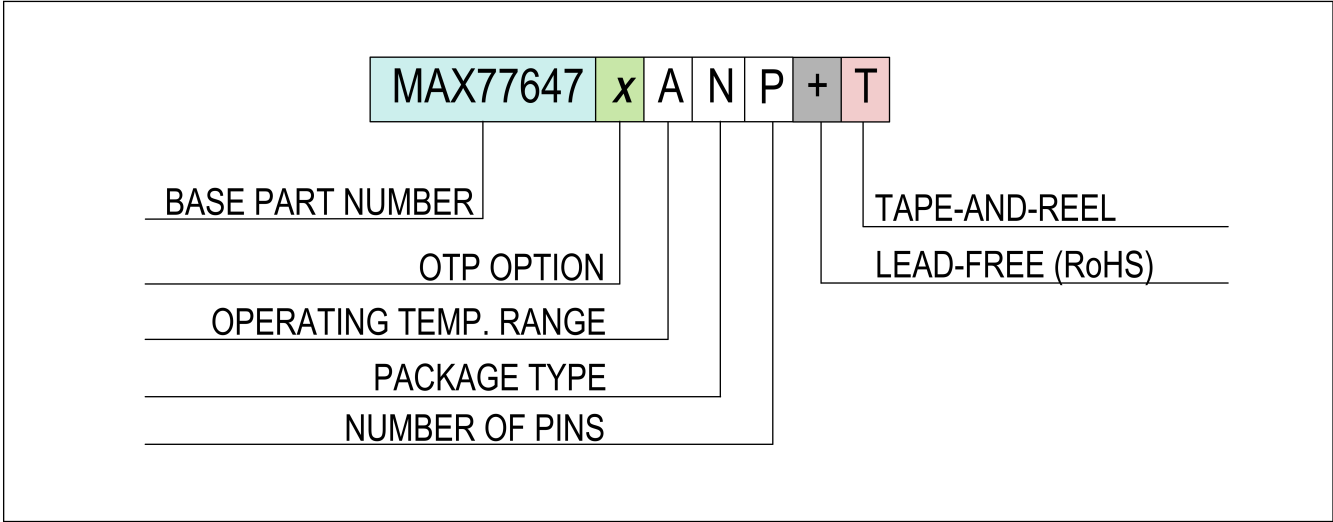


図 1. 型番のデコード

表 2. バリエーション表

PART NUMBER	MAX77646	MAX77647
Resistor Programmable Output Voltages	Yes	No
Resistor Programmable Peak Current	Yes	No

表 2. バリエーション表（続き）

Supports LDO/LSW	Yes	Yes
Include GPIOs	No	Yes
Individual Enable Pins for LDO and SIMO Outputs	Yes	No
Programmable Flexible Power Sequencer	No	Yes
Watchdog Timer	No	Yes
Supports I ² C Serial Communication	No	Yes

表 3. OTP オプション表

			OTP LETTER AND SETTINGS
BLOCK	BIT FIELD NAME	SETTING NAME	A
Global	SBIA_LPM	Bias Low-Power Mode	LPM
	DBEN_nEN	nEN Debounce Time	500μs
	nEN_MODE	nEN Mode	Push-Button
	T_MRST	Manual Reset Time	4s
	GPIO_LPM	SIMO Power Mode	LPM
	ALT_GPIO0	GPIO0 Mode	GPIO
	ALT_GPIO1	GPIO1 Mode	GPIO
	ADDR	I ² C Address (7-Bit)	0x48
	CID[4:0]	Chip ID	0x01
Watchdog	WDT_LOCK	Watchdog Timer Disable Control	Unlocked
	WDT_EN	Watchdog Timer Enable	Disabled

表 3. OTP オプション表 (続き)

SIMO	SBB_F_SHUTDN	SBB Shutdown from SBB Faults	Disabled
	TV_SBB0[7:0]	SBB0 V_{OUT}	3.300V
	IP_SBB0[1:0]	SBB0 Inductor Current Peak Limit	0.500A
	OP_MODE[1:0] (SBB0)	SBB0 Operating Mode	Automatic
	ADE_SBB0	Active-Discharge Resistor Enable	Enabled
	EN_SBB0[2:0]	SBB0 Enable Control	OFF
	TV_SBB1[7:0]	SBB1 V_{OUT}	1.800V
	IP_SBB1[1:0]	SBB1 Inductor Current Peak Limit	0.500A
	OP_MODE[1:0] (SBB1)	SBB1 Operating Mode	Automatic
	ADE_SBB1	Active-Discharge Resistor Enable	Enabled
	EN_SBB1[2:0]	SBB1 Enable Control	FPS Slot 1
	TV_SBB2[7:0]	SBB2 V_{OUT}	0.650V
	IP_SBB2[1:0]	SBB2 Inductor Current Peak Limit	0.500A
	OP_MODE[1:0] (SBB2)	SBB2 Operating Mode	Automatic
	ADE_SBB2	Active-Discharge Resistor Enable	Enabled
	EN_SBB2[2:0]	SBB2 Enable Control	OFF
LDO	TV_OFS_LDO and TV_LDO[6:0]	LDO V_{OUT}	1.800V
	LDO_MD	LDO or LSW Mode	LDO
	ADE_LDO	Active-Discharge Resistor Enable	Enabled
	EN_LDO[2:0]	LDO Enable Control	OFF

詳細-グローバル・リソース

グローバル・リソースには、デバイス全体を機能させるための回路や、安全性、一貫性、信頼性の高い動作を確保するための回路が含まれています。

特長と利点

- 電圧モニタ
 - IN のパワーオン・リセット (POR) コンパレータの電圧モニタは、パワーアップ時にリセット信号を生成します
 - IN の低電圧モニタは、デバイスへの電源の投入／切断時に再現性のある動作を確保します
 - IN の過電圧モニタは、過電圧電源での動作を抑制し、障害のある環境での信頼性を確保します
- 熱モニタ
 - +145°C のジャンクション温度シャットダウン
- 手動リセット
 - 4 秒または 8 秒の周期
- ウェイクアップ・イベント
 - nEN 入力アサート
- 割込みハンドラ
 - 割込み出力 (nIRQ)
 - 全ての割込みはマスク可能
- プッシュボタン／スライドスイッチ／ロジック・モードのオンキー (nEN)
 - 設定可能なプッシュボタン／スライドスイッチ機能
 - 500 μ s または 30ms のバウンス防止タイマーがメカニカル・スイッチと直接インターフェース
- オン／オフ・コントローラ
 - 起動／シャットダウンのシーケンス制御
 - 設定可能なシーケンス遅延
- GPIO、nRST のデジタル I/O

電圧モニタ

このデバイスは入力電圧 (IN_SBB および IN_LDO) をモニタし、3 つのコンパレータ (POR、UVLO、OVLO) を用いて適切な動作を確保します。これらのコンパレータにはヒステリシスがあり、ノイズの多いシステム遷移時に出力が状態間で切り替わるのを防止します。

IN_SBB POR コンパレータ

IN_SBB POR コンパレータは V_{IN_SBB} をモニタし、パワーオン・リセット (POR) 信号を生成します。 V_{IN_SBB} が V_{POR} を下回ると、デバイスはリセット状態に保持されます。 V_{IN_SBB} が V_{POR} を上回ると、内部信号とオンチップ・メモリが安定し、デバイスはリセットが解除されます。

IN_SBB 低電圧ロックアウト・コンパレータ

IN_SBB 低電圧ロックアウト (UVLO) コンパレータは V_{IN_SBB} をモニタし、 V_{IN_SBB} が UVLO スレッショルドを下回ると INSBB_UVLO 信号を生成します。INSBB_UVLO 信号は、最上位のデジタル・コントローラに送られます。UVLO コンパレータの詳細については、[図 6](#)、[表 5](#)、[図 7](#)、[表 6](#) を参照してください。

IN_SBB 過電圧ロックアウト・コンパレータ

このデバイスの最大動作電圧 (V_{IN_SBB}) は 5.5V で、絶対最大入力電圧は 6.0V です。過電圧ロックアウト・モニタは、電源電圧が V_{INSBB_OVLO} を上回った場合に動作を禁止することで、デバイスの堅牢性を向上させます。OVLO コンパレータの詳細については、[図 6](#)、[表 5](#)、[図 7](#)、[表 6](#) を参照してください。

熱モニタ

MAX77647 は、次の 3 つのグローバルな熱センサーを内蔵しています。

- ジャンクション温度アラーム 1 → 80°C
- ジャンクション温度アラーム 2 → 100°C
- ジャンクション温度シャットダウン → 145°C

ジャンクション温度アラームには、ステータス・ビットと、マスク可能な立上がり割込みがあります（詳細は、[レジスタ・マップ](#)のセクションを参照）。これら温度アラームのマスク解除は全てのシステムで推奨されます。第 1 のアラームがトリガされた場合、システム・ソフトウェアはシステムの消費電力を低下させるように試みる必要があります。第 2 のアラームがトリガされた場合、消費電力を低下させる試みが失敗したため、システム・ソフトウェアはデバイスの電源をオフにする必要があります。最後に、ジャンクション温度がジャンクション温度シャットダウンの温度まで上昇した場合、MAX77647 は ERCFLAG.TOVLD ビットをセットして、自動的に電源をオフにします。

ジャンクション温度シャットダウンのイベント後、システムを再びイネーブルにすることができます。システム・ソフトウェアは、初期化時に ERCFLAG レジスタを読み出して、ERCFLAG.TOVLD = 1 であることを確認し、極端な熱イベントが発生したことを記録できます。

チップ識別

MAX77647 は、デフォルト出力電圧の設定などのために、様々なワнтаイム・プログラマブル (OTP) オプションを備えています。これらのオプションはチップ識別番号で識別され、CID レジスタで読み出すことができます。

nEN イネーブル入力 (MAX77647)

nEN はバウンス防止機能を内蔵したアクティブローのデジタル入力で、通常はシステムのオンキーから入力されます。バウンス防止時間は CNFG_GLBLx.DBEN_nEN で設定できます。この入力の主な目的は、PMIC に対してウェイクアップ信号を生成し、レギュレータをオンにさせることです。代替機能として、nEN に対してマスク可能な立上がり／立下がり割込み (INT_GLBLx.nEN_R および INT_GLBLx.nEN_F) が利用可能です。

nEN 入力は、プッシュボタン (CNFG_GLBL0.nEN_MODE = 0b00)、スライドスイッチ (CNFG_GLBL0.nEN_MODE = 0b01)、またはロジック・モード (CNFG_GLBL0.nEN_MODE = 0b10) のいずれかで動作するように設定できます。詳細については[図 3](#)を参照してください。プッシュボタン・モードとスライドスイッチ・モードの両方では、オン／オフ・コントローラは nEN 入力の立下がりエッジを検出して、パワーアップ・シーケンスを開始します。

EN イネーブル入力 (MAX77646)

MAX77646 は、SIMO 出力のオン／オフ状態を個別に制御する 3 つのイネーブル端子を備えています。各イネーブル端子をハイにすると、それに対応する SIMO 出力がオンになります。各イネーブル端子では、グラウンドへ 50nA のプルダウン電流が流れます ([図 2](#)を参照)。常時オンのアプリケーションでは、この端子をハイに接続できます。EN 端子は未接続のままにしないでください。

EN2 は、SBB2 出力と LDO レギュレータの両方のオン／オフ状態を一緒に制御します。

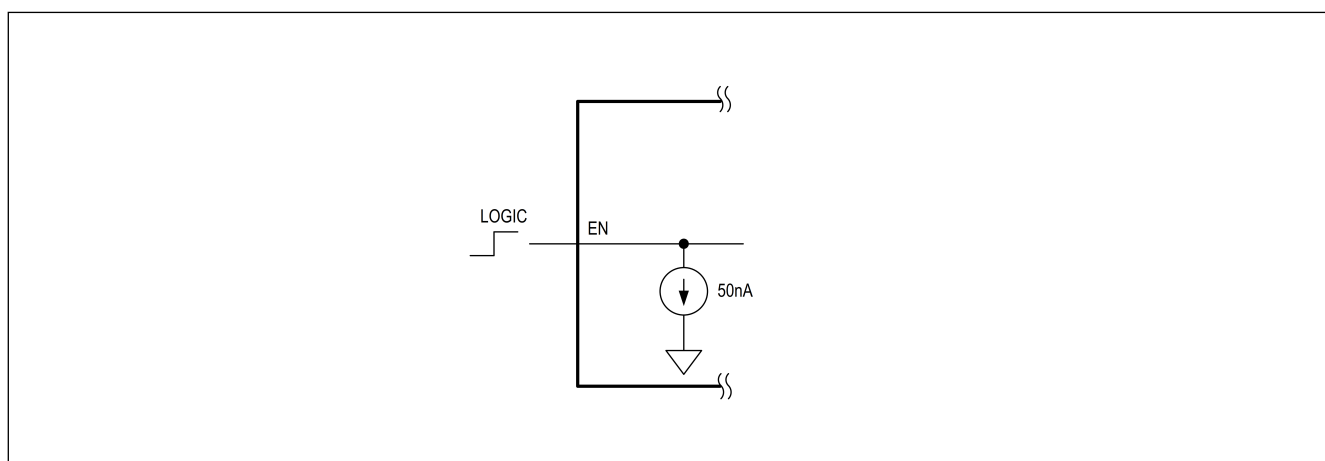


図 2. EN のプルダウン

nEN 手動リセット (MAX77647)

nEN は、オン/オフ・コントローラが「リソースオン」状態の時、手動リセット入力として機能します。手動リセット機能は、プロセッサとの通信に失敗した場合に強制的にパワーダウンを行うのに便利です。nEN がプッシュボタン・モードに設定され、入力が長時間 (t_{MRST}) アサート (nEN = ロー) されると、オン/オフ・コントローラはパワーダウン・シーケンスを開始し、シャットダウン・モードに移行します。nEN がスライドスイッチ・モードに設定され、入力が長時間 (t_{MRST}) アサート解除 (nEN = ハイ) されると、オン/オフ・コントローラはパワーダウン・シーケンスを開始し、スタンバイ・モードに移行します。nEN がロジック・モードに設定され、入力がアサート (nEN = ロー) されると、オン/オフ・コントローラはパワーアップ・シーケンスを開始し、リソースオン・モードになります。入力がアサート解除 (nEN = ハイ) されると、オン/オフ・コントローラはパワーダウン・シーケンスを開始し、シャットダウン・モードに移行します。

nEN のトリプル機能：プッシュボタン、スライドスイッチ、ロジック (MAX77647)

nEN デジタル入力は、プッシュボタン、スライドスイッチ、またはロジックの入力で動作するように設定できます。図 3 は、パワーオン・シーケンスと手動リセットに対する nEN のトリプル機能を示しています。デバイスのデフォルト設定はプッシュボタン・モード (CNFG_GLBL0.nEN_MODE = 0b00) で、追加のプログラミングは必要ありません。スライドスイッチのオンキー設定およびロジック設定を使用するアプリケーションでは、 t_{MRST} 以内にそれぞれ CNFG_GLBL0.nEN_MODE = 0b01 および CNFG_GLBL0.nEN_MODE = 0b10 を設定する必要があります。

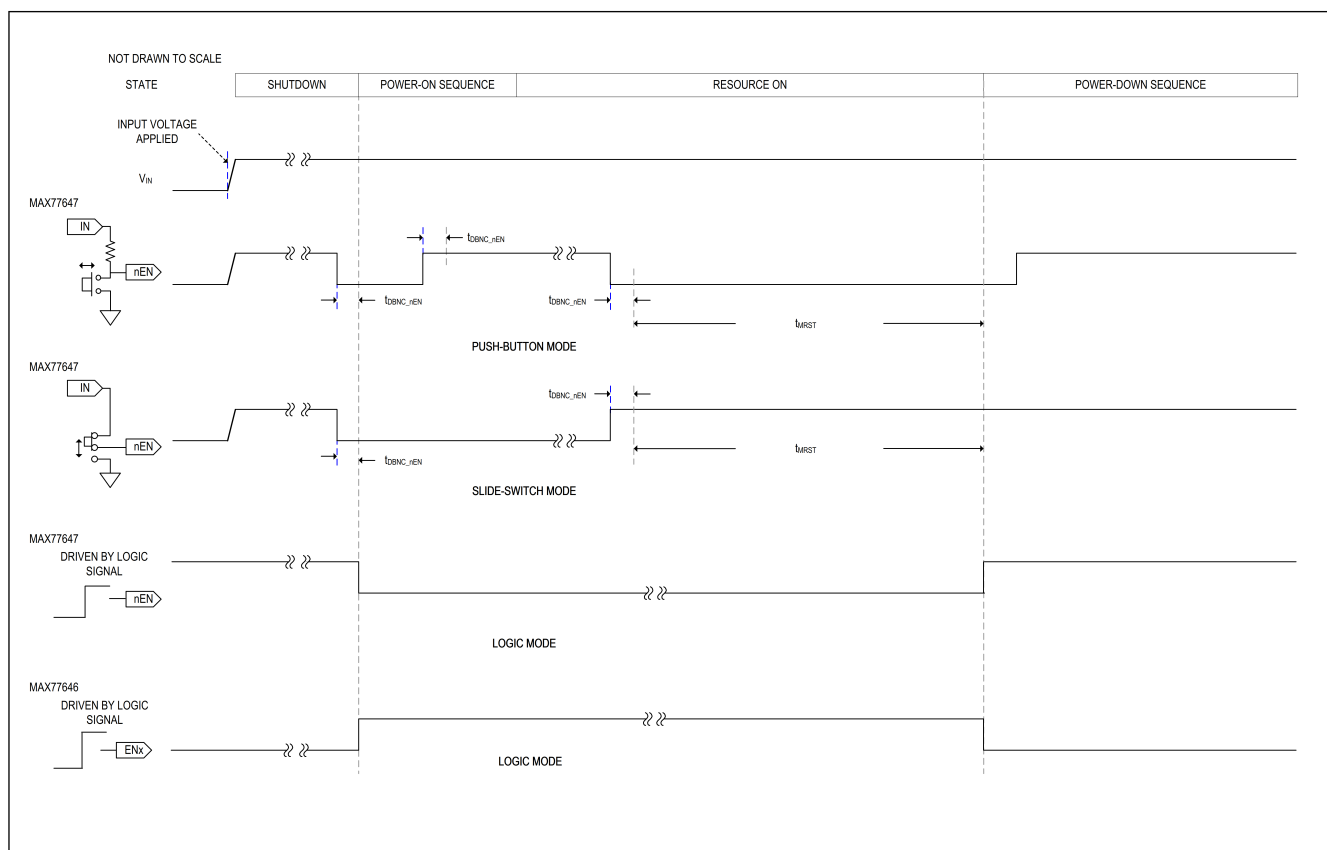


図 3. nEN 使用時のタイミング図

nEN の V_{IN_SBB} への内部プルアップ抵抗

nEN のロジックスレッシュホールドは V_{IN_SBB} を基準とします。nEN と V_{CCINT} (R_{nEN_PU}) の間には内部プルアップ抵抗があり、CNFG_GLBL0.PU_DIS ビットで設定できます。図 4 を参照してください。PU_DIS=0 の時、プルアップ値は約 200kΩ です。PU_DIS=1 の時、プルアップ値は 10MΩ です。

スライドスイッチのオンキーまたはプッシュブルのデジタル出力を nEN に接続するアプリケーションでは、プルアップ強度を 10MΩ に変更することで、自己消費電流を低減できます。ノーマリオープン、モメンタリ、およびプッシュボタンのオンキーを使用するアプリケーション (図 4 を参照) では、このようなリーク経路が発生しないため、より強力な 200kΩ プルアップ・オプションを使用します。

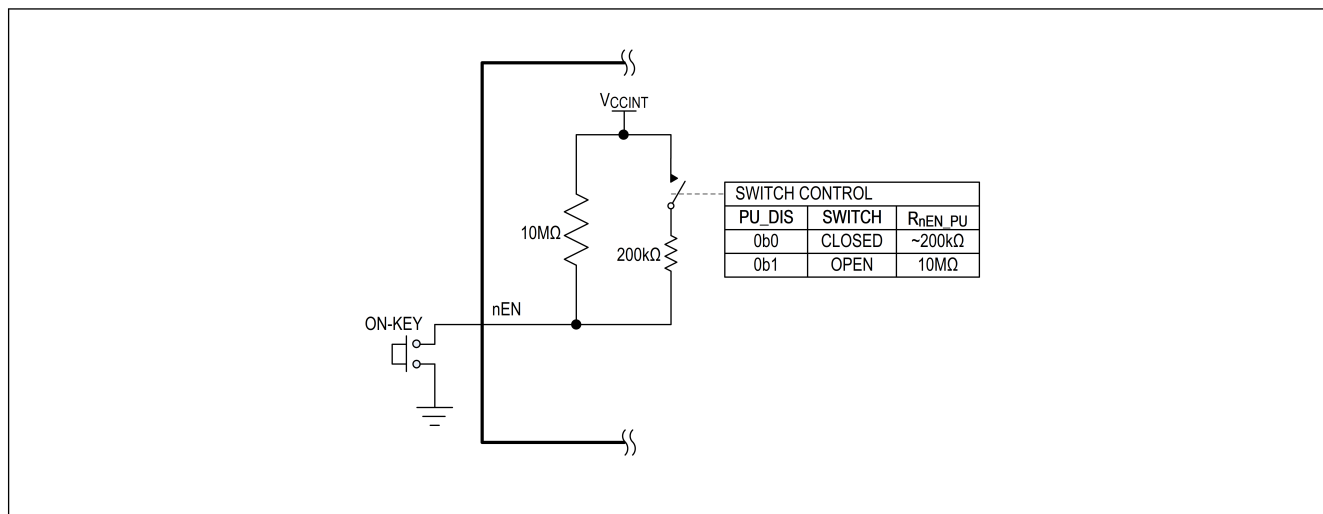


図 4. nEN プルアップ抵抗の構成

割込み (nIRQ) (MAX77647)

nIRQ (MAX77647) はアクティブローのオープンドレイン出力で、通常はホスト・プロセッサの割込み入力にルーティングして、デバイス・ステータスの重要な変化を通知します。全ての割込みビットとステータス・レジスタの包括的なリストについては、[レジスタ・マップ](#)のセクションを参照してください。

このノードには、 V_{IN_SBB} 以下の電圧へのプルアップ抵抗が必要です。nIRQ は、[レジスタ・マップ](#)内のマスクされていない全ての割込みビットを論理 NOR したものです。

全ての割込みはデフォルトでマスクされています。マスクされた割込みビットは、nIRQ 端子を変化させることはありません。nIRQ をアサートさせるには、割込みビットのマスクを解除します。

リセット出力 (nRST) (MAX77647)

nRST (MAX77647) はオープンドレイン、アクティブロー出力で、通常はデバイスのパワーダウン時にプロセッサをリセット状態に保持するのに使用されます。パワーアップ・シーケンス中、nRST がアサートが解除されるのは、パワーアップ・チェーンの最後のレギュレータがイネーブルになった後 (t_{RSTODD}) です。パワーダウン・シーケンス中は、nRST 出力がアサートされた後、全てのレギュレータがパワーダウンします (t_{RSTOAD})。

このノードには、 V_{IN_SBB} 以下の電圧へのプルアップ抵抗が必要です。

汎用入出力 (GPIO) (MAX77647)

MAX77647 は、システムの柔軟性を高めるために 2 つの汎用入出力 (GPIO) 端子を備えています。詳細は、[図 5](#)を参照してください。

CNFG_GPIOx.DIR = 0b0 をクリアすると、GPIO は汎用出力 (GPO) として設定されます。GPO は、プッシュプル・モード (CNFG_GPIOx.DRV = 1) またはオープンドレイン・モード (CNFG_GPIOx.DRV = 0) のいずれかにできます。

- プッシュプル出力モードは、高速 (約 2ns) エッジと低消費電力を必要とするアプリケーションに最適です。
- オープンドレイン・モードでは、外付けプルアップ抵抗 (10kΩ~100kΩ 標準) が必要です。外付けプルアップ抵抗は、 V_{IO} 以下のバイアス電圧に接続します。
 - オープンドレイン・モードは、異なるロジック・ドメインとの通信に使用できます。例えば、1.8V ロジック・ドメイン ($V_{IO}=1.8V$) の GPO から 1.2V ロジック・ドメインのデバイスに信号を送るには、外付けプルアップ抵抗を 1.2V に接続します。
 - オープンドレイン・モードは、複数のオープンドレイン (またはオープンコレクタ) デバイスを同じバス上に接続して、ワイヤード・ロジック (ワイヤード AND ロジックは正論理、ワイヤード OR ロジックは負論理) を形成するのに使用できます。

- 汎用入力 (GPI) 機能は、この端子を GPO として設定している時も使用可能です。言い換えると、CNFG_GPIOx.DI (入力ステータス) ビットは機能し続け、CNFG_GPIOx.DIR ビットの状態と衝突することはありません。

GPIO を GPI として機能させるには、CNFG_GPIOx.DIR をセットします。GPI は 30ms のバウンス防止タイマー (t_{DBNC_GPI}) を備えており、DBEN_GPI でイネーブル/ディスエーブルにできます。

- GPI を機械式スイッチのようなバウンスやチャタリングを起こすデバイスに接続している場合は、バウンス防止タイマーをイネーブルにします (CNFG_GPIOx.DBEN_GPI = 1)。
- GPI をクリーンなロジック遷移でバウンスの危険性がない回路に接続している場合は、バウンス防止タイマーをディスエーブル (CNFG_GPIOx.DBEN_GPI = 0) にして、ロジックの遅延を削減します。バウンス防止タイマーがない場合、GPI 入力ロジックは 10ns で nIRQ に伝搬します。

専用の内部発振器は、30ms (t_{DBNC_GPI}) のバウンス防止タイマーを生成するのに使用されます。V_{IO} の電源電流を低くするには、GPIO 電圧をロジックハイまたはロジックローのいずれかにします。GPIO 端子が未接続 (GPI またはオープンドレインの GPO) で V_{IO} に電源が供給されている場合、GPIO 電圧はロジック・レベルのグレー・エリア ($0.3 \times V_{IO} < V_{GPIO} < 0.7 \times V_{IO}$) に向かう傾向があります。V_{GPIO} がグレー・エリアにある場合、V_{IO} 電流は 10μA 以上になる可能性があります。

GPI は、チップの最上位レベルの割込みシステムに通知するエッジ検出器を備えています。これにより、ソフトウェアが GPI の変化に関連するイベントをポーリングする代わりに割込みで処理できます。

- アプリケーションが **GPI の立上がりエッジでのみ nIRQ** をローにする場合、GPI の立上がりエッジ割込みマスクビットをクリアし (INTM_GLBLx.GPI_RM = 0)、GPI の立下がりエッジ割込みマスクビットをセットします (INTM_GLBLx.GPI_FM = 1)。
- アプリケーションが **GPI の立下がりエッジでのみ nIRQ** をローにする場合、GPI の立上がりエッジ割込みマスクビットをセットし (INTM_GLBLx.GPI_RM = 1)、GPI の立下がりエッジ割込みマスクビットをクリアします (INTM_GLBLx.GPI_FM = 0)。
- アプリケーションが **GPI の立上がりおよび立下がりエッジの両方で nIRQ** をローにする場合、GPI の立上がりエッジ割込みマスクビットをクリアし (INTM_GLBLx.GPI_RM = 0)、GPI の立下がりエッジ割込みマスクビットをクリアします (INTM_GLBLx.GPI_FM = 0)。

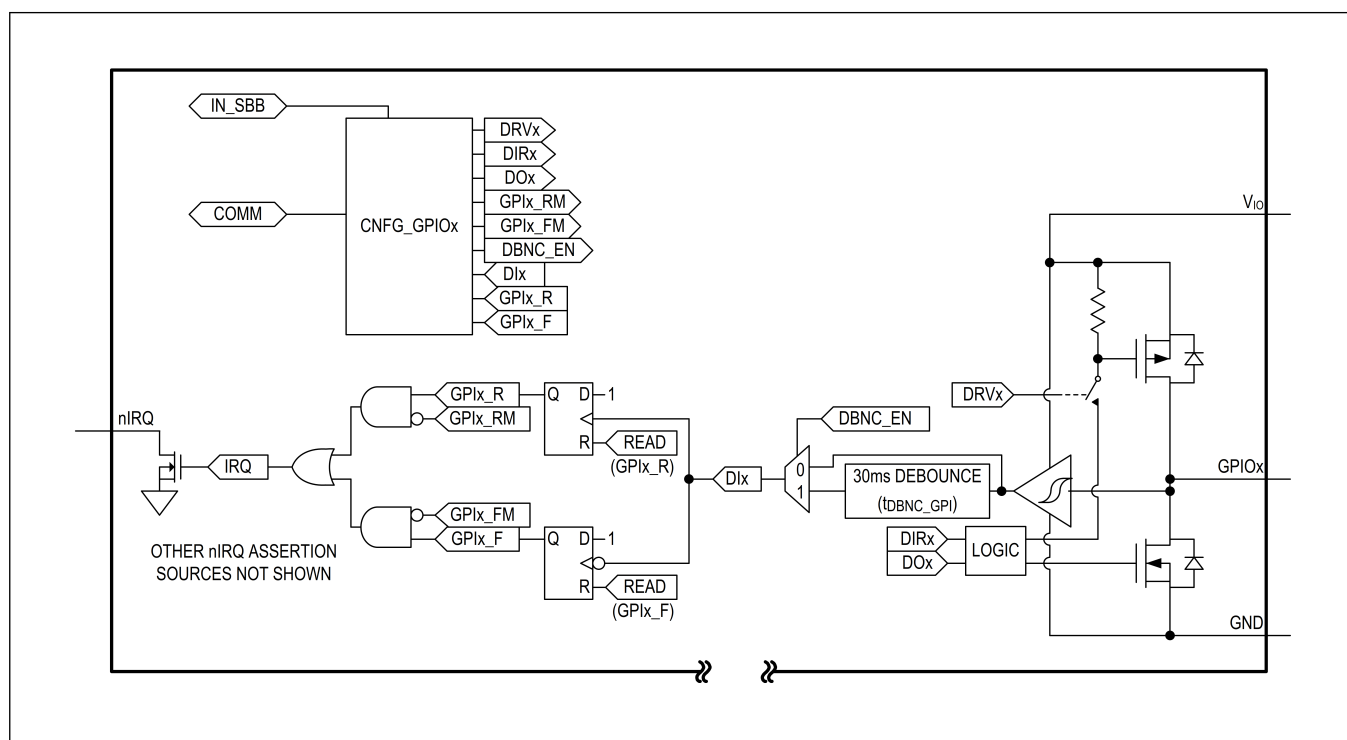


図 5. GPIOx のブロック図

MAX77646/MAX77647

長バッテリー寿命の一次セル・アプリケーション向けに
3 出力昇降圧レギュレータと 1 個の LDO を内蔵した
超高設定自由度の SIMO PMIC

代替モード（MAX77647）

MAX77647 の GPIO は、必要に応じて異なる機能を持つように設定できます。GPIO が標準 GPIO モードか代替モードのいずれにあるかは、CNFG_GPIOx.ALT_GPIOx ビットと CNFG_SBB_TOP.GPIOx_LPM ビットを同時に読み出すことで確認できます。表 4 に、各 GPIO 端子の代替機能を示します。

表 4. GPIO モード

GPIOx	CNFG_GPIOx REGISTER		
	ALT_GPIOx = 0	ALT_GPIOx = 1	
		GPIOx_LPM = 0	GPIOx_LPM = 1
GPIO0	Standard GPIO	Disable all SBBx Low-Power Mode	Active-high input controls the DVS feature for SBB0
GPIO1			Active-high output of SBB2's flexible power sequencer (FPS) slot

オン/オフ・コントローラ

オン/オフ・コントローラは、パワーアップ（ウェイクアップ）およびパワーダウン（シャットダウン）の様々な状態をモニタし、システムとそのプロセッサが動作モード間を移行するために必要なリソースをイネーブルまたはディスエーブルにします。

多くのシステムでは、1 つの電源管理コントローラと 1 つのプロセッサがあり、オン/オフ・コントローラがマスタ・コントローラとなります。この場合、オン/オフ・コントローラはウェイクアップ・イベントを受信し、レギュレータの一部または全てをイネーブルにしてプロセッサを起動させます。その後、そのプロセッサがシステムを管理します。このマスタ動作の概念については、図 7 および表 6 を参照してください。オン/オフ・コントローラを介した一般的な遷移過程は次のとおりです。

1. バッテリーを装着し、シャットダウン状態で開始します。
2. システムのオンキーを押し（nEN = ロー）、3 と 4 の遷移を経てリソースオンの状態になります。FPS にリソースがある場合は、5A と 5B の遷移を経ます。
3. デバイスはリソースオン状態で必要な機能を実行します。電源をオフにする場合は、手動リセットにより、まず FPS パワーダウンの 6A と 6B の遷移を経て、更に 7 と 0 の状態を経た後にシャットダウン状態に移行します。

システムによっては、複数の電源管理ブロック、メイン・プロセッサ、サブプロセッサを持つものがあります。このようなシステムでは、上位プロセッサで I²C ポートが利用可能であれば、本デバイスをペリフェラル部分のサブ電源管理ブロックとして使用できます。この動作の概念については、図 7 および表 6 を参照してください。この場合のオン/オフ・コントローラを介した一般的な遷移過程は次のとおりです。

1. システムにバッテリーを装着し、シャットダウン状態で開始します。
2. 上位プロセッサは、デバイスのリソースを I²C コマンドで制御できるようになります（レギュレータのオン/オフなど）。
3. 上位プロセッサがデバイスの電源をオフにする場合は、I²C を介して全ての電源をオフにし、経路 7 に沿ってシャットダウン状態に移行します。

この動作の場合、CNFG_GLBL0.SFT_CTRL[1:0]ビットでデバイスをオフにする必要はありません。CNFG_GLBL0.SFT_CTRL[1:0]ビットはオン/オフ・コントローラ自体へのコマンドを確立するもので、このサブ電源管理ブロックの動作では意味をなしません。プロセッサが I²C コマンドを用いてデバイスのリソースをイネーブルにした場合、同様に I²C コマンドを用いてリソースをディスエーブルする必要があります。

最上位レベルのオン/オフ・コントローラ (MAX77646)

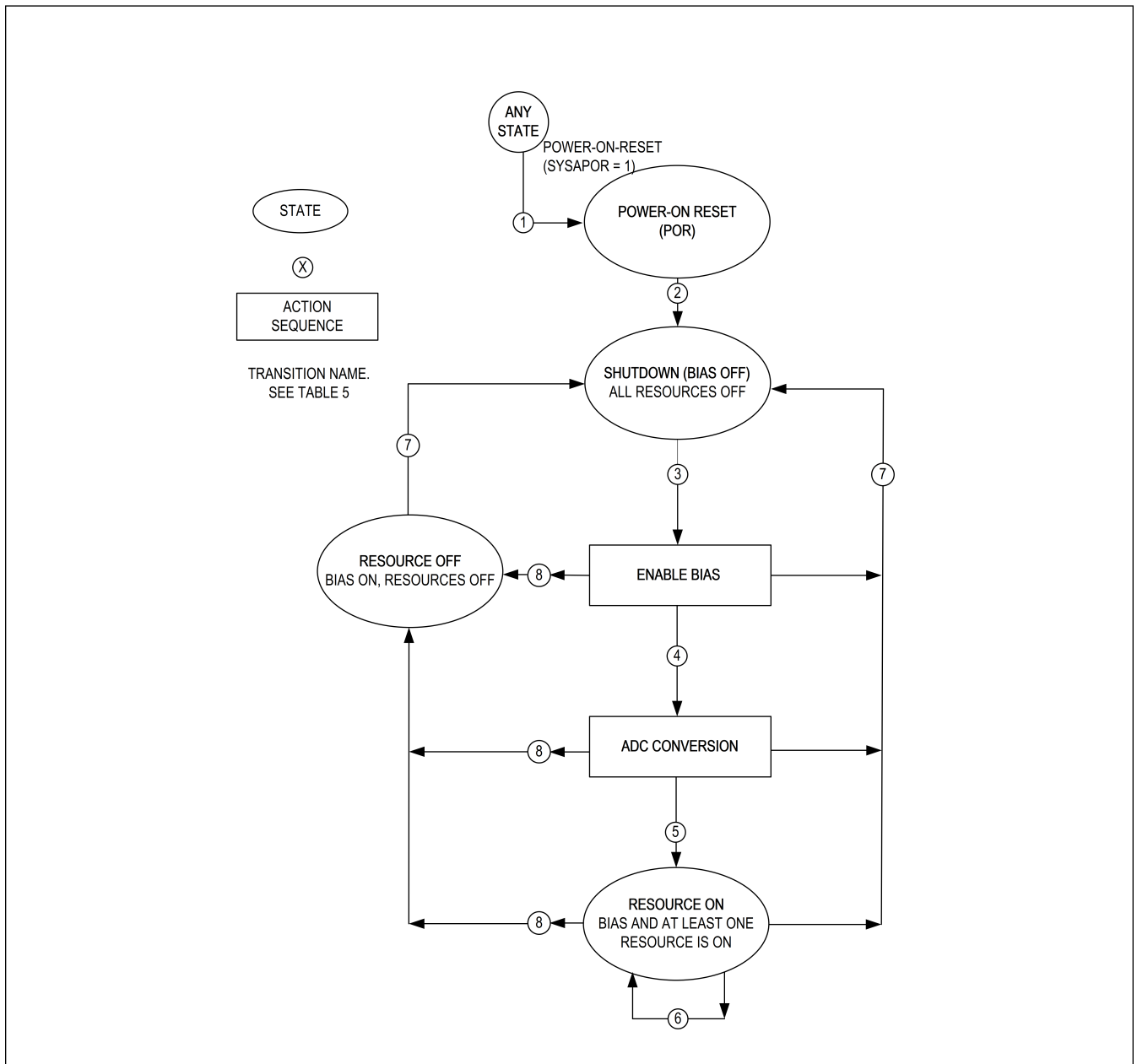


図 6. 最上位レベルのオン/オフ・コントローラ (MAX77646)

表 5. オン/オフ・コントローラの状態遷移 (MAX77646)

TRANSITION	CONDITION (TRANSITION HAPPENS WHEN...)
1	IN_SBB voltage is above the POR threshold ($V_{IN_SBB} > V_{POR}$)
2	$V_{IN_SBB} \geq V_{INSBB_UVLO_R}$
3	First ENx transitions from low to high

表 5. オン/オフ・コントローラの状態遷移 (MAX77646) (続き)

4	Main Bias enable time expires ($t_{\text{SBias_EN}}$)
5	ADC detection time expires (t_{rSEL})
6	Additional ENx transitions from low to high OR ENx transitions from high to low (as long as one SIMO channel or the LDO is enabled)
7	Last ENx transitions from high to low (all SIMO channels and the LDO are disabled)
8	Chip overtemperature lockout ($T_J > T_{\text{OTLO}}$) OR IN_SBB undervoltage lockout ($V_{\text{IN_SBB}} < V_{\text{INSBB_UVLO}}$) OR IN_SBB overvoltage lockout ($V_{\text{IN_SBB}} > V_{\text{INSBB_OVLO}}$)

最上位レベルのオン/オフ・コントローラ (MAX77647)

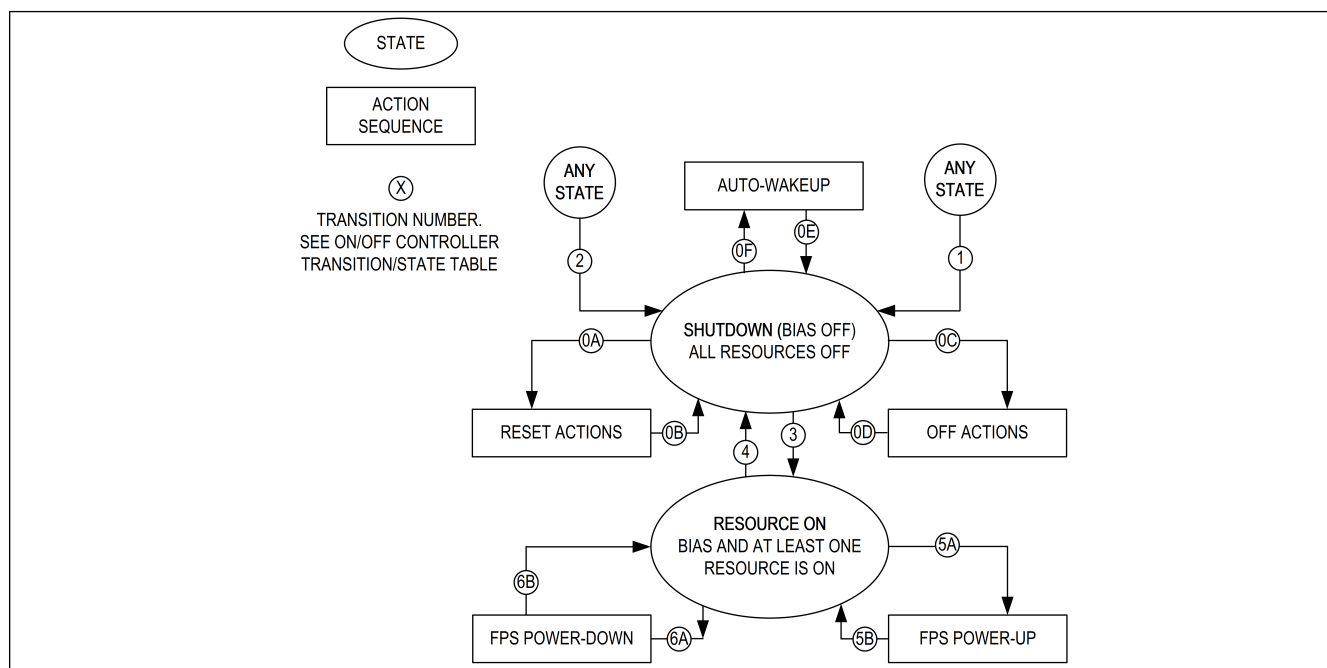


図 7. 最上位レベルのオン/オフ・コントローラ (MAX77647)

表 6. オン/オフ・コントローラの状態遷移 (MAX77647)

TRANSITION	CONDITION (TRANSITION HAPPENS WHEN...)
0A	Software cold reset (CNFG_GLBL0.SFT_CTRL[1:0] = 0b01) OR Watchdog timer expired and caused reset (ERCFLAG.WDT_RST = 1, CNFG_WDT.WDT_MODE = 1)
0B	Reset actions completed
0C	Software power-off (CNFG_GLBL0.SFT_CTRL[1:0] = 0b10) OR Watchdog expired and caused power-off (ERCFLAG.WDT_OFF = 1, CNFG_WDT.WDT_MODE = 0) OR Chip overtemperature lockout ($T_J > T_{\text{OTLO}}$) OR IN_SBB undervoltage lockout ($V_{\text{IN_SBB}} < V_{\text{INSBB_UVLO}} + V_{\text{INSBB_UVLO_HYS}}$) OR IN_SBB overvoltage lockout ($V_{\text{IN_SBB}} > V_{\text{INSBB_OVLO}}$) OR Manual reset occurred (ERCFLAG.MRST = 1)
0D	Off actions completed
0E	Software auto wake-up (CNFG_GLBL0.SFT_CTRL = 0b11)
0F	Auto wake-up actions completed

表 6. オン/オフ・コントローラの状態遷移 (MAX77647) (続き)

1	IN_SBB voltage is above the POR threshold ($V_{IN_SBB} > V_{POR}$)
2	Chip overtemperature lockout ($T_J > T_{OTLO}$) OR IN_SBB undervoltage lockout ($V_{IN_SBB} < V_{INSBB_UVLO} + V_{INSBB_UVLO_HYS}$) OR IN_SBB overvoltage lockout ($V_{IN_SBB} > V_{INSBB_OVLO}$)
3	Any resources force enabled OR Internal wake-up flags are set (see the Internal Wake-Up Flags (MAX77647) section)
4	NOT (Transition 5) Software cold reset (CNFG_GLBL0.SFT_CTRL[1:0] = 0b01) OR Software power-off (CNFG_GLBL0.SFT_CTRL[1:0] = 0b10) OR Software auto wake-up (CNFG_GLBL0.SFT_CTRL = 0b11) OR Watchdog timer expired OR Manual reset occurred (ERCFLAG.MRT = 1)
5A	FPS power-up sequence has not happened yet AND Resources are not forced off AND Internal wake-up flags are set (see the Internal Wake-Up Flags (MAX77647) section)
5B	FPS power-up sequence done
6A	FPS power-up sequence completed AND All resources are force disabled OR Software cold reset (CNFG_GLBL0.SFT_CTRL[1:0] = 0b01) OR Software power-off (CNFG_GLBL0.SFT_CTRL[1:0] = 0b10) OR Software auto wake-up (CNFG_GLBL0.SFT_CTRL = 0b11) OR Watchdog timer expired OR Manual reset occurred (ERCFLAG.MRT = 1) OR CNFG_GLBL1.SBB_F_SHUTDOWN = 0b1 AND SBB fault occurs
6B	FPS power-down sequence finished

内部ウェイクアップ・フラグ (MAX77647)

リセットによるシャットダウン状態への遷移後、デバイスが再びパワーアップできるように、内部のウェイクアップ・フラグがセットされてウェイクアップ要求を記憶します。図 7 および表 6 に示すように、これらの内部ウェイクアップ・フラグは遷移 3 をトリガします。内部ウェイクアップ・フラグは、次のいずれかが発生した時にセットされます。

- nEN がバウンス防止された (nEN イネーブル入力 (MAX77647) のセクションを参照) 。
 - 例：プッシュボタンが押された後、あるいはスライドスイッチがハイに切り替わった後。
- ソフトウェア・コールド・リセット・コマンドが送信された (CNFG_GLBL0.SFT_CTRL[1:0] = 0b01)

リセット、オフ、自動ウェイクアップのシーケンス (MAX77647)

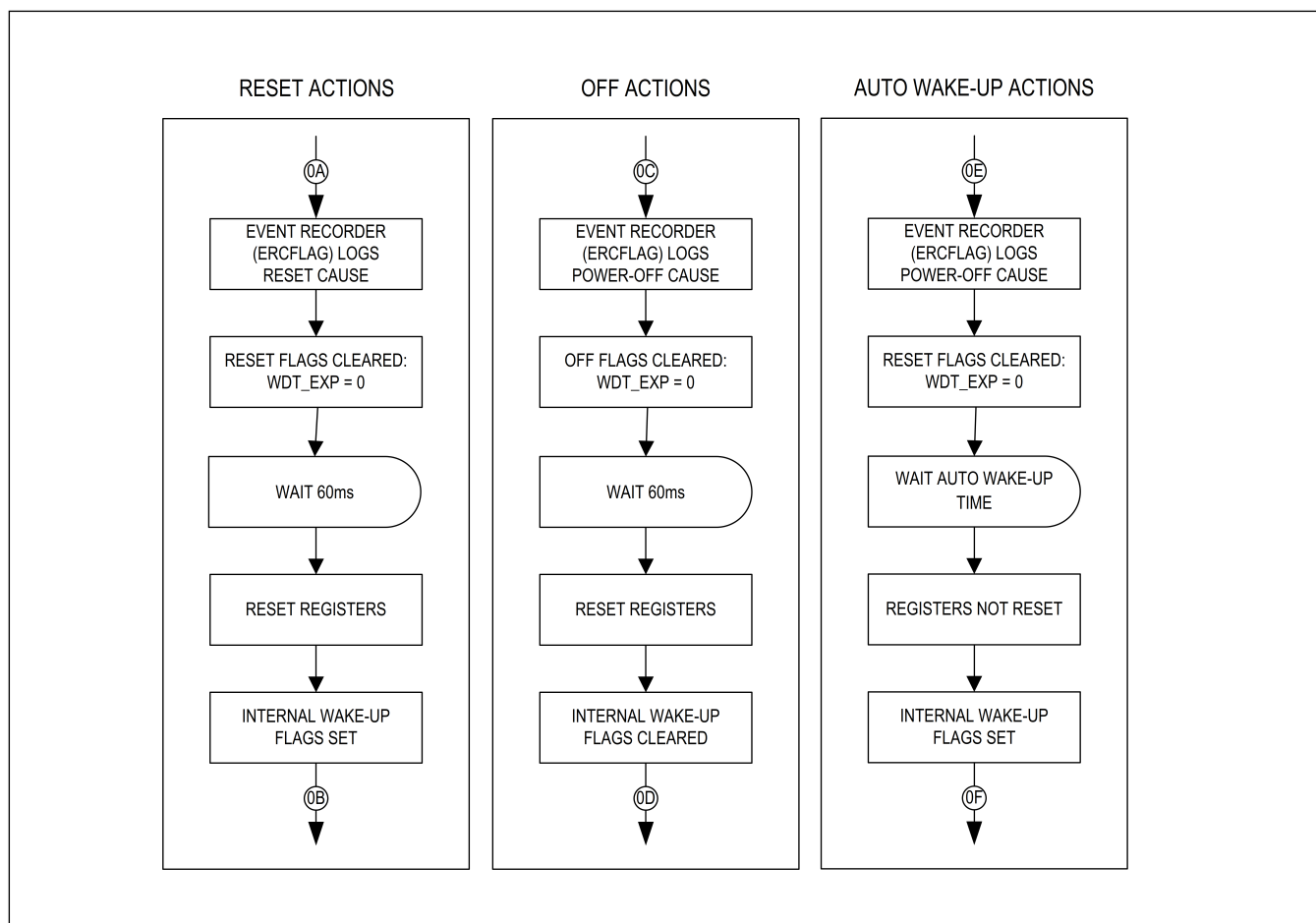


図 8. オン/オフ・コントローラのリセットおよびオフ動作のシーケンス

パワーアップ／パワーダウンのシーケンス (MAX77647)

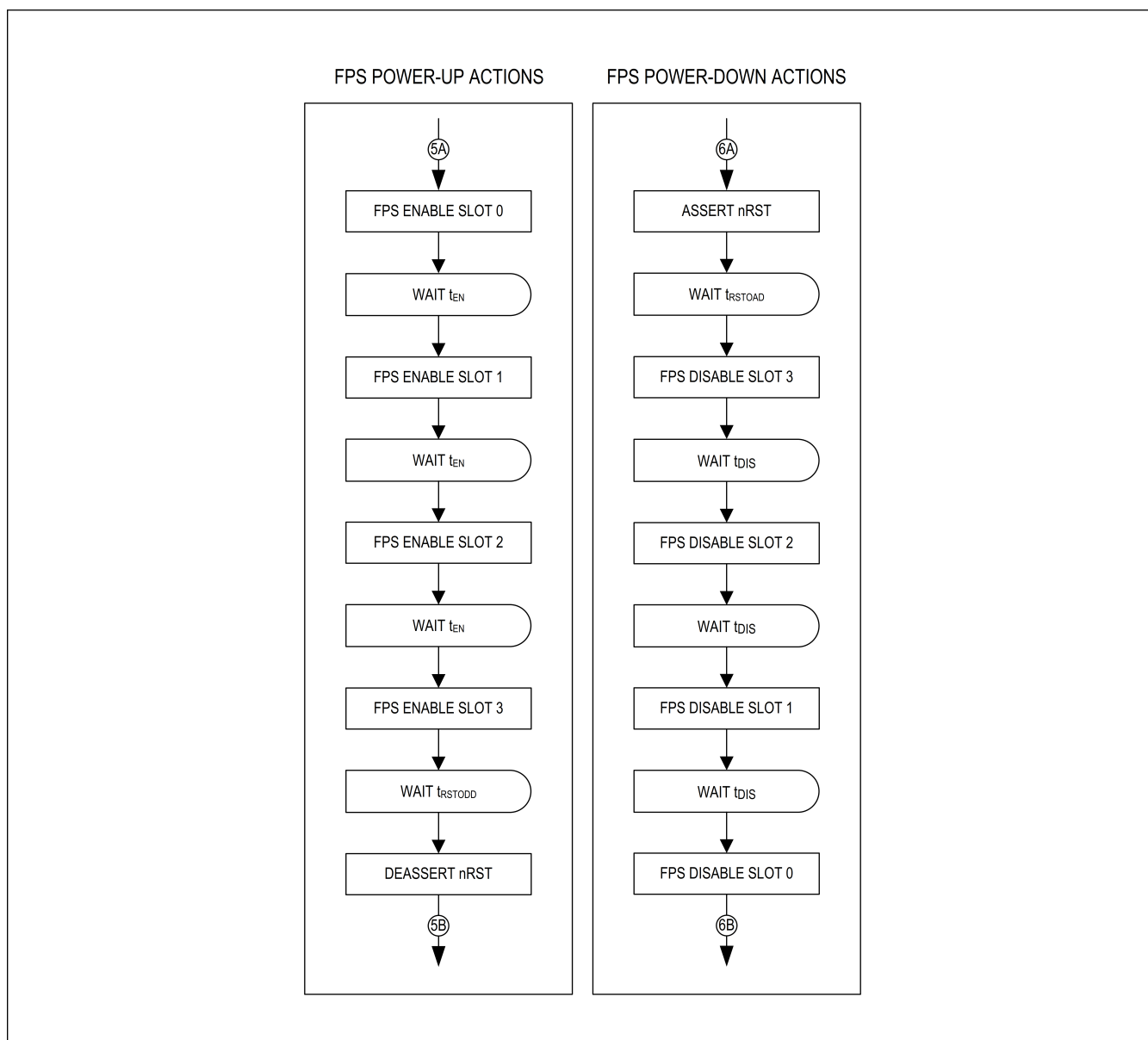


図 9. パワーアップ／パワーダウンのシーケンス

フレキシブル・パワー・シーケンサ (FPS) (MAX77647)

FPS は、ハードウェアまたはソフトウェアの制御下でリソースのパワーアップを可能にします。更に、調整可能なパワーアップ／パワーダウン遅延（シーケンス制御）により、各リソースを個別に、または他のレギュレータのグループ間でパワーアップできます。図 10 は、フレキシブル・パワー・シーケンサの制御下で、4つのリソースがパワーアップするタイミングを示しています。

フレキシブル・シーケンサの構造は、1つのマスタ・シーケンサ・タイマーと4つのスレーブ・リソース（SBB0、SBB1、SBB2、LDO）で構成されます。FPS がイネーブルにされると、マスタ・タイマーがデバイスのパワーアップ／パワーダウン用に4つのシーケンス・イベントを生成します。

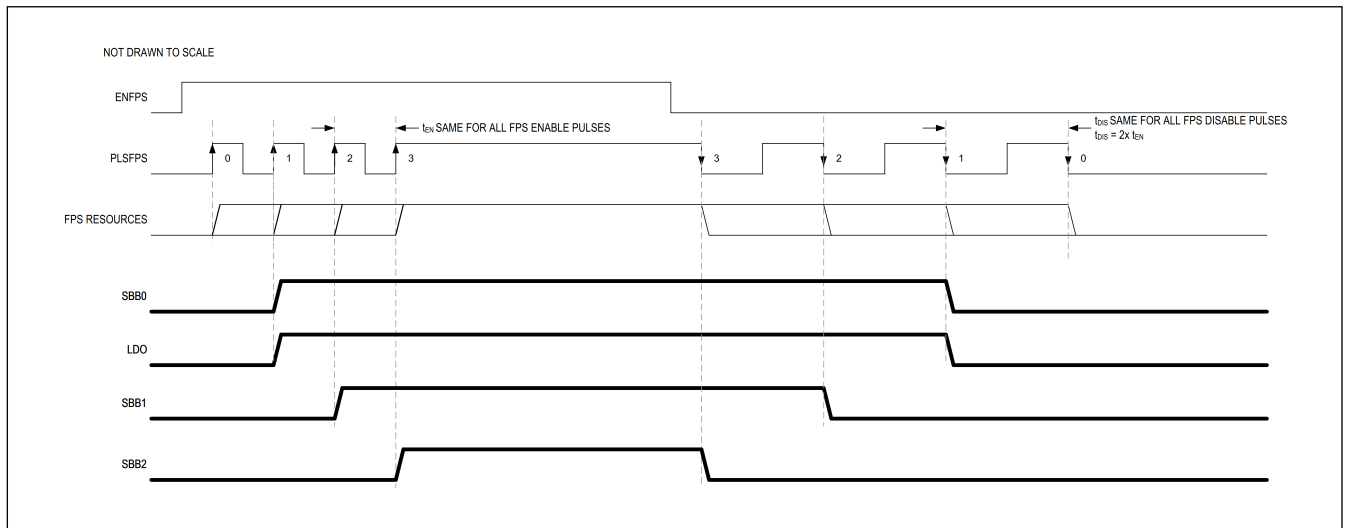


図 10. フレキシブル・パワー・シーケンサの基本タイミング図

nEN による起動タイミング図 (MAX77647)

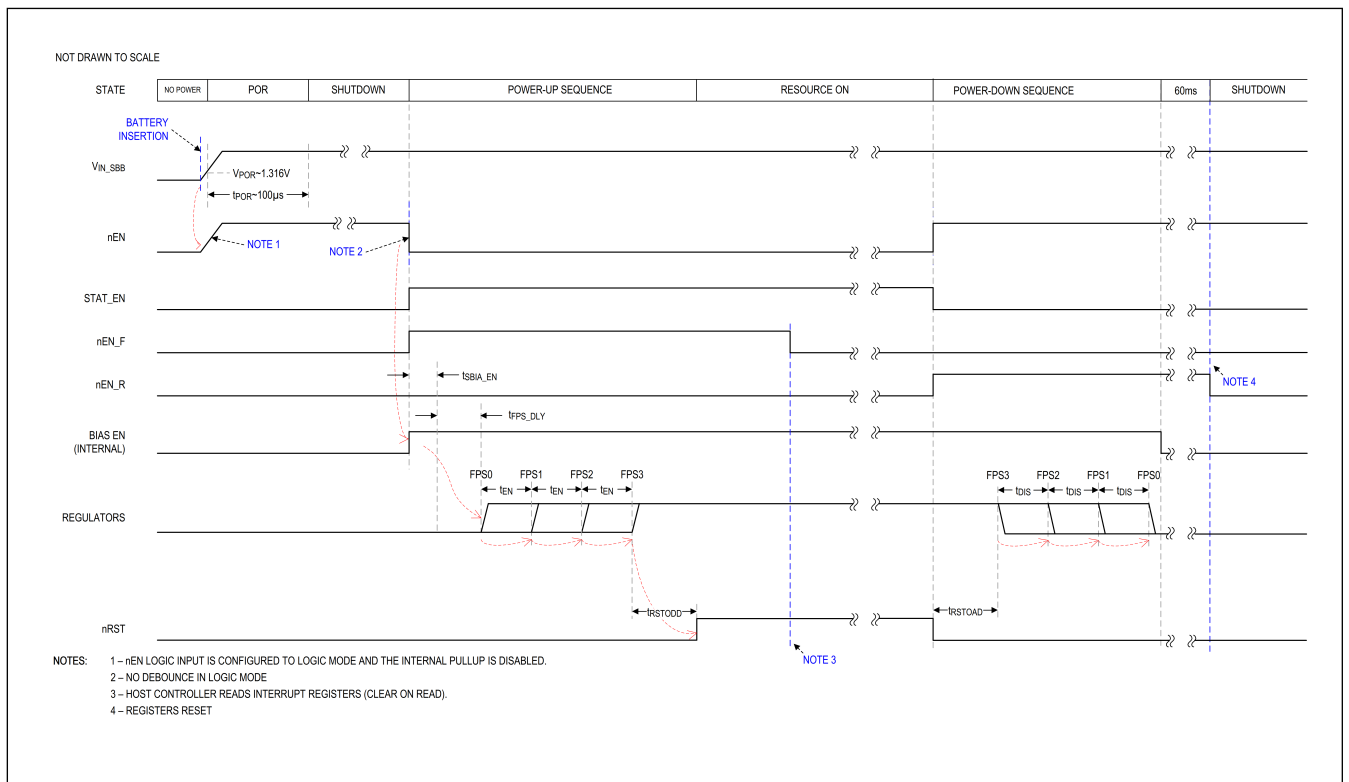


図 11. nEN による起動タイミング図

チャンネル強制イネーブル／ディスエーブル (MAX77647)

CNFG_SBBx_B.EN_SBBx[2:0]をセットすることで、SIMO と LDO の出力チャンネルを強制的にイネーブルします。OTP によっては、出力チャンネルはデフォルトで既に強制的にイネーブルされている場合があります。このように設定された出力チャンネルは、フレキシブル・パワー・シーケンスに依存せず、IN_SBB (および IN_LDO) が UVLO の立上がりより大きくなると直ちに起動します。メイン・パイアスも自動的にオンになります。

同様に、EN_SBBx[2:0]をセットすることで、出力チャンネルを強制的にディスエーブルできます。

バウンス防止入力 (nEN、GPI) (MAX77647)

nEN と GPIO (入力として動作する場合) は、不要な遷移を除去するために、立上がりエッジと立下がりエッジの両方に設定可能なバウンス防止タイマーを備えています。バウンス防止期間全体にわたって入力が安定したロジック・レベルでなければ、出力のロジック状態は変化しません。図 12 に、nEN バウンス防止のタイミングの例を示します。

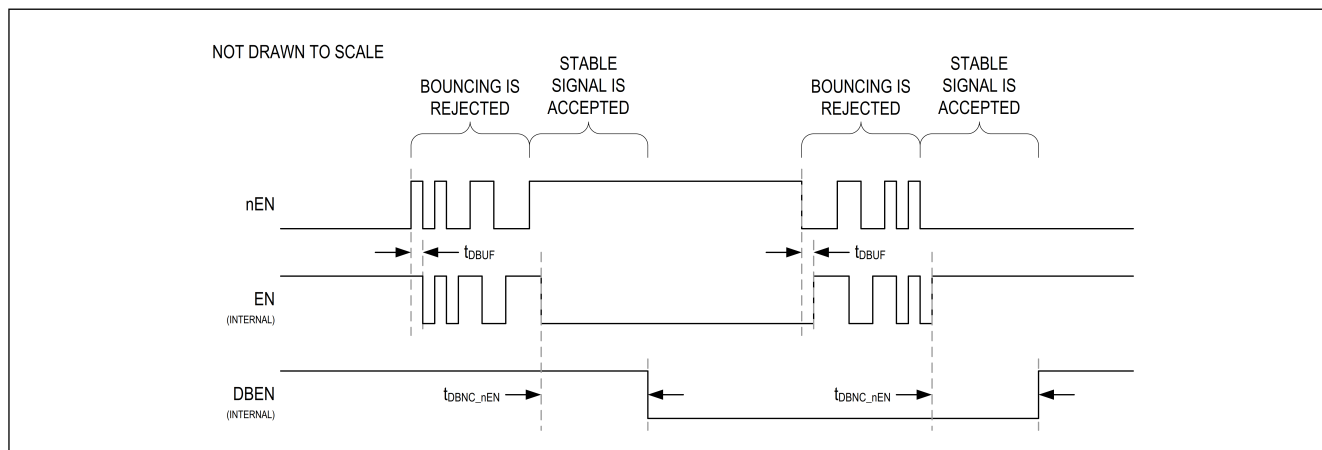


図 12. バウンス防止入力

ウォッチドッグ・タイマー (WDT) (MAX77647)

IC は、安全動作のためにウォッチドッグ・タイマー機能を備えています。このタイマーがクリアされることなく終了した場合、オン／オフ・コントローラは IC をシャットダウン状態にし、設定レジスタをリセットします。詳細については、[オン／オフ・コントローラ](#)のセクションおよび[オン／オフ・コントローラの遷移表 \(MAX77647\)](#) (0A および 0C の遷移) を参照してください。

タイマーをイネーブルするには、I²C インターフェースを介して CNFG_WDT.WDT_EN = 1 を書き込みます。ウォッチドッグ・タイマーの周期 (t_{wd}) は、CNFG_WDT.WDT_PER[1:0]により 16 秒～128 秒の間で 4 段階に設定可能です。デフォルトのタイマー周期は 128 秒です。ウォッチドッグ・タイマーがイネーブルの間は、タイマーがリセットしてシャットダウンになることを防ぐために、CNFG_WDT.WDT_CLR ビットを I²C インターフェースを介して定期的に (t_{wd}以内に) セットする必要があります。詳細については、[レジスタ・マップ](#)と図 13 を参照してください。

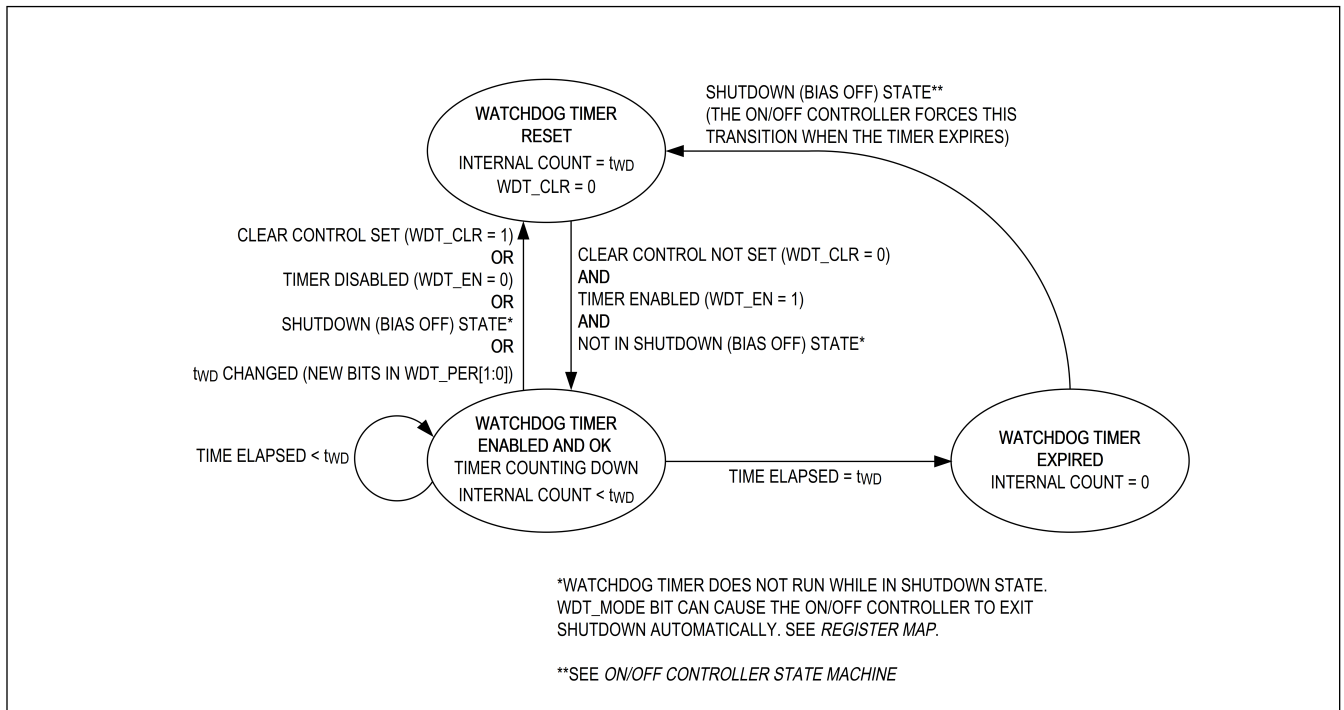


図 13. ウォッチドッグ・タイマーのステート・マシン

タイマーは出荷時に、デフォルトでイネーブル、デフォルトでディスエーブル、偶発的なディスエーブルからのロック、のいずれかに設定できます。CNFG_WDT.WDT_LOCK ビットは読出し専用で、出荷時に設定する必要があります。詳細は表 7 を参照してください。

表 7. ウォッチドッグ・タイマーの出荷時設定安全オプション

WDT_LOCK	WDT_EN	説明
0	0	ウォッチドッグ・タイマーはデフォルトでディスエーブル。タイマーは、I ² C 書込みによってイネーブルまたはディスエーブルにできます。
0	1	ウォッチドッグ・タイマーはデフォルトでイネーブル。タイマーは、I ² C 書込みによってイネーブルまたはディスエーブルにできます。
1	0	ウォッチドッグ・タイマーはデフォルトでディスエーブル。タイマーは I ² C 書込みでイネーブルにできますが、SYSRST でのみ CNFG_WDT.WDT_EN の値をリセットして 0 に戻すことができます。I ² C を介した CNFG_WDT.WDT_EN への直接書込みによってタイマーをディスエーブルすることはできません（1→0 の書込みは無視され、0→1 の書込みは有効）。
1	1	ウォッチドッグ・タイマーはデフォルトでイネーブル。タイマーをディスエーブルすることはできません。

詳細-SIMO 昇降圧レギュレータ

このデバイスは、低電源電流と小型ソリューションを重視するアプリケーション向けに設計された、マイクロパワーの単一インダクタ・マルチ出力（SIMO）の昇降圧 DC/DC コンバータを備えています。1 つのインダクタで 3 つの出力を個別に安定化するため、1 つの降圧リニア電圧レギュレータを使用する同等の電源ソリューションよりもシステム全体の効率を向上しながら、基板面積を節約できます。

昇降圧構成は、入力電圧と比較してより高い、より低い、または等しい出力電圧を生成する機能により、バッテリー電圧の全範囲を利用できます。各出力のピーク・インダクタ電流は設定可能で、効率、出力リップル、EMI、PCB 設計、負荷能力の間のバランスを最適化できます。

出力電圧が入力より常に低い場合に昇圧効率を更に高めるために、SIMO 昇降圧コンバータの個々のチャンネルは、降圧専用モードまたは昇圧専用モードになるように設定可能で、昇降圧モードと比べてスイッチの切り替え回数が少なくなるため、スイッチング損失が減少します。詳細については、[SIMO 降圧モード \(MAX77647\)](#) および [SIMO 昇圧モード \(MAX77647\)](#) のセクションを参照してください。

SIMO の特長と利点

- 入力範囲：1.8V～3.3V
- 3 つの出力チャンネル
- 低消費電力設計に最適
 - 2.4V 入力から 1.8V で最大 500mA を供給
 - $\pm 2\%$ の高精度な出力電圧
- 小型ソリューション
 - 単一 1.5 μ H インダクタからの複数出力
 - 小型 10 μ F (0402) 出力コンデンサ
- 柔軟で使いやすい
 - 単一動作モード
 - 降圧、昇圧、および昇降圧モード間のグリッチフリー遷移
 - 設定可能なピーク・インダクタ電流
 - 設定可能なオンチップ・アクティブ放電
 - 設定可能な降圧専用および昇圧専用モード (MAX77647)
 - 抵抗で設定可能な出力電圧 (MAX77646)
- 長いバッテリー寿命
 - 高効率、92% のピーク効率
 - 降圧+LDO よりも優れたシステム総合効率
 - 超低自己消費電流、チャンネルあたり 0.3 μ A
 - 低入力動作電圧、1.6V（立下がりスレッシュホールド）

SIMO の詳細ブロック図

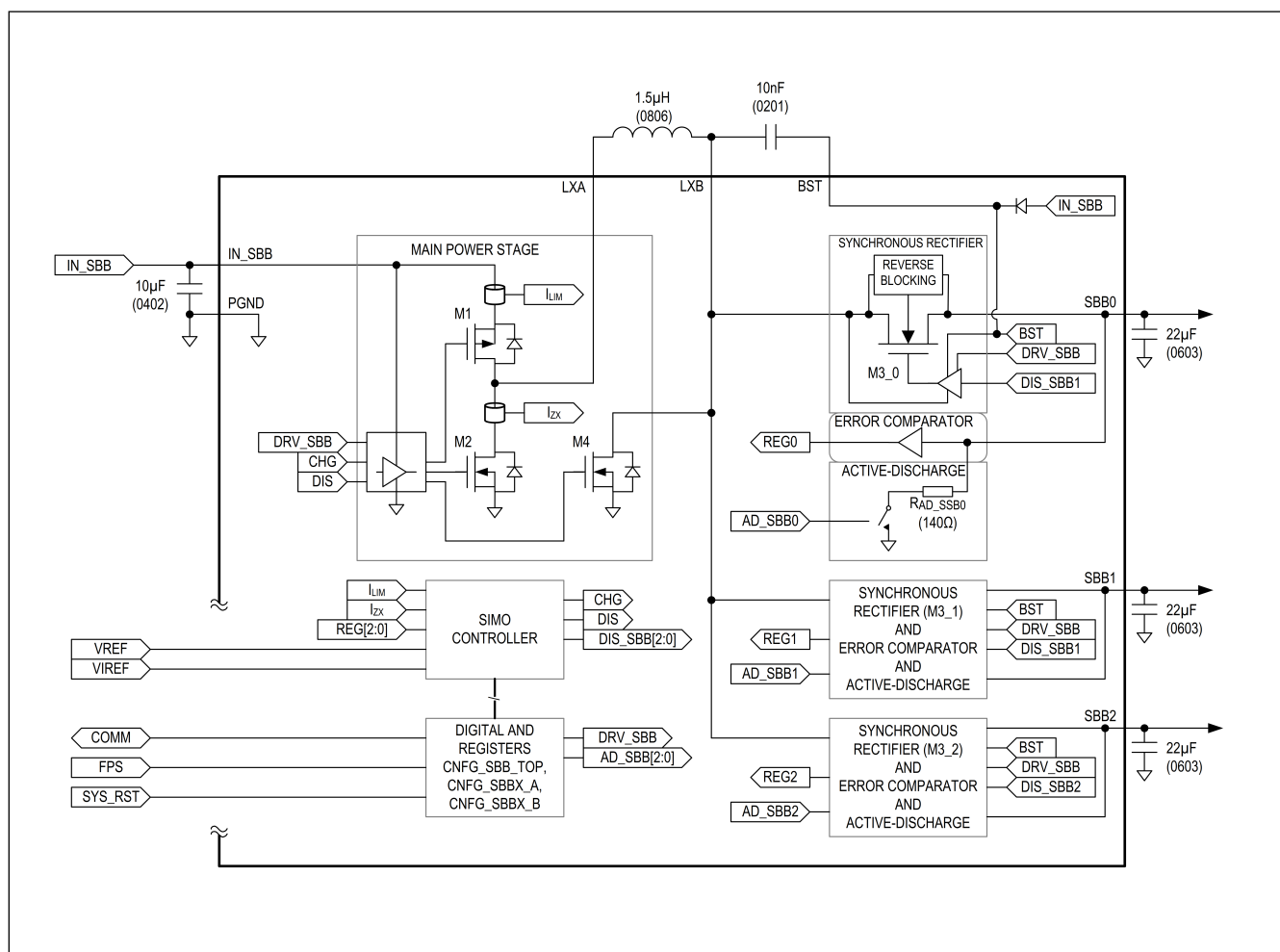


図 14. SIMO の詳細ブロック図

SIMO の制御方式

SIMO 昇降圧レギュレータは、複数の出力から同時に供給できるように設計されています。独自のコントローラにより、複数の出力がインダクタに蓄積されたエネルギーを取り合っている場合でも、全ての出力をタイムリーに処理できます。レギュレータが処理を必要としない場合、ステート・マシンは低消費電力の休止状態になります。

コントローラがレギュレータに処理が必要と判断すると、ピーク電流制限 ($I_{LIM} = IP_SBB[2:0]$) に達するまでインダクタ (M1 + M4) を充電します。その後、電流がゼロ (I_{ZX}) になるまで、インダクタのエネルギーが出力に放電されます (M2 + M3_x)。複数の出力チャンネルが同時に処理を必要とする場合、コントローラは、どの出力もスイッチング・サイクル全部を使い切ってしまうようにします。その代わりに、処理を必要とする全ての出力間でサイクルがインターリーブされ、処理を必要としない出力はスキップされます。

駆動強度 (MAX77647)

SIMO レギュレータの内部パワーMOSFET に対する駆動強度は、DRV_SBB[1:0] ビットフィールドで調整できます。理想的な値は、アプリケーションごとに実験的に決定します。MAX77646/MAX77647 評価キットと同等の PCB レイアウトでは、0x1 が最適な設定で、効率と EMI の間のバランスがとれています。高速になるように設定すると効率は高くなりますが、一般に、EMI が増大しないように厳しいレイアウト規則やシールドが必要になります。低速の設定は、理想的ではない構成 (例えば、レイアウトが含まれている、アンテナがデバイスに隣接しているなど) の場合に EMI を抑制できます。駆動強度の変更は、システムの初期化時に一度だけ行ってください。

SIMO の起動条件

MAX77646/MAX77647 では、 $V_{OUT} > 3.3V$ で低入力電圧 ($V_{IN} < 2.4V$) の場合、特別な起動条件があります。これらの範囲で動作する場合、正常起動のために IPEAK を 1A に変更することを推奨します。詳細については、[標準動作特性](#)の効率曲線を参照してください。

SIMO フォールト・インジケータ

IC には SBBx フォールト・シャットダウン・オプションがあり、SBBx フォールトが検出された時に自身を保護します。このオプションを有効にすると、SBBx フォールト後にレギュレータが順次パワーダウンします。SBBx フォールトは、出力電圧がレギュレーション目標値の 80%を下回ると発生します。対応する SBBx_F ビットは、出力電圧がレギュレーション目標の 85%を超えて上昇するまでハイのままです。

SIMO 出力電圧の設定

SIMO 出力は個別に設定可能です。MAX77646 の SBB0/1/2 の出力電圧を設定するには、表 8 と表 9 に示すように、RSEL_SBB0/1/2 から GND に適切な抵抗を接続します。RSEL_SBB0/1/2 の抵抗の公差は 1%以下でなければなりません。MAX77647 の SBB0/1/2 での出力電圧を設定するには、I²C インターフェースを用いて設定レジスタ CNFG_SBBx_A.TV_SBBx[7:0]をロードします。この 8 ビット構成は、0.5V から 25mV 刻みで 5.1V で終わる線形伝達関数であり、出力電圧を $SBBx = 0.5V + 25mV \times TV_SBBx[7:0]$ (10 進数) として設定します。

表 8. SBB0 出力電圧の設定

RSEL_SBB0 (kΩ)	OUTPUT VOLTAGE— SBB0 (V)
0.001	0.50
4.99	0.60
6.00	0.70
7.15	0.80
8.45	0.90
10.0	1.00
11.8	1.05
14.0	1.10
16.9	1.20
20.0	1.30
23.7	1.40
28.0	1.60
34.0	1.75
40.2	1.80
47.5	1.85
56.2	2.00
66.5	2.20
80.6	2.40
95.76	2.80
113.0	3.00
133.0	3.20
162.0	3.25
191.0	3.30

表 8. SBB0 出力電圧の設定（続き）

RSEL_SBB0 (k Ω)	OUTPUT VOLTAGE— SBB0 (V)
226.0	3.35
267.0	3.40
324.0	3.80
383.0	4.00
452.0	4.20
536.0	4.40
634.0	4.60
768.0	5.00

表 9. SBB1/2 出力電圧の設定

RSEL_SBB1/2 (k Ω)	OUTPUT VOLTAGE— SBB1/2 (V)
0.001	0.50
4.99	0.60
6.00	0.70
7.15	0.80
8.45	0.90
10.0	1.00
11.8	1.10
14.0	1.20
16.9	1.30
20.0	1.40
23.7	1.60
28.0	1.80
34.0	2.00
40.2	2.20
47.5	2.40
56.2	2.60
66.5	2.80
80.6	3.00
95.76	3.20
113.0	3.30
133.0	3.40
162.0	3.60
191.0	3.80
226.0	4.00
267.0	4.20
324.0	4.40
383.0	4.60
452.0	4.80
536.0	5.00

ピーク電流の設定

各 SIMO 出力に対応するインダクタのピーク電流制限値は、個別に設定可能です。MAX77646 のインダクタ・ピーク電流を設定するには、表 10 に示すように、適切な抵抗を RSEL_IPK から GND に接続します。RSEL_IPK 抵抗の公差は 1% 以下でなければなりません。MAX77647 のインダクタ・ピーク電流を設定するには、I²C インターフェースを用いて設定レジスタをロードします。

表 10. インダクタ・ピーク電流の設定

RSEL_IPK (kΩ)	SBB_PK2 (A)	SBB_PK1 (A)	SBB_PK0 (A)
20	0.50	0.50	0.50
28	0.50	0.50	0.70
34	0.70	0.50	0.70
47.5	0.50	0.50	0.91
56.2	0.50	0.91	0.91
66.5	0.91	0.91	0.91

SIMO ソフトスタート

SIMO のソフトスタート機能は、起動時の突入電流を制限します。ソフトスタート機能は、起動時の出力電圧のスルー・レート (dV/dt_{SS}) を制限することで実現します。

出力容量が大きくなると、起動時の入力電流サージが大きくなります。起動時の入力電流サージ現象を次式と例で説明します。

昇降圧モードでは、ソフトスタート時の出力コンデンサへの電流 (I_{CSBB}) は次のようになります。

$$I_{CSBB} = C_{SBB} \times \frac{dV}{dt_{SS}} \quad (\text{式 1})$$

ここで、

- C_{SBB} はレギュレータ出力の容量
- dV/dt_{SS} は出力の電圧変化率

ソフトスタート時の入力電流 (I_{IN}) は次のようになります。

$$I_{IN} = \frac{(I_{CSBB} + I_{LOAD}) \frac{V_{SBBx}}{V_{IN}}}{\xi} \quad (\text{式 2})$$

ここで、

- I_{CSBB} は式 1 を用いて計算する
- I_{LOAD} は外部負荷で消費される電流
- V_{SBBx} は出力電圧
- V_{IN} は入力電圧
- ξ はレギュレータの効率

例えば、次の条件が与えられた場合、ソフトスタート時のピーク入力電流 (I_{IN}) は約 79mA となります。

条件：

- $V_{IN} = 2.4V$
- $V_{SBB2} = 3.3V$
- $C_{SBB2} = 10\mu F$
- $dV/dt_{SS} = 5mV/\mu s$
- $R_{LOAD2} = 330\Omega$ ($I_{LOAD2} = 3.3V/330\Omega = 10mA$)
- $\xi = 80\%$

計算：

- $I_{CSBB} = 10\mu F \times 5mV/\mu s$ (式 1 より)
- $I_{CSBB} = 50mA$
- $I_{IN} = \frac{(50mA + 10mA) \frac{3.3V}{2.4V}}{0.80}$ (式 1 より)
- $I_{IN} \sim 79mA$

SIMO レジスタ (MAX77647)

SIMO の各昇降圧チャンネルには、目標出力電圧 (CNFG_SBBx_A.TV_SBBx[7:0]) とピーク電流制限値 (CNFG_SBBx_B.IP_SBBx[2:0]) を設定するための専用レジスタがあります。更に、アクティブ放電抵抗の有効/無効 (CNFG_SBBx_C.ADE_SBBx)、降圧専用、昇圧専用、昇降圧専用、自動モード (CNFG_SBBx_B.OP_MODE)、SIMO 昇降圧チャンネルの有効/無効 (CNFG_SBBx_B.EN_SBBx[2:0])、SIMO 低消費電力動作モードの個別の有効/無効も制御可能です。ビット、レジスタ、デフォルト値、リセット条件の詳細については、[レジスタ・マップ](#)を参照してください。

SIMO アクティブ放電抵抗

SIMO の各昇降圧チャンネルには、CNFG_SBBx_C.ADE_SBBx ビットと SIMO レギュレータのステータスに基づき、自動的に有効/無効になるアクティブ放電抵抗 (R_{AD_SBBx}) があります。アクティブ放電機能は、SIMO チャンネルごとに個別に有効 (CNFG_SBBx_C.ADE_SBBx = 1) または無効 (CNFG_SBBx_C.ADE_SBBx = 0) にできます。アクティブ放電機能を有効にすることは、全てのシステム・ペリフェラルを完全かつタイムリーにパワーダウンするのに役立ちます。アクティブ放電抵抗をデフォルトで有効化している場合、 V_{IN_SBB} が V_{INSBB_UVLO} を下回り、 V_{POR} を上回るとアクティブ放電抵抗がオンになります。

これらの抵抗は、CNFG_SBBx_C.ADE_SBBx = 1 で、それに対応する SIMO チャンネルがオフの時に出力を放電します。CNFG_SBBx_B.EN_SBBx[2:0]でレギュレータを強制オンにした場合、メイン・バイアスによってレギュレータがディスエーブルされても、これらの抵抗は出力を放電しません。

V_{IN_SBB} が 1.0V 未満の時、アクティブ放電抵抗を制御する NMOS トランジスタはゲート駆動を行わず、オープンになることに注意してください。

SIMO 降圧モード (MAX77647)

IN_SBB の入力電圧が 1 つまたは複数の SIMO コンバータ・チャンネルの出力電圧を下回ることがない場合、CNFG_SBBx_B.OP_MODE ビットで個々のチャンネルを降圧モードに設定できます。降圧モードでは、出力からの電力供給が必要な場合、スイッチ M3_x はクローズのまま、M4 はオープンのままになります (図 14 を参照)。従来の降圧コンバータと同様に、M1 と M2 のみが切り替わります。次の 3 つの主要因により、効率が向上します。

- スイッチング損失の低減：昇降圧モードでは 4 つのスイッチが切り替わるのに対して、降圧モードでは 2 つのスイッチしか切り替わりません。そのため、電力を消費するスイッチング・イベントが減少します。
- インダクタのコア損失の低減：インダクタ電流は 0A からピーク電流まで変化します。インダクタに流れる電流の変化が大きいほど、インダクタ・コアで多くのエネルギーが熱の形で失われます。降圧モードでは、負荷に対応するために必要なインダクタ電流が少なくなるため、ピーク電流を削減できます。インダクタ電流が少なくて済むのは、直接的なエネルギー伝達のためです。直接エネルギー伝達は、入力 (IN_SBB) がインダクタを介して出力 (SBBx) に直接接続されている場合、インダクタの充電時に行われます。したがって、入力はインダクタを充電するエネルギーを供給するだけでなく、出力コンデンサと負荷デバイスにもエネルギーを供給します。そのため、インダクタの充電に必要な電流が減少した分、次のスイッチング状態で出力コンデンサの充電に使用されます。

MAX77646/MAX77647

長バッテリー寿命の一次セル・アプリケーション向けに
3 出力昇降圧レギュレータと 1 個の LDO を内蔵した
超高設定自由度の SIMO PMIC

- 充電サイクルの頻度が低下：昇降圧モードでは、インダクタが放電している間だけ出力コンデンサが充電されます。この場合も、エネルギーが直接伝達されるため、出力コンデンサはインダクタの充放電の両方の時間で充電されます。更に、同じピーク電流制限値であれば、インダクタの充電時間は降圧モードの方が長くなります。したがって、出力コンデンサは、再充電が必要になるまでの間、より長く出力電圧に対応できます。

IN_SBB と SBBx の電圧差が縮小するにつれてインダクタの充電時間 ($dt = L \times I_{P_SBBx} / (V_{IN_SBB} - V_{SBBx})$) が長くなるため、降圧モードでは IN_SBB と SBBx の間に最小 0.7V のヘッドルームを維持します。インダクタ電流がピークに達するまでに時間がかかると、出力電圧が目標電圧に達するまでに時間がかかりすぎて、MAX77647 がフォールト・フラグをトリガしてしまう可能性があります。

SIMO 昇圧モード (MAX77647)

IN_SBB の入力電圧が 1 つまたは複数の SIMO コンバータ・チャンネルの出力電圧より高くなることがない場合、CNFG_SBBx_B.OP_MODE ビットで個々のチャンネルを昇圧モードに設定できます。昇圧モードでは、出力からの電力供給が必要な場合、スイッチ MI はクローズのまま、M2 はオープンのままになります (図 14 を参照)。従来の昇圧コンバータと同様に、M3x と M4 のみが切り替わります。次の 3 つの主な要因により、効率が向上します。

- スイッチング損失の低減：昇降圧モードでは 4 つのスイッチが切り替わるのに対して、昇圧モードでは 2 つのスイッチしか切り替わりません。そのため、電力を消費するスイッチング・イベントが減少します。
- インダクタのコア損失の低減：インダクタ電流は 0A からピーク電流まで変化します。インダクタに流れる電流の変化が大きいほど、インダクタ・コアで多くのエネルギーが熱の形で失われます。昇圧モードでは、負荷への対応に必要なインダクタ電流が少なくなるため、ピーク電流を削減できます。インダクタ電流が少なくて済むのは、直接的なエネルギー伝達のためです。直接エネルギー伝達は、入力 (IN_SBB) がインダクタを介して出力 (SBBx) に直接接続されている場合、インダクタの放電時に行われます。したがって、入力はインダクタを充電するエネルギーを供給するだけでなく、出力コンデンサと負荷デバイスにもエネルギーを供給します。そのため、インダクタの充電に必要な電流が減少した分、次のスイッチング状態で出力コンデンサの充電に使用されます。
- 充電サイクルの頻度が低下：昇圧モードではインダクタの放電時間が長くなります。したがって、出力コンデンサは、再充電が必要になるまでの間、より長く出力電圧に対応できます。

アプリケーション情報

SIMO で利用可能な出力電流

ある SIMO チャンネルで利用可能な出力電流は、入力電圧、出力電圧、ピーク電流制限値の設定値、および他の SIMO チャンネルの出力電流の関数です。アナログ・デバイセズは、MAX77646/MAX77647 のウェブページの[設計リソース]タブに、特定の条件で利用可能な能力の概要を示す計算ツールを提供しています。表 11 は、この計算ツールの抜粋を示しています。

表 11. 一般的なアプリケーションで利用可能な SIMO 出力電流

PARAMETERS	EXAMPLE 1	EXAMPLE 2	EXAMPLE 3
VIN_SBB	1.8V	2.4V	3.3V
RL_DCR	120mΩ	120mΩ	120mΩ
SBB0	1.0V at 80mA	1.2V at 50mA	1.2V at 20mA
SBB1	1.2V at 50mA	1.8V at 100mA	1.8V at 80mA
SBB2	1.8V at 40mA	3.3V at 30mA	3.3V at 40mA
Operating Mode	Automatic	Automatic	Automatic
IP_SBB0	0.91A	0.91A	0.50A
IP_SBB1	0.91A	0.70A	0.50A
IP_SBB2	0.91A	0.91A	0.50A
Utilized Capacity	75.2%	80.4%	73.5%

* $ESR_{C_IN} = ESR_{C_OUT} = 5m\Omega$, $L = 1.5\mu H$

インダクタの選択

インダクタンスは 1.0μH～2.2μH の間で選択し、ほとんどの設計では 1.5μH のインダクタが最適です。インダクタンスが大きいほど、各サイクルでより多くのエネルギーが出力に伝達され、一般に出力電圧リップルが大きくなり、効率が良くなります。リップルを制御するための出力コンデンサのサイズについては、[出力コンデンサの選択](#)のセクションを参照してください。

インダクタの飽和電流は、全ての SIMO 昇降圧チャンネルで使用される最大ピーク電流制限の設定値 (I_{P_SBBx}) 以上になるように選択します。例えば、SBB0 を 0.5A、SBB1 を 0.7A、SBB2 を 0.91A に設定した場合、飽和電流は 1.0A 以上になるように選択します。

システムで予想される負荷電流に基づいて、インダクタの定格 RMS 電流（通常は温度が顕著に上昇する電流）を選択します。予想される負荷電流が不明の場合は、RMS 電流を最大ピーク電流制限設定値の高い方の半分以上になるように控えめに選択します [$I_{RMS} \geq \text{MAX}(I_{P_SBB0}, I_{P_SBB1}, I_{P_SBB2}) / 2$]。これが控えめな選択なのは、SIMO 昇降圧レギュレータが不連続伝導モード (DCM) 制御方式を実装しており、各サイクルでインダクタ電流をゼロに戻すためです。

インダクタの直流抵抗 (DCR)、交流抵抗 (ACR)、およびソリューション・サイズを考慮します。一般的に、サイズが小さいインダクタは直流抵抗が大きく、交流抵抗も大きいので、効率と利用可能な出力電流が低下します。なお、多くのインダクタ・メーカーは、DCR、ACR（すなわちコア損失）、および部品コストの間のトレードオフのバランスをとるために、異なるバージョンのコア材料を含むインダクタ・ファミリを用意しています。この SIMO レギュレータでは、1.0MHz～2.0MHz の領域で ACR が最も低いインダクタで効率が最大になる傾向があります。

入力コンデンサの選択

入力バイパス容量 (C_{IN_SBB}) は 10μF を選択します。 C_{IN_SBB} の値を大きくすると、SIMO レギュレータのデカップリングが向上します。

C_{IN_SBB} は、SIMO レギュレータ動作時にバッテリーまたは入力電源からの電流ピークを減少させ、システムのスイッチング・ノイズを減少させます。入力コンデンサの ESR/ESL は、周波数が 2MHz までの場合、非常に低い値にする必要があります（すなわち、 $ESR \leq 5\text{m}\Omega$ および $ESL \leq 500\text{pH}$ ）。X5R または X7R 誘電体のセラミック・コンデンサは、小型で ESR が低く、温度係数も小さいため、強く推奨します。

SIMO の利用可能な入力電圧範囲（最大 3.3V）をフルに活用するには、最低でも定格電圧が 6.3V のコンデンサを使用します。

昇圧コンデンサの選択

昇圧容量 (C_{BST}) は 10nF を選択します。 C_{BST} の値が小さい (< 1nF) と、M3 のゲート駆動が不十分になります。 C_{BST} の値が大きい (> 10nF) と、起動性能が低下する可能性があります。ケース・サイズが 0201 または 0402 のセラミック・コンデンサを推奨します。

出力コンデンサの選択

各出力バイパス容量 (C_{SBBx}) は、目標とする出力電圧リップル (ΔV_{SBBx}) に基づいて選択します。代表値は 22μF です。 C_{SBBx} の値を大きくすると出力電圧リップルは改善されますが、ソフトスタート時や出力電圧が変化する時の入力サージ電流が増加します。出力電圧リップルは、インダクタンス (L)、出力電圧 (V_{SBBx})、およびピーク電流制限設定値 (I_{P_SBBx}) の関数です。必要な実効容量を推定するには、[式 3](#) を参照してください。

$$C_{SBBx} = \frac{I_{P_SBBx}^2 \times L}{2 \times V_{SBBx} \times \Delta V_{SBBx}} \quad (\text{式 3})$$

また、アナログ・デバイセズは、MAX77646/MAX77647 製品ページの[設計リソース]タブに、出力容量を選択する際に役立つ計算ツールを提供しています。ほとんどの設計では、出力に十分な容量を持たせることが重要ですが、最大容量制限もあります。これは、SIMO 計算ツールで計算できますので、この最大容量を超えないように注意してください。

C_{SBBx} は出力電圧リップルを小さく保つために必要です。出力コンデンサのインピーダンス (ESR、ESL) は、2MHz までの周波数では非常に低い値（すなわち、 $ESR \leq 5\text{m}\Omega$ 、 $ESL \leq 500\text{pH}$ ）にする必要があります。X5R または X7R 誘電体のセラミック・コンデンサは、小型で ESR が低く、温度係数も小さいため、強く推奨します。

コンデンサの実効容量は、DC バイアス電圧の増加と共に減少します。この効果は、コンデンサのケースが小型になるほど顕著になります。この特性により、0603 ケースサイズのコンデンサは良好な性能を示しますが、同じ値の 0402 ケースサイズのコンデンサは性能が劣ります。SIMO レギュレータは低い出力容量 (1μF) で安定しますが、出力電圧リップルは大きくなります。初期公差、バイアス電圧、エージング、温度ディレーティング後の実効出力容量値を考慮してください。

SIMO スイッチング周波数

SIMO 降圧レギュレータは、パルス周波数変調 (PFM) 制御方式を採用しています。各出力のスイッチング周波数は、動作モード、入力電圧、出力電圧、負荷電流、およびインダクタンスの関数です。出力容量は、SIMO スイッチング周波数にはあまり影響しません。アナログ・デバイセズは、MAX77646/MAX77647 製品ページの[設計リソース]タブに、SIMO 計算ツールを提供しており、予想されるスイッチング周波数を推定できます。

表 12 に、スイッチング周波数の増減要因を示します。

表 12. スイッチング周波数制御

FACTOR	INCREASING FREQUENCY	DECREASING FREQUENCY
Inductor Current Peak Limit	Lower Peak Limit	Higher Peak Limit
Operating Mode	Buck-Boost Mode	Buck Mode or Boost Mode
Inductor	Decrease Inductance	Increase Inductance
Output Capacitor	Decrease Capacitance	Increase Capacitance
Input Voltage	Higher Voltage	Lower Voltage
Output Voltage	Higher Voltage	Lower Voltage
Load Current	Higher Current	Lower Current

未使用出力

使用しない出力は未接続のままにしないでください。未接続のままにされた出力が誤ってイネーブルになると、充電されたインダクタがオープン・サーキットとなり、出力電圧が絶対最大定格を超えて上昇して、デバイスが損傷します。出力を使用しない場合は、次のいずれかを行ってください。

- 出力をディスエーブルにし (CNFG_SBBx_B.EN_SBBx[2:0] = 0x4 または 0x5)、出力をグラウンドに接続します。未使用出力がデフォルトでイネーブルにされているか、誤ってイネーブルになる可能性がある場合は、代わりに他の推奨事項の 1 つを実行します。
- 未使用出力を 1μF のコンデンサでグラウンドにバイパスします。
- 未使用出力を低電圧に設定した場合は、未使用出力を IN_SBB または別の出力チャンネルに接続します。出力電圧は未使用出力より高いため、未使用出力が意図せずイネーブルになった場合でも、レギュレータはその出力を処理しません。
 - 一部の OTP オプションでは、デフォルトでアクティブ放電抵抗が有効になるので注意してください。アクティブ放電がデフォルトで有効にされている場合、未使用出力を IN_SBB に接続することは**推奨されません**。未使用出力を別のチャンネルに接続する場合は、未使用チャンネルのアクティブ放電抵抗を無効 (CNFG_SBBx_B.ADE_SBBx = 0) にします。

PCB レイアウト・ガイド

コンデンサ

デカップリング・コンデンサは、コンデンサ・パッドから端子への接続、およびコンデンサ・パッドからグランド端子への接続が短くなるように、IC のできるだけ近くに配置します。接続を短くすることで、寄生インダクタンスと抵抗が低下し、性能が向上して、ホット・ループの物理的サイズが小さくなります。

コンデンサへの接続がビアを介する場合は、寄生を最小化するために複数のビアを使用します。また、負荷はデバイスの端子ではなく、コンデンサ・パッドに接続します。

最も重要なのはスイッチング・レギュレータ用のコンデンサ、つまり、IN_SBB の入力コンデンサおよび SBBx の出力コンデンサです。

IN_SBB の入力コンデンサ

PGND – 入力コンデンサ – IN_SBB の間の寄生インダクタンスを最小にして、LXA 電圧のリングングを低減します。

SBBx の出力コンデンサ

出力コンデンサに流れる電流は、レギュレータがインダクタを充電（降圧モード）および放電（両モード）する際に大きく変化します。降圧モードでは、コンデンサ電流は [IN_SBB の入力コンデンサ](#) のセクションで述べたのと同じ速度で上昇します。昇降圧モードでは、コンデンサ電流は非常に速く上昇します。どちらのモードでも、コンデンサ電流はインダクタのピーク電流から $dl_{C_SBBx}/dt = V_{SBBx}/L$ の速度で下降します。この下降は 1μs 未満で発生し、昇降圧モードでは電流が急激に増加するため、SBBx – 出力コンデンサ – PGND の間の寄生インダクタンスを最小にします。

インダクタ

パターン抵抗を減らすため、インダクタは IC の近くに配置します。ただし、レギュレータの入出力コンデンサはインダクタよりも近くに配置します。インダクタのピーク電流に対処するために、LXA – インダクタ – LXB の間のパターン幅を適切にします。同様に、パスにビアがある場合は、ピーク電流に対処するために適切な量のビアを使用します。

グランド接続

スイッチング・レギュレータがインダクタを充放電する際、電流は PGND から入力コンデンサのグランドへ、出力コンデンサのグランドから PGND へ、または出力コンデンサのグランドから入力コンデンサのグランドへ流れます。したがって、PGND とコンデンサのグランドとの接続には、幅広の連続した銅プレーンを使用します。

GND 端子と PGND 端子を一緒に接続する場合、電源グランドからのノイズがアナログ・グランド（GND が接続されている部分）に混入しないようにします。例えば、グランド端子が内部層の強固なグランド・プレーンを介して接続されると仮定すると、GND を内部グランド・プレーンに接続する 1 つのビアだけで、電源グランド・プレーンのノイズの大部分から GND を十分保護できます。同様に、本デバイスの近くに他の大電流やノイズの多い回路がある場合、GND 端子をそれらのグランドに直接接続しないようにします。

適切な接地に関するガイドラインの詳細については、<https://www.analog.com/jp/design-center/packaging-quality-symbols-footprints/package-resources.html> を参照してください。

PCB レイアウト例

図 15 は最上位層のレイアウト例を示しています。

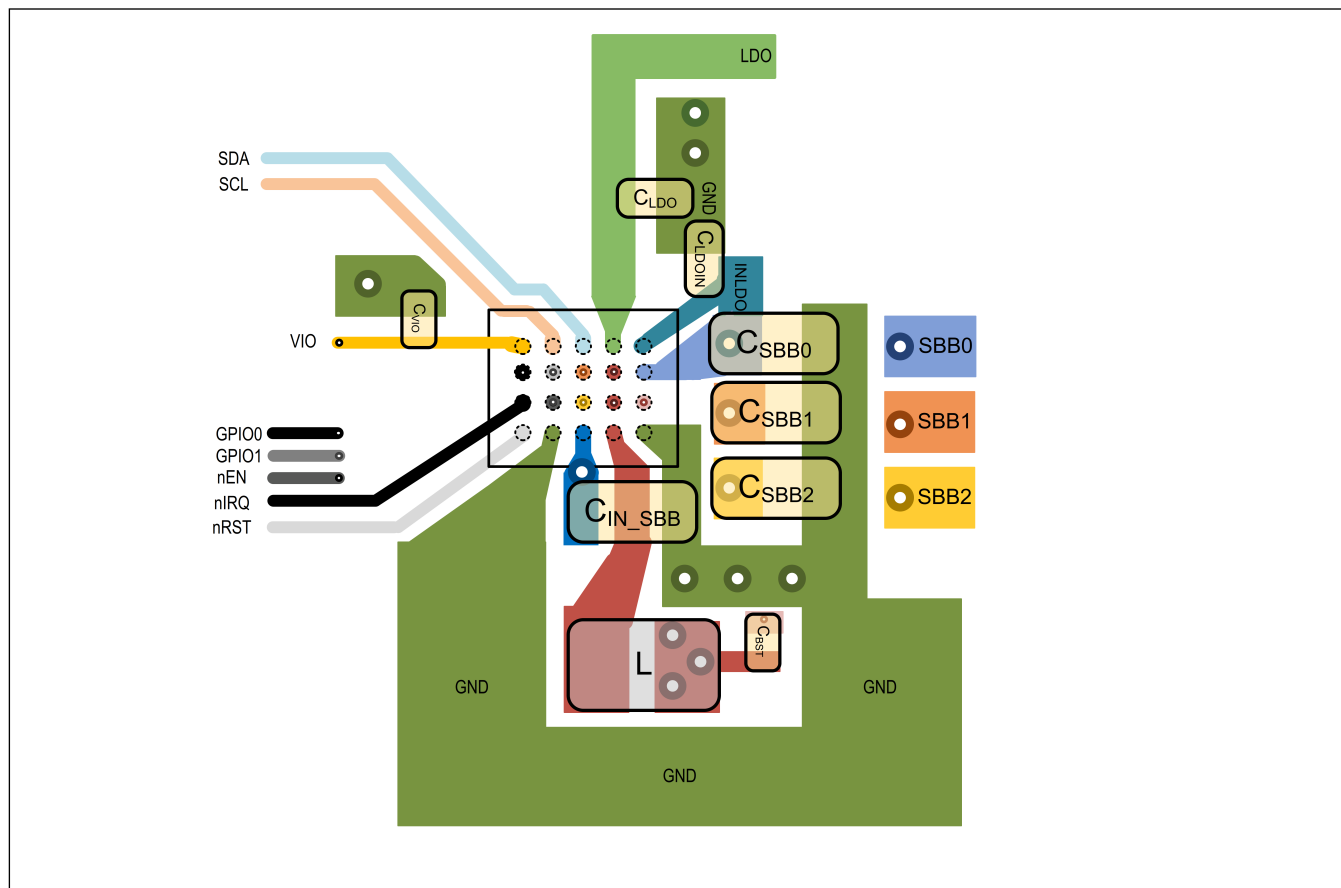


図 15. PCB の最上位層と部品の配置例

詳細—低ドロップアウト・リニア電圧レギュレータ（LDO）／負荷スイッチ（LSW）

デバイスは、負荷スイッチとしても構成可能なオンチップ低ドロップアウト・リニア電圧レギュレータ（LDO）を内蔵しています。この LDO は低自己消費電流となるよう最適化されています。デバイスの入力電圧範囲（ V_{IN_LDO} ）は、 LiMnO_2 （コイン電池）や中間レギュレータなどの主エネルギー源から直接給電できるようになっています。リニア電圧レギュレータは最大 150mA を供給します。

特長と利点

- 1 つの 150mA LDO
- LDO の入力電圧範囲：1.6V～5.5V
- LSW の入力電圧範囲：1.10V～5.5V
- 抵抗で出力電圧を調整可能（MAX77646）
- I²C で出力電圧を調整可能（MAX77647）
- ECT 条件での最大ドロップアウト電圧：100mV
- 設定可能なオンチップ・アクティブ放電

LDO/LSW の簡略ブロック図

LDO/LSW ブロックは、1 つの入力（ IN_LDO ）と 1 つの出力（LDO）、およびデバイスの他の部分と情報を交換するための複数のポート（ V_{REF} 、 ADE_LDO ）で構成されています。 V_{REF} はメイン・バイアス回路から供給されます。 $CNFG_LDO_B.EN_LDO$ と $CNFG_LDO_B.ADE_LDO$ は、それぞれイネーブル機能とアクティブ放電機能を制御するレジスタ・ビットです。詳細は [レジスタ・マップ](#) を参照してください。

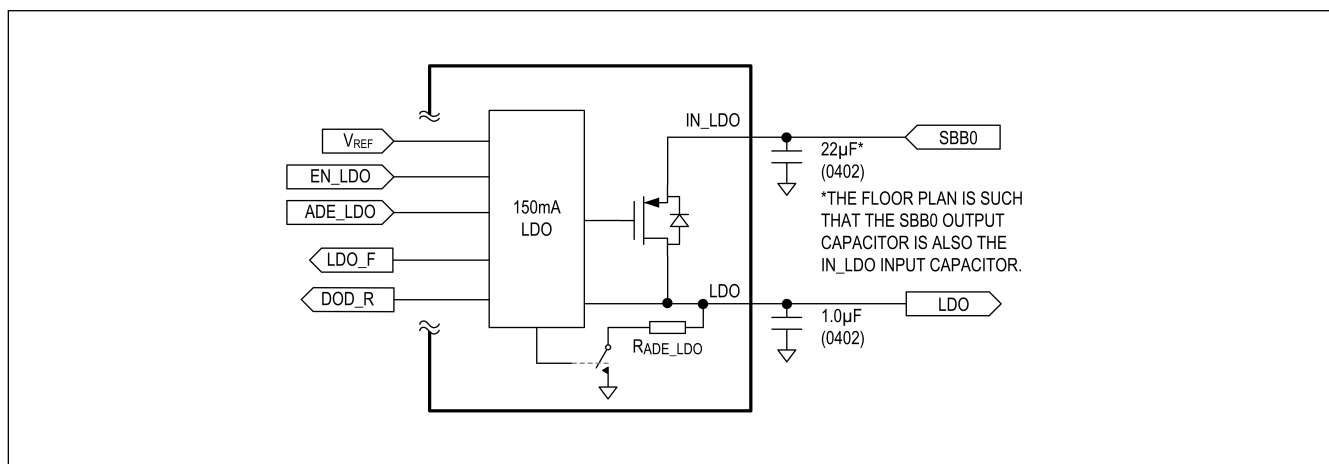


図 16. LDO/LSW の簡略ブロック図

LDO 出力電圧の設定

MAX77646 のオンチップ LDO の出力電圧を設定するには、[表 13](#) に示すように、 $RSEL_LDO$ から GND に適切な抵抗を接続します。 $RSEL_LDO$ 抵抗の公差は 1%以下でなければなりません。MAX77647 のオンチップ LDO の出力電圧を設定するには、I²C インターフェースを用いて設定レジスタ $TV_LDO[7:0]$ をロードします。 $TV_LDO[7]$ は、LDO の出力電圧に対して 1.325mV のオフセットを有効（ $TV_LDO[7]=1$ ）または無効（ $TV_LDO[7]=0$ ）にするために使用します。 $TV_LDO[6:0]$ ビットは出力電圧を次のように設定します。

$$LDO = 0.5V + TV_LDO[7] + (25mV \times TV_LDO[6:0]) \text{ (10 進数)}$$

表 13. LDO 出力電圧の設定

RSEL_LDO (k Ω)	LDO OUTPUT VOLTAGE (V)
Short	0.50
4.99	0.60
6.00	0.70
7.15	0.80
8.45	0.90
10.0	0.95
11.8	1.00
14.0	1.05
16.9	1.10
20.0	1.15
23.7	1.20
28.0	1.25
34.0	1.30
40.2	1.40
47.5	1.50
56.2	1.60
66.5	1.70
80.6	1.80
95.76	1.90
113.0	2.00
133.0	2.10
162.0	2.20
191.0	2.40
226.0	2.50
267.0	2.60
324.0	2.80
383.0	3.00
452.0	3.20
536.0	3.40
634.0	3.60
768.0	3.80
909.0	4.00

LDO/LSW のアクティブ放電抵抗

LDO/LSW ブロックにはアクティブ放電抵抗 (R_{AD_LDO}) があり、CNFG_LDO_B.ADE_LDO = 1 で LDO がディスエーブルの場合に有効になります。アクティブ放電機能を有効にすることで、リソースの完全かつタイムリーなパワーダウンを確実に実行できます。パワーアップ時、 $V_{INLDO} > V_{POR}$ かつ CNFG_LDO_B.ADE_LDO = 1 の場合、アクティブ放電抵抗が有効になります。

LDO/LSW ソフトスタート

ソフトスタート機能は、起動時の突入電流を制限する機能で、起動時の出力電圧のスルー・レート (dV_{OUT_LDO}/dt_{SS}) を制限することで実現します。

出力容量が大きくなると、起動時の入力電流サージが大きくなります。起動時の入力電流サージ現象を次式と例で説明します。

ソフトスタート時の入力電流 (I_{IN_LDO}) は次式で計算します。

$$I_{IN_LDO} = C_{LDO} \times \frac{dV_{OUT_LDO}}{dt_{SS}} + I_{OUT_LDO}$$

ここで、

- C_{LDO} はレギュレータ出力の容量
- dV_{OUT_LDO}/dt_{SS} は出力の電圧変化率

例えば、次の条件が与えられた場合、ソフトスタート時の入力電流 (I_{IN_LDO}) は 13.08mA となります。

条件：

- $C_{LDO} = 2.2\mu F$
- $dV_{OUT_LDO}/dt_{SS} = 2.2mV/\mu s$
- LDO を 1.85V に設定
- $R_{LDO} = 185\Omega$ ($I_{OUT_LDO} = 1.85V/185\Omega = 10mA$)

計算：

- $I_{IN} = 2.2\mu F \times 2.2mV/\mu s + 10mA$
- $I_{IN} = 14.84mA$

負荷スイッチの設定

LDO は、CNFG_LDO_B.LDO_MD ビットで負荷スイッチとして構成できます。図 17 に示すように、LDO モードから LSW モードへの移行は、ドロップアウトが検出されるまで、定義したスルー・レートで制御されます。ドロップアウトが検出されると、負荷スイッチは完全にクローズされ、ドロップアウト割込みフラグ (INT_GLBL.DOD_R) がセットされます。

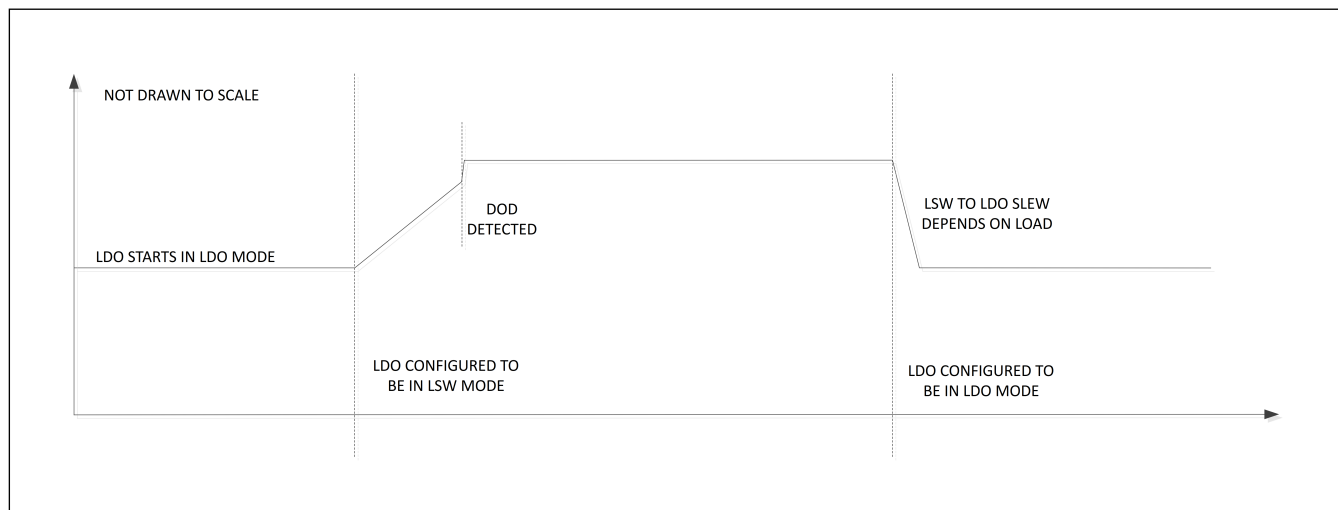


図 17. LDO から LSW への遷移波形

アプリケーション情報

入力コンデンサの選択

入力バイパス容量 (C_{IN_LDO}) は少なくとも $2.2\mu F$ とします。 C_{IN_LDO} の値が大きいほど、LDO のデカップリングが向上します。デバイスのフロア・プランは、SBB0 が IN_LDO に隣接するようになっており、SIMO チャンネル 0 の出力が LDO の入力に電源を供給する場合、その出力コンデンサ (C_{SBB0}) は C_{IN_LDO} としても機能するため、コンデンサは 1 つだけで済みます。

C_{IN_LDO} によって、動作中にバッテリーまたは入力電源から流れる電流ピークが減少します。入力コンデンサのインピーダンス (ESR、ESL) は、0.5MHz までの周波数では非常に低い値 (すなわち、 $ESR \leq 50m\Omega$ 、 $ESL \leq 5nH$) にする必要があります。X5R または X7R 誘電体のセラミック・コンデンサは、小型で ESR が低く、温度係数も小さいため、強く推奨します。

出力コンデンサの選択

LDO モードと LSW モードの両方で、出力バイパス容量 (C_{LDO}) は $1\mu F$ を選択します。

LDO モードでは、 C_{LDO} の値を大きくすると出力の PSRR は向上しますが、ソフトスタート時や出力電圧が変化する時の入力サージ電流は増加します。安定性を維持するため、実効出力容量は $2.8\mu F$ を超えないようにします。

LDO モードでは、安定性維持のために C_{LDO} が必要です。出力コンデンサの直列インダクタンスとその直列抵抗は、0.5MHz までの周波数では低い値 (すなわち、 $ESR \leq 10m\Omega$ および $ESL \leq 1nH$) にする必要があります。X5R または X7R 誘電体のセラミック・コンデンサは、小型で ESR が低く、温度係数も小さいため、強く推奨します。

コンデンサの実効容量は、DC バイアス電圧の増加と共に減少します。この効果は、コンデンサのケース・サイズが小さいほど顕著になります。この特性により、0603 ケースサイズのコンデンサは良好な性能を示す傾向がありますが、同じ値の 0402 ケースサイズのコンデンサでは劣化します。

詳細-I²C シリアル通信

概要

この IC は、双方向シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成される、リビジョン 3.0 I²C 対応の 2 線式シリアル・インターフェースを備えています。デバイスはスレーブ専用デバイスとして動作し、クロック信号の生成はマスタに依存します。SCL クロック・レートは 0Hz~1MHz に対応します。

I²C はオープンドレイン・バスであるため、SDA と SCL にはプルアップが必要です。オプションの抵抗 (24Ω) を SDA と SCL に直列に接続することで、バス・ラインの高電圧スパイクからデバイスの入力を保護します。直列抵抗はまた、バス信号のクロストークとアンダーシュートを最小限に抑えます。

図 18 に、I²C ベースの通信コントローラの機能図を示します。I²C の詳細については、インターネット上で無料で入手できる I²C バス仕様書やユーザ・マニュアルを参照してください。

特長

- I²C リビジョン 3.0 対応のシリアル通信チャンネル
- 最大 1000kHz のバス・タイミングに対応
- I²C クロック・ストレッチの利用は不要

I²C の簡略ブロック図

I²C 対応インターフェースには、(GND を除いて) 3 つの端子があります。V_{IO} はロジック・レベルを決定し、SCL はクロック・ライン、SDA はデータ・ラインです。インターフェースには SCL ラインを駆動する機能はないことに注意してください。

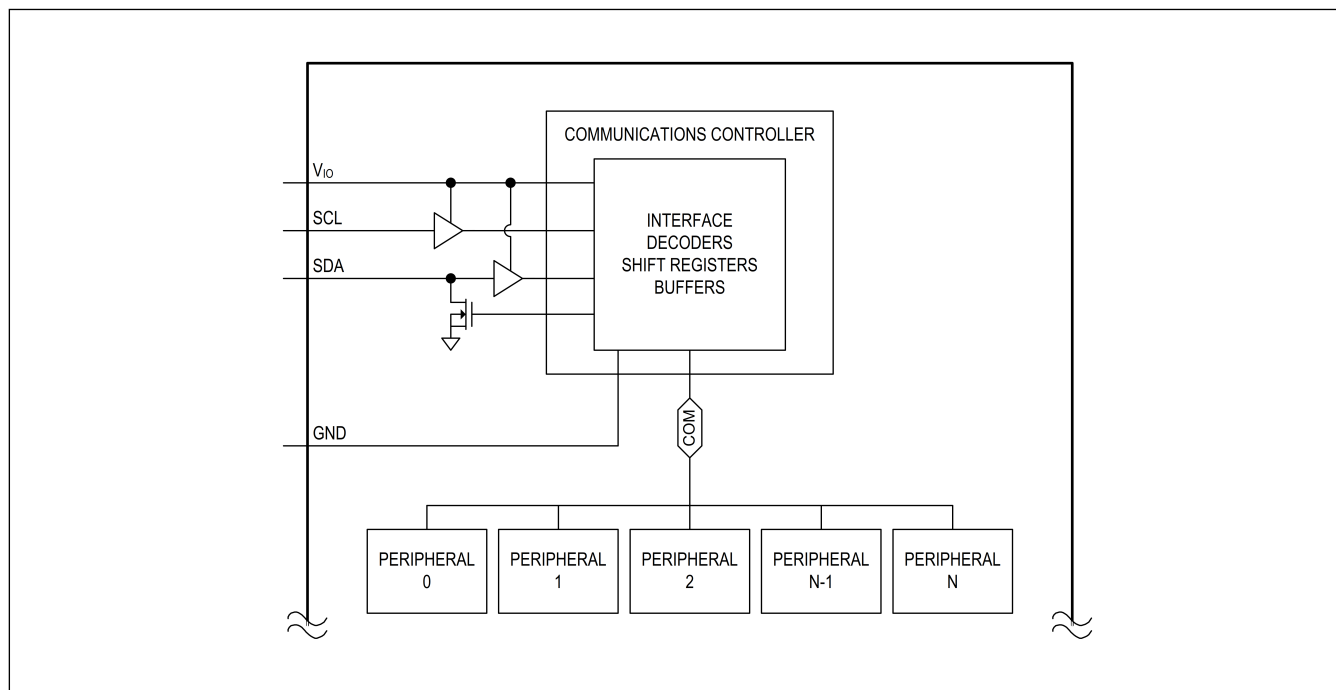


図 18. I²C の簡略ブロック図

I²C のシステム構成

I²C 対応インターフェースはマルチマスタ・バスです。バスに接続できるデバイスの最大数は、バスの容量によってのみ制限されます。

バスにデータを送信する I²C バス上のデバイスは、トランスミッタと呼ばれます。バスからデータを受信するデバイスは、レシーバと呼ばれます。データ転送を開始し、データ転送を制御するために SCL クロック信号を生成するデバイスは、マスタです。マスタによってアドレス指定されるデバイスは、スレーブとみなされます。I²C 対応インターフェースは、I²C バス上で送受信機能を持つスレーブとして動作します。

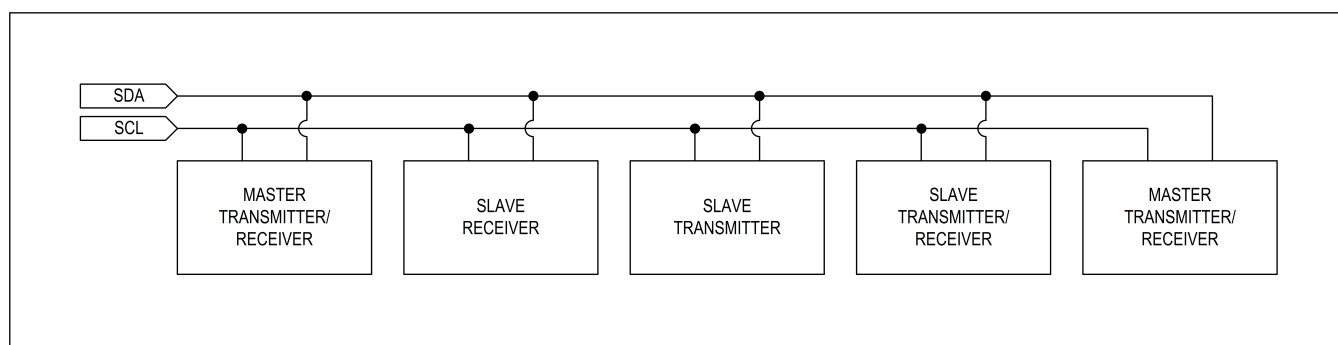


図 19. I²C のシステム構成

I²C インターフェースの電源

I²C インターフェースの電源は V_{IO} から供給されます。通常、 V_{IO} のような電源入力では、ローカルで $0.1\mu\text{F}$ のセラミック・バイパス・コンデンサをグラウンドに接続する必要があります。しかし、高度に統合化された電力配分システムでは、専用のコンデンサが必要ない場合があります。 V_{IO} とそれに最も近接するコンデンサ ($\geq 0.1\mu\text{F}$) の間のインピーダンスが 10nH と直列に $100\text{m}\Omega$ 以下であれば、ローカル・コンデンサは必要ありません。そうでない場合は、 $0.1\mu\text{F}$ のセラミック・コンデンサで V_{IO} を GND にバイパスします。

V_{IO} は $1.7\text{V}\sim 3.6\text{V}$ (V_{IO}) の電圧に対応します。 V_{IO} の電源をいったん切って入れ直しても、I²C レジスタはリセットされません。 V_{IO} が V_{IOUVLO} よりも小さく、 V_{SYSA} が $V_{SYSAUVLO}$ よりも小さい場合、SDA と SCL はハイ・インピーダンスになります。

I²C のデータ転送

各 SCL クロック・サイクル中に 1 データ・ビットが転送されます。SDA 上のデータは、SCL クロック・パルスのハイの期間、安定していなければなりません。SCL がハイの間の SDA の変化は制御信号です。I²C のスタート・コンディションとストップ・コンディションのセクションを参照してください。各送信シーケンスは、スタート (S) コンディションとストップ (P) コンディションによってフレーム化されます。各データ・パケットは 9 ビット長です。8 ビットのデータの後にアクノレッジ・ビットが続きます。データは MSB が最初に転送されます。

I²C のスタート・コンディションとストップ・コンディション

シリアル・インターフェースが非アクティブの時、SDA と SCL はアイドル・ハイになります。マスタ・デバイスはスタート・コンディションを発行して通信を開始します。スタート・コンディションとは、SCL がハイの状態でも SDA がハイからローに遷移することです。ストップ・コンディションとは、SCL がハイの状態でも SDA がハイからローに遷移することです。図 20 を参照してください。

マスタからのスタート・コンディションは、デバイスに送信の開始を通知します。マスタは、ノットアクノレッジを発行し、その後にストップ・コンディションを発行することで、送信を終了します (ノットアクノレッジについては、I²C のアクノレッジ・ビットのセクションを参照)。ストップ・コンディションによりバスは解放されます。スレーブに一連のコマンドを発行する場合、マスタはストップ・コマンドの代わりに反復スタート (Sr) コマンドを発行すると、バスの制御を維持できます。一般に、反復スタート・コマンドは、機能的には通常のスタート・コマンドと同等です。

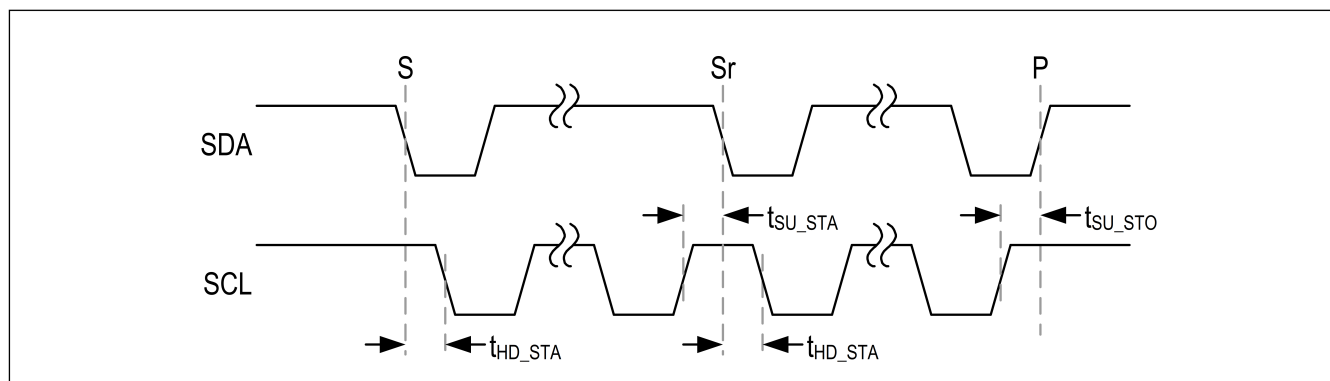


図 20. I²C のスタート・コンディションとストップ・コンディション

I²C のアクノレッジ・ビット

I²C のバス・マスタとスレーブ・デバイスはどちらも、データ受信時にアクノレッジ・ビットを生成します。アクノレッジ・ビットは、各 9 ビット・データ・パケットの最後のビットです。アクノレッジ (A) を生成するには、受信デバイスはアクノレッジに関連したクロック・パルス (9 パルス目) の立上がりエッジの前に SDA をローにし、クロック・パルスのハイ期間中はローを維持する必要があります。図 21 を参照してください。ノットアクノレッジ (nA) を生成するには、受信デバイスはアクノレッジに関連したクロック・パルスの立上がりエッジの前に SDA をハイにし、クロック・パルスのハイ期間中はハイを維持します。

アクノレッジ・ビットをモニタすることで、失敗したデータ転送を検出できます。データ転送が失敗するのは、受信デバイスがビジー状態か、システム・フォールトが発生した場合です。データ転送が失敗した場合、バス・マスタは後で通信を再試行する必要があります。

デバイスは、特定のレジスタが存在しなくても、可能なアドレス空間内の全てのレジスタ・アドレスに対して ACK を発行します。

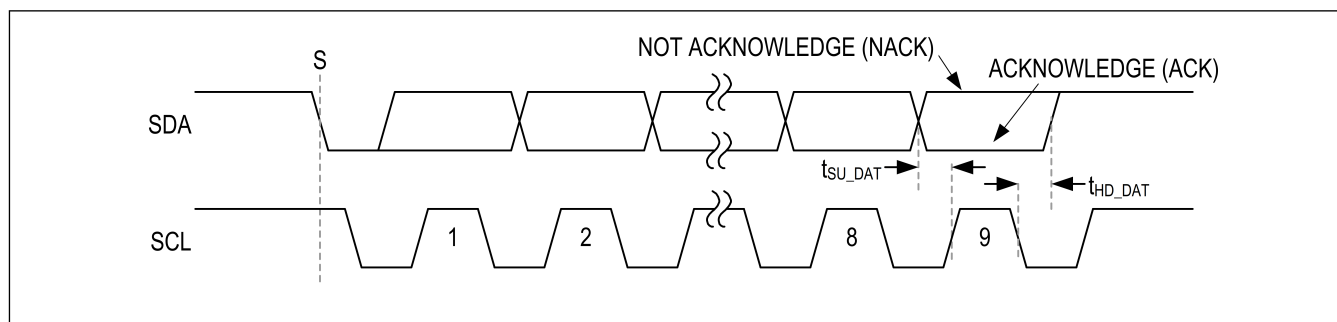


図 21. アクノレッジ・ビット

I²C のスレーブ・アドレス

I²C コントローラには、7 ビットのスレーブ・アドレス指定機能があります。I²C バス・マスタは、スタート・コンディションに続けてスレーブ・アドレスを発行することで、スレーブとの通信を開始します。図 22 を参照してください。OTP アドレスは、2 つのオプションのうち 1 つを出荷時に設定できます。表 14 を参照してください。表 14 に記載されていないスレーブ・アドレスは、全てアクノレッジされません。

表 14. I²C スレーブ・アドレスのオプション

ADDRESS	7-BIT SLAVE ADDRESS	8-BIT WRITE ADDRESS	8-BIT READ ADDRESS
Main Address (ADDR = 0)*	0x40, 0b 100 0000	0x80, 0b 1000 0000	0x81, 0b 1000 0001
Main Address (ADDR = 1)*	0x48, 0b 100 1000	0x90, 0b 1001 0000	0x91, 0b 1001 0001
Main Address (ADDR = 2)*	0x44, 0b 100 0100	0x88, 0b 1000 1000	0x89, 0b 1000 1001
Main Address (ADDR = 3)*	0x4C, 0b 100 1100	0x98, 0b 1001 1000	0x99, 0b 1001 1001
Test Mode**	0x49, 0b 100 1001	0x92, 0b 1001 0010	0x93, 0b 1001 0011

*全ての読出しと書き込みをメイン・アドレスに対して実行します。ADDR は工場出荷時のワнтаイム・プログラマブル (OTP) オプションであり、バス競合が発生した場合にアドレスを変更できます。

**テストモードがロック解除されると、追加アドレスがアクノレッジされます。テストモードの詳細については非公開とさせていただきます。可能であれば、アナログ・デバイセズの協力のもとでデバッグを行う必要があるというまれなケースに備えて、テスト・モード・アドレスは未割り当てのままにしておいてください。

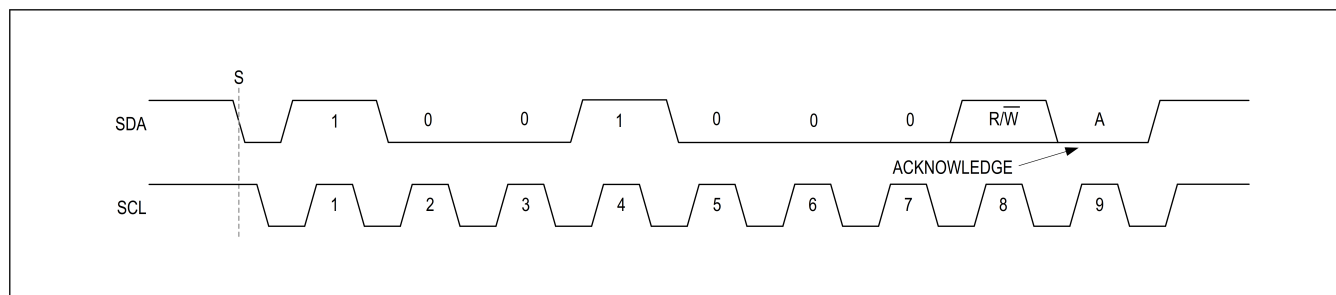


図 22. スレーブ・アドレスの例

I²C クロック・ストレッチ

一般に、I²C バスのクロック信号の生成はマスタ・デバイスが担います。I²C の仕様では、低速のスレーブ・デバイスがクロック・ラインをローに保持することでクロック信号を変化させることができます。スレーブ・デバイスがクロック・ラインをローに保持するプロセスは、一般にクロック・ストレッチと呼ばれています。この IC では、クロック・ラインをローに保持するようなクロック・ストレッチは行いません。

I²C ジェネラル・コール・アドレス

このデバイスは、I²C 仕様のジェネラル・コール・アドレスを備えておらず、ジェネラル・コール・アドレス (0b0000_0000) はアクノレージしません。

I²C デバイス ID

このデバイスは、I²C のデバイス ID 機能をサポートしていません。

I²C の通信速度

このデバイスは、リビジョン 3.0 の I²C 仕様で定義されている次の 4 つの通信速度範囲全てに対応しています。

- 0Hz~100kHz (標準モード)
- 0Hz~400kHz (高速モード)
- 0Hz~1MHz (高速モードプラス)

標準モード、高速モード、高速モードプラスで動作させる場合、特別なプロトコルは必要ありません。この範囲でバス速度を変更する場合、バス容量とプルアップ抵抗の組み合わせが重要です。バス容量とプルアップ抵抗の値を大きくすると、時定数 ($C \times R$) が大きくなり、バスの動作が遅くなります。したがって、バスの速度を上げる場合、適切な時定数を維持するために、プルアップ抵抗を小さくする必要があります。プルアップ抵抗の選択に関する詳細なガイダンスについては、I²C バスの仕様やユーザ・マニュアル (インターネットで無料入手可能) に記載の「プルアップ抵抗のサイジング」のセクションを参照してください。一般に、バス容量が 200pF の場合、100kHz のバスには 5.6k Ω 、400kHz のバスには約 1.5k Ω 、1MHz のバスには 680 Ω のプルアップ抵抗が必要です。オープンドレイン・バスがローの時、プルアップ抵抗は電力を消費するので、プルアップ抵抗の値が小さいほど消費電力 (V^2/R) は大きくなることに注意してください。

高速モードでの動作には、いくつかの特別な考慮が必要です。考慮事項の完全なリストについては、公開されている I²C バスの仕様やユーザ・マニュアルを参照してください。このデバイスに関する主な考慮事項は以下のとおりです。

- I²C バス・マスタは、電流源プルアップを用いて信号の立上りを短縮します。
- I²C スレーブは、高速バスに対応するため、SDA ラインと SCL ラインに異なる入力フィルタを使用する必要があります。
- 通信プロトコルは、高速マスタ・コードを利用する必要があります。

パワーアップ時および各ストップ・コンディション後、バスの入力フィルタを標準モード、高速モード、高速モードプラス (すなわち 0Hz~1MHz) 用のいずれかに設定します。高速モード用の入力フィルタを切り替えるには、I²C の通信プロトコルのセクションで説明する高速マスタ・コードのプロトコルを使用します。

I²C の通信プロトコル

以下のサブセクションで説明するように、レジスタへの書き込みとレジスタからの読出しの両方がサポートされています。

単一レジスタへの書き込み

図 23 は、I²C マスタ・デバイスがこのデバイスに 1 バイトのデータを書き込むためのプロトコルを示しています。このプロトコルは、SMBus 仕様のバイト書き込みプロトコルと同じです。

バイト書き込みプロトコルは、以下のとおりです。

1. マスタは、スタート・コマンド (S) を送信します。
2. マスタは、7 ビットのスレーブ・アドレスに続いて、書き込みビット ($R/\overline{W}=0$) を送信します。
3. アドレス指定されたスレーブは、SDA をローにしてアクノレッジ (A) をアサートします。
4. マスタは 8 ビットのレジスタ・ポインタを送信します。
5. スレーブはレジスタ・ポインタをアクノレッジします。
6. マスタはデータ・バイトを送信します。
7. スレーブは新しいデータで更新します。
8. スレーブはデータ・バイトに対してアクノレッジまたはノットアクノレッジをアサートします。SDA の次の立上がりエッジで、データ・バイトがそのターゲット・レジスタにロードされ、データがアクティブになります。
9. マスタは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。P を発行すると、バス入力フィルタは 1MHz またはそれ以下の動作に設定されます。Sr を発行すると、バス入力フィルタは現在の状態を維持します。

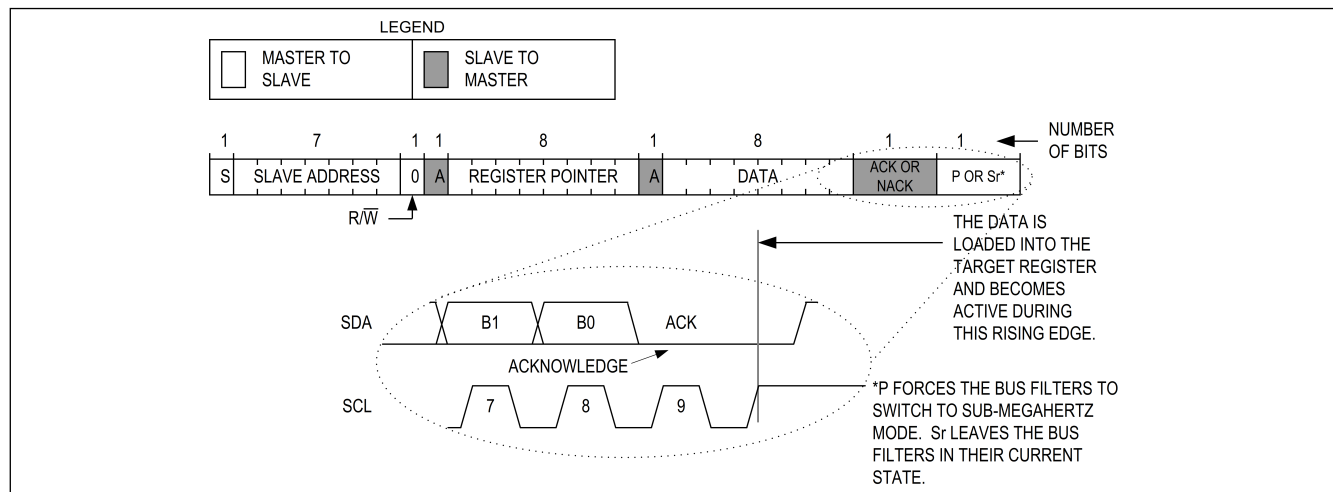


図 23. バイト書き込みプロトコルによる単一レジスタへの書き込み

連続したレジスタへの複数バイト書き込み

図 24 は、連続したレジスタへの書き込みプロトコルを示しています。このプロトコルは単一レジスタへの書き込みのセクションのバイト書き込みプロトコルに似ていますが、マスタがデータの最初のバイトを受信した後も書き込みを継続する点が異なります。書き込みが終了すると、マスタはストップまたは反復スタートを発行します。

連続したレジスタへの書き込みプロトコルは以下のとおりです。

1. マスタは、スタート・コマンド (S) を送信します。
2. マスタは、7 ビットのスレーブ・アドレスに続いて、書き込みビット ($R/\overline{W}=0$) を送信します。
3. アドレス指定されたスレーブは、SDA をローにしてアクノレッジ (A) をアサートします。
4. マスタは 8 ビットのレジスタ・ポインタを送信します。
5. スレーブはレジスタ・ポインタをアクノレッジします。
6. マスタはデータ・バイトを送信します。
7. スレーブはデータ・バイトをアクノレッジします。SDA の次の立上がりエッジで、データ・バイトがそのターゲット・レジスタにロードされ、データがアクティブになります。

8. ステップ 6～7 は、マスタが必要とする回数だけ繰り返されます。
9. 最後のアクノレッジに関連したクロック・パルスの間、マスタはアクノレッジまたはノットアクノレッジを発行できます。
10. マスタは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。P を発行すると、バス入力フィルタは 1MHz またはそれ以下の動作に設定されます。Sr を発行すると、バス入力フィルタは現在の状態を維持します。

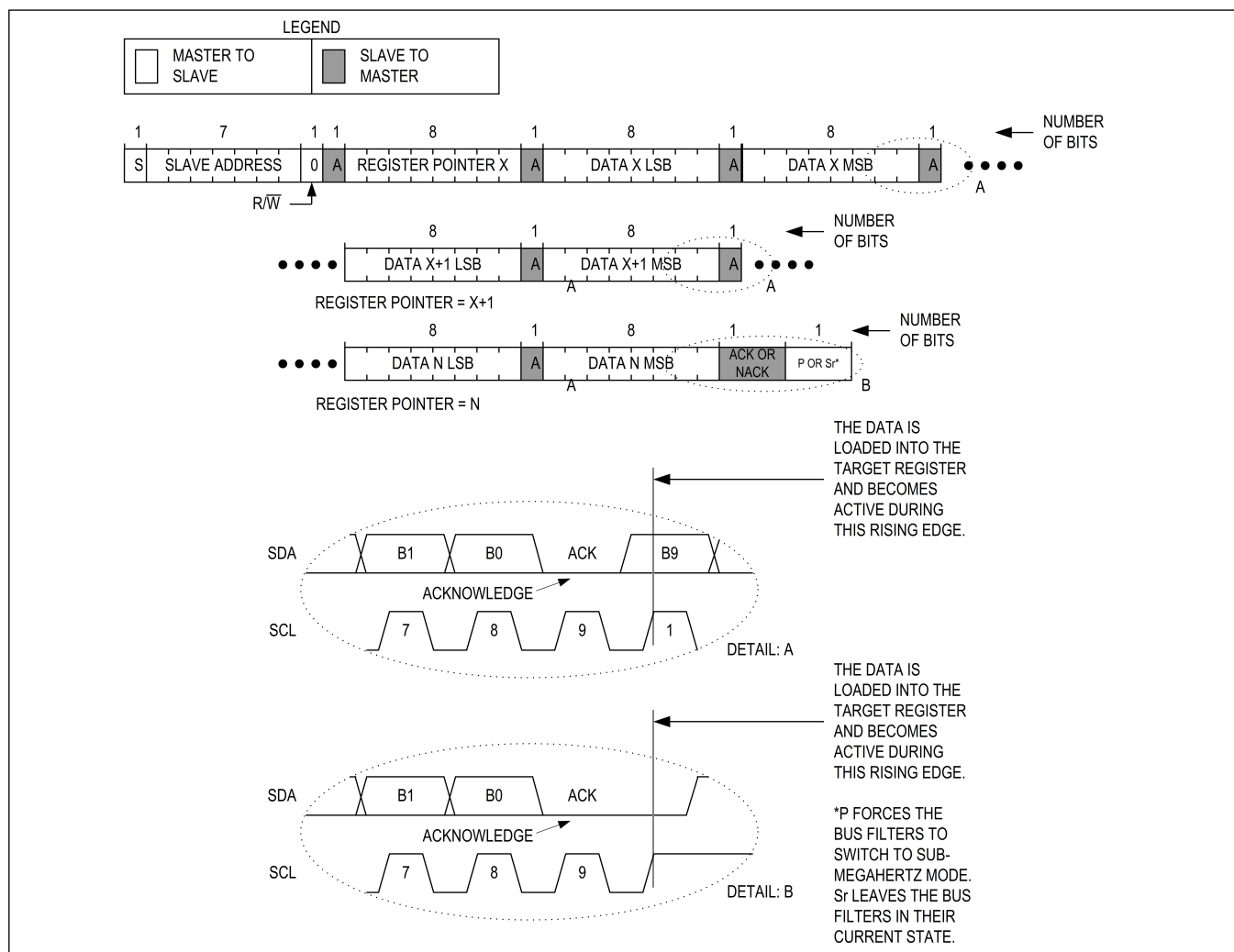


図 24. 連続したレジスタ X～N への書き込み

単一レジスタからの読出し

図 25 は、I²C マスタ・デバイスが 1 バイトのデータを読み出すプロトコルを示しています。このプロトコルは、SMBus 仕様のバイト読出しプロトコルと同じです。

バイト読出しプロトコルは、以下のとおりです：

1. マスタは、スタート・コマンド (S) を送信します。
2. マスタは、7 ビットのスレーブ・アドレスに続いて、書込みビット ($R/\overline{W}=0$) を送信します。
3. アドレス指定されたスレーブは、SDA をローにしてアクノレッジ (A) をアサートします。
4. マスタは 8 ビットのレジスタ・ポインタを送信します。
5. スレーブはレジスタ・ポインタをアクノレッジします。
6. マスタは反復スタート・コマンド (Sr) を送信します。
7. マスタは 7 ビットのスレーブ・アドレスに続いて読出しビット ($R/\overline{W}=1$) を送信します。
8. アドレス指定されたスレーブは、SDA をローにしてアクノレッジをアサートします。
9. アドレス指定されたスレーブは、レジスタ・ポインタで指定された位置から 8 ビットのデータをバス上に配置します。
10. マスタはノットアクノレッジ (nA) を発行します。
11. マスタは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。P を発行すると、バス入力フィルタは 1MHz またはそれ以下の動作に設定されます。Sr を発行すると、バス入力フィルタは現在の状態を維持します。

このデバイスがストップを受信した時に、レジスタ・ポインタは変更されないことに注意してください。したがって、マスタが同じレジスタを再度読み出す場合、レジスタ・ポインタを送信するコマンドを省略して、直ちに別の読出しコマンドを送信できます。

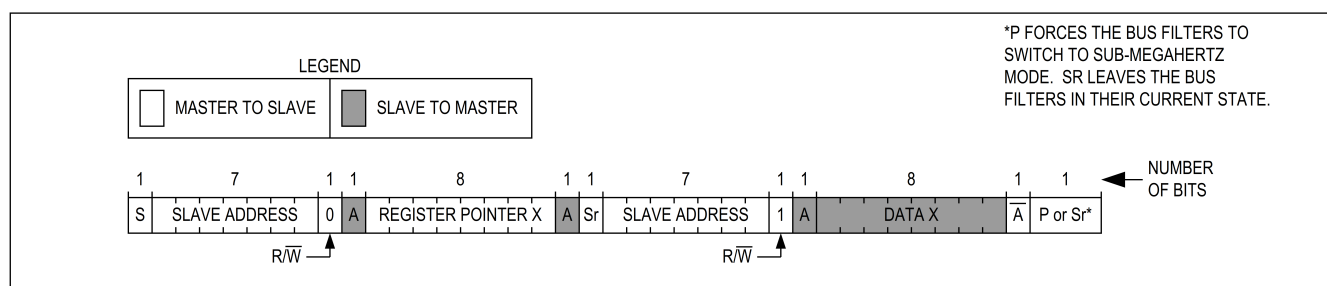


図 25. バイト読出しプロトコルによる単一レジスタからの読出し

連続したレジスタからの読出し

図 26 は、連続したレジスタからの読出しプロトコルを示しています。このプロトコルはバイト読出しプロトコルに似ていますが、マスタがアクノレッジを発行してスレーブに更にデータが必要であることを知らせる点が異なります。マスタは、必要なデータが全て揃ったら、ノットアクノレッジ (nA) とストップ (P) を発行して送信を終了します。連続したレジスタからの連続読出しプロトコルは以下のとおりです。

1. マスタは、スタート・コマンド (S) を送信します。
2. マスタは、7 ビットのスレーブ・アドレスに続いて、書き込みビット ($R/\overline{W}=0$) を送信します。
3. アドレス指定されたスレーブは、SDA をローにしてアクノレッジ (A) をアサートします。
4. マスタは 8 ビットのレジスタ・ポインタを送信します。
5. スレーブはレジスタ・ポインタをアクノレッジします。
6. マスタは反復スタート・コマンド (Sr) を送信します。
7. マスタは 7 ビットのスレーブ・アドレスに続いて読出しビット ($R/\overline{W}=1$) を送信します。
8. アドレス指定されたスレーブは、SDA をローにしてアクノレッジをアサートします。
9. アドレス指定されたスレーブは、レジスタ・ポインタで指定された位置から 8 ビットのデータをバス上に配置します。
10. マスタはアクノレッジ (A) を発行し、更にデータの受信が必要であることをスレーブに通知します。
11. ステップ 9~10 は、マスタが必要とする回数だけ繰り返されます。データの最後のバイトに続いて、マスタはノットアクノレッジ (nA) を発行して、データの受信を停止することを通知しなければなりません。
12. マスタは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。ストップ (P) を発行することで、バス入力フィルタは 1MHz またはそれ以下の動作に設定されます。Sr を発行すると、バス入力フィルタは現在の状態を維持します。

このデバイスがストップを受信した時に、レジスタ・ポインタは変更されないことに注意してください。したがって、マスタが同じレジスタを再度読み出す場合、レジスタ・ポインタを送信するコマンドを省略して、直ちに別の読出しコマンドを送信できます。

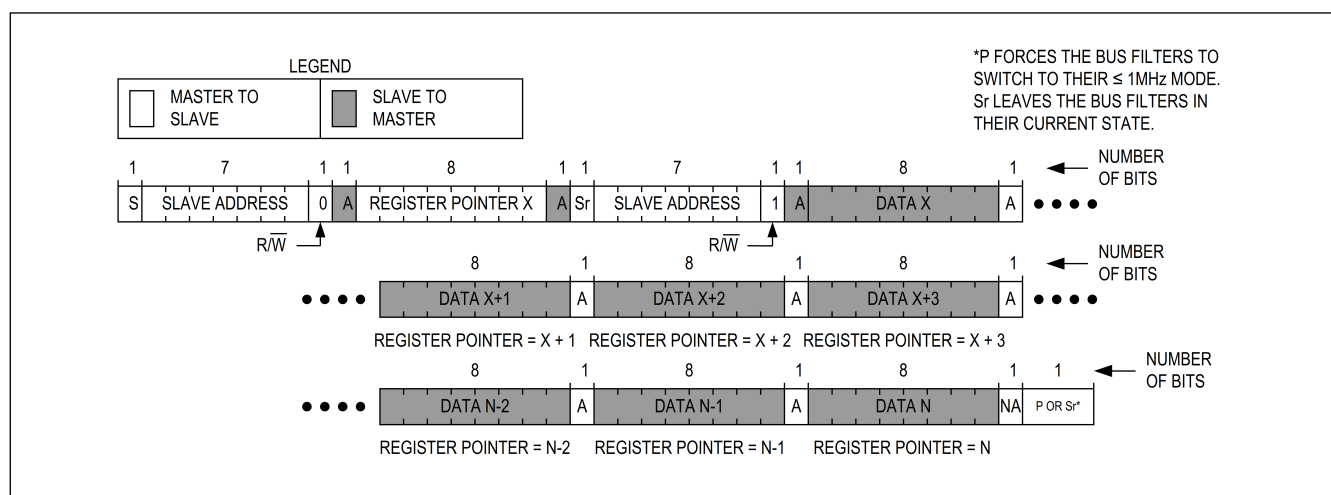


図 26. 連続したレジスタ X~N からの連続読出し

レジスタ・マップ

MAX77647

ADDRESS	NAME	MSB							LSB
Global									
0x00	INT_GLBL0[7:0]	RSVD	DOD_R	TJAL2_R	TJAL1_R	nEN_R	nEN_F	GPI0_R	GPI0_F
0x01	INT_GLBL1[7:0]	RSVD	RSVD	LDO_F	SBB2_F	SBB1_F	SBB0_F	GPI1_R	GPI1_F
0x02	ERCFLAG[7:0]	SBB_FA ULT_F	WDT_EX P_F	SFT_CR ST_F	SFT_OF F_F	MRST_F	INUVLO	INOVLO	TOVLD
0x03	STAT_GLBL[7:0]	DIDM	BOK	RSVD	DOD_S	TJAL2_S	TJAL1_S	STAT_E N	STAT_IR Q
0x04	INTM_GLBL0[7:0]	RSVD	DOD_R M	TJAL2_R M	TJAL1_R M	nEN_RM	nEN_FM	GPI0_R M	GPI0_F M
0x05	INTM_GLBL1[7:0]	RSVD	RSVD	LDO_M	SBB2_F M	SBB1_F M	SBB0_F M	GPI1_R M	GPI1_F M
0x06	CNFG_GLBL0[7:0]	PU_DIS	MRST	SBIA_LP M	nEN_MODE[1:0]		DBEN_n EN	SFT_CTRL[1:0]	
0x07	CNFG_GLBL1[7:0]	RSVD[4:0]					SBB_F SHUTDN	AUTO_WKT[1:0]	
0x08	CNFG_GPIO0[7:0]	RSVD[1:0]		ALT_GPI O0	DBEN_G PI	DO	DRV	DI	DIR
0x09	CNFG_GPIO1[7:0]	RSVD[1:0]		ALT_GPI O1	DBEN_G PI	DO	DRV	DI	DIR
0x10	CID[7:0]	–	–	–	CID[4:0]				
0x17	CNFG_WDT[7:0]	RSVD[1:0]		WDT_PER[1:0]		WDT_M ODE	WDT_CL R	WDT_E N	WDT_LO CK
SBB									
0x28	CNFG_SBB_TOP[7:0]	GPI0x_L PM	–	–	–	–	–	DRV_SBB[1:0]	
0x29	CNFG_SBB0_A[7:0]	TV_SBB0[7:0]							
0x2A	CNFG_SBB0_B[7:0]	OP_MODE[1:0]		IP_SBB0[2:0]			EN_SBB0[2:0]		
0x2B	CNFG_SBB1_A[7:0]	TV_SBB1[7:0]							
0x2C	CNFG_SBB1_B[7:0]	OP_MODE[1:0]		IP_SBB1[2:0]			EN_SBB1[2:0]		
0x2D	CNFG_SBB2_A[7:0]	TV_SBB2[7:0]							
0x2E	CNFG_SBB2_B[7:0]	OP_MODE[1:0]		IP_SBB2[2:0]			EN_SBB2[2:0]		
0x2F	CNFG_DVS_SBB0_A[7:0]	TV_SBB0_DVS[7:0]							
0x30	CNFG_SBB_BTM[7:0]	–	–	DIS_LP M_SBB2	DIS_LP M_SBB1	DIS_LP M_SBB0	ADE_SB B2	ADE_SB B1	ADE_SB B0
LDO									
0x38	CNFG_LDO_A[7:0]	TV_OFS _LDO	TV_LDO[6:0]						
0x39	CNFG_LDO_B[7:0]	–	–	–	LDO_MD	ADE_LD O	EN_LDO[2:0]		

レジスタの詳細

INT_GLBL0 (0x00)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	DOD_R	TJAL2_R	TJAL1_R	nEN_R	nEN_F	GPI0_R	GPI0_F
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビット・フィールド	ビット	説明	デコード
RSVD	7	RSVD	
DOD_R	6	LDOドロップアウト検出器の立上がり割込み。	0b0 = The LDO has not detected dropout since the last time this bit was read. 0b1 = The LDO has detected dropout since the last time this bit was read.
TJAL2_R	5	温度アラーム2の立上がり割込み。	0b0 = The junction temperature has not risen above TJAL2 since the last time this bit was read. 0b1 = The junction temperature has risen above TJAL2 since the last time this bit was read.
TJAL1_R	4	温度アラーム1の立上がり割込み。	0b0 = The junction temperature has not risen above TJAL1 since the last time this bit was read. 0b1 = The junction temperature has risen above TJAL1 since the last time this bit was read.
nEN_R	3	nENの立上がり割込み。	0b0 = No nEN rising edges have occurred since the last time this bit was read. 0b1 = A nEN rising edge has occurred since the last time this bit was read.
nEN_F	2	nENの立下がり割込み。	0b0 = No nEN falling edges have occurred since the last time this bit was read. 0b1 = A nEN falling edge occurred since the last time this bit was read.
GPI0_R	1	GPIの立上がり割込み。 「GPI」は入力として設定されたGPIOを指します。	0b0 = No GPI rising edges have occurred since the last time this bit was read. 0b1 = A GPI rising edge has occurred since the last time this bit was read.
GPI0_F	0	GPIの立下がり割込み。 「GPI」は入力として設定されたGPIOを指します。	0b0 = No GPI falling edges have occurred since the last time this bit was read. 0b1 = A GPI falling edge has occurred since the last time this bit was read.

INT_GLBL1 (0x01)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	LDO_F	SBB2_F	SBB1_F	SBB0_F	GPI1_R	GPI1_F
Reset	0b000	0b000	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビット・フィールド	ビット	説明	デコード
RSVD	7	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	

ビット・フィールド	ビット	説明	デコード
RSVD	6	予備。未使用ビット。0を書き込んでください。読み出しはドント・ケアです。	
LDO_F	5	LDOのフォールト割込み。	0b0 = No fault has occurred on LDO since the last time this bit was read. 0b1 = LDO has fallen out of regulation since the last time this bit was read.
SBB2_F	4	SBB2のフォールト・インジケータ。	0b0 = No fault has occurred on SBB2 since the last time this bit was read. 0b1 = SBB2 has fallen out of regulation since the last time this bit was read.
SBB1_F	3	SBB1のフォールト・インジケータ。	0b0 = No fault has occurred on SBB2 since the last time this bit was read. 0b1 = SBB1 has fallen out of regulation since the last time this bit was read.
SBB0_F	2	SBB0のフォールト・インジケータ。	0b0 = No fault has occurred on SBB2 since the last time this bit was read. 0b1 = SBB0 has fallen out of regulation since the last time this bit was read.
GPI1_R	1	GPI1の立上がり割込み。 「GPI」は入力として設定されたGPIOを指します。	0b0 = No GPI1 rising edges have occurred since the last time this bit was read. 0b1 = A GPI1 rising edge has occurred since the last time this bit was read.
GPI1_F	0	GPI1の立下がり割込み。 「GPI」は入力として設定されたGPIOを指します。	0b0 = No GPI1 falling edges have occurred since the last time this bit was read. 0b1 = A GPI1 falling edge has occurred since the last time this bit was read.

ERCFLAG (0x02)

BIT	7	6	5	4	3	2	1	0
Field	SBB_FAULT_F	WDT_EXP_F	SFT_CRST_F	SFT_OFF_F	MRST_F	INUVLO	INOVLO	TOVLD
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビット・フィールド	ビット	説明	デコード
SBB_FAULT_F	7	SBBxのフォールトおよびシャットダウン・フラグ。SBBxフォールトとそれに伴うSBBxシャットダウンが発生すると、このビットがセットされます。	0b0 = No SBB shutdown occurred since the last time this bit was read. 0b1 = SBBx fault and SBB shutdown occurred since the last time this bit was read.
WDT_EXP_F	6	ウォッチドッグ・タイマーのオフまたはリセット・フラグ。このビットは、ウォッチドッグ・タイマーが終了し、WDT_MODEに基づいて電源オフまたはリセットが発生した時にセットされます。	0b0 = Watchdog timer has not caused a power-off or reset since the last time this bit was read. 0b1 = Watchdog timer has expired and caused a power-off or reset since the last time this bit was read.
SFT_CRST_F	5	ソフトウェア・コールド・リセット・フラグ。	0b0 = The software cold reset has not occurred since the last read of this register. 0b1 = The software cold reset has occurred since the last read of this register. This indicates that software has set SFT_CTRL[1:0] = 0b01.

ビット・フィールド	ビット	説明	デコード
SFT_OFF_F	4	ソフトウェア・オフ・フラグ。	0b0 = The SFT_OFF function has not occurred since the last read of this register. 0b1 = The SFT_OFF function has occurred since the last read of this register. This indicates that software has set SFT_CTRL[1:0] = 0b10.
MRST_F	3	手動リセット・タイマー。	0b0 = A manual reset has not occurred since the last read of this register. 0b1 = A manual reset has occurred since the last read of this register.
INUVLO	2	INドメインの低電圧ロックアウト。	0b0 = The IN domain undervoltage lockout has not occurred since the last read of this register. 0b1 = The IN domain undervoltage lockout has occurred since the last read of this register. This indicates that the IN domain voltage fell below V_{INUVLO} (~2.6V).
INOVLO	1	INドメインの過電圧ロックアウト。	0b0 = The IN domain overvoltage lockout has not occurred since the last read of this register. 0b1 = The IN domain overvoltage lockout has occurred since the last read of this register. This indicates that the IN domain voltage rose above V_{INOVLO} (~5.85V).
TOVLD	0	熱過負荷。	0b0 = Thermal overload has not occurred since the last read of this register. 0b1 = Thermal overload has occurred since the last read of this register. This indicates that the junction temperature has exceeded +165°C.

STAT_GLBL (0x03)

BIT	7	6	5	4	3	2	1	0
Field	DIDM	BOK	RSVD	DOD_S	TJAL2_S	TJAL1_S	STAT_EN	STAT_IRQ
Reset	OTP	0b1	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Clears All	Read Only	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
DIDM	7	メタル・オプション用のデバイス識別ビット。	0b0 = MAX77647 0b1 = Reserved
BOK	6	BOK割込みステータス。	0b0 = Main bias is not ready. 0b1 = Main bias enabled and ready.
RSVD	5	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
DOD_S	4	LDOドロップアウト検出器の立上がりステータス。	0b0 = LDO is not in dropout. 0b1 = LDO is in dropout.
TJAL2_S	3	温度アラーム2のステータス。	0b0 = The junction temperature is less than TJAL2. 0b1 = The junction temperature is greater than TJAL2.
TJAL1_S	2	温度アラーム1のステータス。	0b0 = The junction temperature is less than TJAL1. 0b1 = The junction temperature is greater than TJAL1.
STAT_EN	1	nEN入力のバウンス防止ステータス。	0b0 = nEN is not active (logic-high). 0b1 = nEN is active (logic-low).

ビット・フィールド	ビット	説明	デコード
STAT_IRQ	0	nIRQ MOSFETゲート駆動のソフトウェア・バージョン。	0b0 = Unmasked gate drive is logic-low. 0b1 = Unmasked gate drive is logic-high.

INTM_GLBL0 (0x04)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	DOD_RM	TJAL2_RM	TJAL1_RM	nEN_RM	nEN_FM	GPI0_RM	GPI0_FM
Reset	0b0	0b1	0b1	0b1	0b1	0b1	0b1	0b1
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
DOD_RM	6	LDOドロップアウト検出器の立上がり割込みマスク。	0b0 = Unmasked. If DOD_R goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to DOD_R.
TJAL2_RM	5	温度アラーム2の立上がり割込みマスク。	0b0 = Unmasked. If TJAL2_R goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to TJAL2_R.
TJAL1_RM	4	温度アラーム1の立上がり割込みマスク。	0b0 = Unmasked. If TJAL1_R goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to TJAL1_R.
nEN_RM	3	nENの立上がり割込みマスク。	0b0 = Unmasked. If nEN_R goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to nEN_R.
nEN_FM	2	nENの立下がり割込みマスク。	0b0 = Unmasked. If nEN_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to nEN_F.
GPI0_RM	1	GPI0の立上がり割込みマスク。	0b0 = Unmasked. If GPI0_R goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to GPI0_R.
GPI0_FM	0	GPI0の立下がり割込みマスク。	0b0 = Unmasked. If GPI0_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to GPI0_F.

INTM_GLBL1 (0x05)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	LDO_M	SBB2_FM	SBB1_FM	SBB0_FM	GPI1_RM	GPI1_FM
Reset	0b0	0b0	0b1	0b0	0b0	0b0	0b1	0b1
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
RSVD	6	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
LDO_M	5	LDOのフォールト割込みマスク。	0b0 = Unmasked. If LDO_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to LDO_F.
SBB2_FM	4	SBB2のフォールト割込みマスク。	0b0 = Unmasked. If SBB2_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to SBB2_F.
SBB1_FM	3	SBB2のフォールト割込みマスク。	0b0 = Unmasked. If SBB1_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to SBB1_F.
SBB0_FM	2	SBB2のフォールト割込みマスク。	0b0 = Unmasked. If SBB0_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to SBB0_F.
GPI1_RM	1	GPI1の立上がり割込みマスク。	0b0 = Unmasked. If GPI1_R goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to GPI1_R.
GPI1_FM	0	GPI1の立下がり割込みマスク。	0b0 = Unmasked. If GPI1_F goes from 0 to 1, then nIRQ goes low. nIRQ goes high when all interrupt bits are cleared. 0b1 = Masked. nIRQ does not go low due to GPI1_F.

CNFG_GLBL0 (0x06)

BIT	7	6	5	4	3	2	1	0
Field	PU_DIS	MRST	SBIA_LPM	nEN_MODE[1:0]		DBEN_nEN	SFT_CTRL[1:0]	
Reset	0b0	OTP	OTP	OTP		OTP	0b00	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read	

ビット・フィールド	ビット	説明	デコード
PU_DIS	7	nENの内部プルアップ抵抗。	0b0 = Strong internal nEN pullup (200kΩ). 0b1 = Weak internal nEN pullup (10MΩ).
MRST	6	手動リセット時間 (t_{MRST}) の設定。	0b0 = 8s 0b1 = 4s
SBIA_LPM	5	メイン・バイアス電源モード。	0b0 = Main bias is in normal-power mode by software. 0b1 = Main bias is in auto-power mode by software.
nEN_MODE	4:3	nEN入力 (オンキー) のデフォルト設定モード。	0b00 = Push-button mode 0b01 = Slide-switch mode 0b10 = Logic mode 0b11 = Reserved
DBEN_nEN	2	nEN端子のバウンス防止タイマー・イネーブル。	0b0 = 500μs Debounce 0b1 = 30ms Debounce Applies only to push-button and slide-switch mode.
SFT_CTRL	1:0	ソフトウェア・リセット機能。 SFT_CRSTおよびSFT_OFFコマンドは、データシートの記載に従い、パワーダウンのシーケンス・フローを開始します。このパワーダウンのシーケンス・フローには、205.24ms (60msの遅延 + 10.24msのnRSTアサート遅延 + 4 × 2.56msのパワーダウン・スロット遅延 + 125msの出力放電遅延) の遅延成分があります。ソフトウェアでSFT_CRSTやSFT_OFFファンクションを発行する際は、300ms以上待機してから、I ² Cを介して追加のコマンドを発行します。	0b00 = No action. 0b01 = Software cold reset (SFT_CRST). The device powers down, resets, and then powers up again. 0b10 = Software off (SFT_OFF). The device powers down, resets, and then remains off and waiting for a wake-up event. 0b11 = Auto wake up (SFT_AUTO). The device powers down, and then automatically starts power up sequence after time determined in AUTO_WKT. Note that the registers do not get reset with auto wake up.

CNFG_GLBL1 (0x07)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[4:0]					SBB_F_SH UTDN	AUTO_WKT[1:0]	
Reset	0b0000					OTP	0b00	
Access Type	Write, Read					Read Only	Write, Read	

ビット・フィールド	ビット	説明	デコード
RSVD	7:3	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
SBB_F_SHUTDOWN	2	SBBフォールトからのSBBシャットダウン。	0b0 = The SBB regulators do not shut off when SBB fault occurs. 0b1 = The SBB regulators powers down sequentially when a SBB fault occurs.
AUTO_WKT	1:0	自動ウェイクアップ・タイマー。	0b00 = 100ms auto wake-up time 0b01 = 200ms auto wake-up time 0b10 = 500ms auto wake-up time 0b11 = 1000ms auto wake-up time

CNFG_GPIO0 (0x08)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		ALT_GPIO0	DBEN_GPI	DO	DRV	DI	DIR
Reset	0b00		OTP	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Read Only	Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7:6	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
ALT_GPIO0	5	GPIO0の代替モード・イネーブル。	0b0 = Standard GPIO 0b1 = Active-high GPI controls whether SBB0 is set by TV_SBB0 or TV_SBB0_DVS when GPIOx_LPM = 1.
DBEN_GPI	4	汎用入力のバウンス防止タイマー・イネーブル。	0b0 = No debounce 0b1 = 30ms debounce
DO	3	汎用出力のデータ出力。	This bit is a don't care when DIR = 1 (configured as input). When set for GPO (DIR = 0): 0b0 = GPIO is output logic-low. 0b1 = GPIO is output logic-high when set as push-pull output (DRV = 1). GPIO is high-impedance when set as an open-drain output (DRV = 0).
DRV	2	汎用出力のドライバ・タイプ。	This bit is a don't care when DIR = 1 (configured as input). When set for GPO (DIR = 0): 0b0 = Open-drain 0b1 = Push-pull
DI	1	GPIOのデジタル入力値。GPIOをGPI (DIR = 1) またはGPO (DIR = 0) のいずれに設定しても、DIはGPIOの状態を反映します。	0b0 = Input logic-low 0b1 = Input logic-high
DIR	0	GPIOの方向。	0b0 = General purpose output (GPO) 0b1 = General purpose input (GPI)

CNFG_GPIO1 (0x09)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		ALT_GPIO1	DBEN_GPI	DO	DRV	DI	DIR
Reset	0b00		OTP	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Read Only	Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7:6	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
ALT_GPIO1	5	GPIO1の代替モード・イネーブル。	0b0 = Standard GPIO 0b1 = Active-high GPO of flexible power sequencer active-high output for SBB2 when GPIOx_LPM = 1.

ビット・フィールド	ビット	説明	デコード
DBEN_GPI	4	汎用入力のパウンス防止タイマー・イネーブル。	0b0 = No debounce 0b1 = 30ms debounce
DO	3	汎用出力のデータ出力。	This bit is a don't care when DIR = 1 (configured as input). When set for GPO (DIR = 0): 0b0 = GPIO is output logic-low. 0b1 = GPIO is output logic-high when set as push-pull output (DRV = 1). GPIO is high-impedance when set as an open-drain output (DRV = 0).
DRV	2	汎用出力のドライバ・タイプ。	This bit is a don't care when DIR = 1 (configured as input). When set for GPO (DIR = 0): 0b0 = Open-drain 0b1 = Push-pull
DI	1	GPIOのデジタル入力値。GPIOをGPI (DIR = 1) またはGPO (DIR = 0) のいずれに設定しても、DIはGPIOの状態を反映します。	0b0 = Input logic-low 0b1 = Input logic-high
DIR	0	GPIOの方向。	0b0 = General purpose output (GPO) 0b1 = General purpose input (GPI)

CID (0x10)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	CID[4:0]				
Reset	—	—	—	OTP				
Access Type	—	—	—	Read Only				

ビット・フィールド	ビット	説明
CID	4:0	チップ識別コード。 チップ識別コードとは、レジスタ・マップまたは「OTP設定」内の一連のリセット値のことです。

CNFG_WDT (0x17)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		WDT_PER[1:0]		WDT_MOD_E	WDT_CLR	WDT_EN	WDT_LOCK
Reset	0b00		0b11		0b0	0b0	OTP	OTP
Access Type	Write, Read		Write, Read		Write, Read	Write, Read	Write, Read	Read Only

ビット・フィールド	ビット	説明	デコード
RSVD	7:6	予備。未使用ビット。0を書き込んでください。読出しはドント・ケアです。	
WDT_PER	5:4	ウォッチドッグ・タイマーの周期。t _{WD} を設定します。ウォッチドッグ・タイマーは、このビットフィールドが変更されるとすぐに設定値にリセットされます。	0b00 = 16 seconds 0b01 = 32 seconds 0b10 = 64 seconds 0b11 = 128 seconds

ビット・フィールド	ビット	説明	デコード
WDT_MODE	3	ウォッチドッグ・タイマー終了アクション。 ウォッチドッグ・タイマーが切れた後のICの動作を決定します。	0b0 = Watchdog timer expire causes power-off. 0b1 = Watchdog timer expire causes power reset.
WDT_CLR	2	ウォッチドッグ・タイマーのクリア制御。 ウォッチドッグ・タイマーをフィード（リセット）するには、このビットをセットします。	0b0 = Watchdog timer period is not reset. 0b1 = Watchdog timer is reset back to t_{WD} .
WDT_EN	1	ウォッチドッグ・タイマー・イネーブル。 WDT_LOCKによって書き込み保護されます。	0b0 = Watchdog timer is not enabled. 0b1 = Watchdog timer is enabled. The timer expires if not reset by setting WDT_CLR.
WDT_LOCK	0	ウォッチドッグ・タイマーの出荷時設定安全ビット。WDT_ENを介してタイマーをディセーブルできるかどうかを指定します。	0b0 = Watchdog timer can be enabled and disabled with WDT_EN. 0b1 = Watchdog timer cannot be disabled with WDT_EN. However, WDT_EN can still be used to enable the watchdog timer.

CNFG_SBB_TOP (0x28)

BIT	7	6	5	4	3	2	1	0
Field	GPIOx_LPM	—	—	—	—	—	DRV_SBB[1:0]	
Reset	OTP	—	—	—	—	—	OTP	
Access Type	Write, Read	—	—	—	—	—	Write, Read	

ビット・フィールド	ビット	説明	デコード
GPIOx_LPM	7	全てのSIMOチャンネルの電源モード機能を制御。GPIOxの代替モードを有効化。	0b0 = Disable low-power mode feature for all SIMO channels. 0b1 = Automatic low-power mode feature for all SIMO channels when ALT_GPIOx = 0. 0b1 = Active-high GPI, controls whether SBB0 is set by TV_SBB0 or TV_SBB0_DVS when ALT_GPIO0 = 1. 0b1 = Active-high GPO of flexible power sequencer active-high output for SBB2 when ALT_GPIO1 = 1.
DRV_SBB	1:0	SIMO昇降圧（全チャンネル）駆動強度を調整。 詳細については、 駆動強度 のセクションを参照してください。	0b00 = Fastest transition time. 0b01 = A little slower than 0b00. 0b10 = A little slower than 0b01. 0b11 = A little slower than 0b10.

CNFG_SBB0_A (0x29)

BIT	7	6	5	4	3	2	1	0
Field	TV_SBB0[7:0]							
Reset	OTP							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
TV_SBB0	7:0	SIMO昇降圧チャンネル0の目標出力電圧。 この8ビットの構成は、0.5Vから始まり5.1V で終わる25mV刻みの線形伝達関数です。	0x00 = 0.500V 0x01 = 0.525V 0x02 = 0.550V 0x03 = 0.575V 0x04 = 0.600V 0x05 = 0.625V 0x06 = 0.650V 0x07 = 0.675V 0x08 = 0.700V ... 0xB6 = 5.050V 0xB7 = 5.075V 0xB8 = 5.100V 0xB9 to 0xFF = RSVD

CNFG_SBB0_B (0x2A)

BIT	7	6	5	4	3	2	1	0
Field	OP_MODE[1:0]		IP_SBB0[2:0]			EN_SBB0[2:0]		
Reset	OTP		OTP			OTP		
Access Type	Write, Read		Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
OP_MODE	7:6	SBB0の動作モード。	0b00 = Automatic 0b01 = Buck mode 0b10 = Boost mode 0b11 = Buck-boost mode
IP_SBB0	5:3	SIMO昇降圧チャンネル0のピーク電流制限値。	0b000 = 0.910A 0b001 = 0.700A 0b010 = 0.500A
EN_SBB0	2:0	SIMO昇降圧チャンネル0のイネーブル制御。 チャンネルがパワーアップおよびパワーダウンするFPSスロットを選択します。またはチャンネルを強制的にオンまたはオフにするかどうかを選択します。	0b000 = FPS slot 0 0b001 = FPS slot 1 0b010 = FPS slot 2 0b011 = FPS slot 3 0b100 = Off irrespective of FPS 0b101 = Same as 0b100 0b110 = On irrespective of FPS 0b111 = Same as 0b110

CNFG_SBB1_A (0x2B)

BIT	7	6	5	4	3	2	1	0
Field	TV_SBB1[7:0]							
Reset	OTP							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
TV_SBB1	7:0	SIMO昇降圧チャンネル1の目標出力電圧。 この8ビットの構成は、0.5Vから始まり5.1Vで終わる25mV刻みの線形伝達関数です。	0x00 = 0.500V 0x01 = 0.525V 0x02 = 0.550V 0x03 = 0.575V 0x04 = 0.600V 0x05 = 0.625V 0x06 = 0.650V 0x07 = 0.675V 0x08 = 0.700V ... 0xB6 = 5.050V 0xB7 = 5.075V 0xB8 = 5.100V 0xB9 to 0xFF = RSVD

CNFG_SBB1_B (0x2C)

BIT	7	6	5	4	3	2	1	0
Field	OP_MODE[1:0]		IP_SBB1[2:0]			EN_SBB1[2:0]		
Reset	OTP		OTP			OTP		
Access Type	Write, Read		Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
OP_MODE	7:6	SBB1の動作モード。	0b00 = Automatic 0b01 = Buck mode 0b10 = Boost mode 0b11 = Buck-boost mode
IP_SBB1	5:3	SIMO昇降圧チャンネル1のピーク電流制限値。	0b000 = 0.910A 0b001 = 0.700A 0b010 = 0.500A
EN_SBB1	2:0	SIMO昇降圧チャンネル1のイネーブル制御。 チャンネルがパワーアップおよびパワーダウンするFPSスロットを選択します。またはチャンネルを強制的にオンまたはオフにするかどうかを選択します。	0b000 = FPS slot 0 0b001 = FPS slot 1 0b010 = FPS slot 2 0b011 = FPS slot 3 0b100 = Off irrespective of FPS 0b101 = Same as 0b100 0b110 = On irrespective of FPS 0b111 = Same as 0b110

CNFG_SBB2_A (0x2D)

BIT	7	6	5	4	3	2	1	0
Field	TV_SBB2[7:0]							
Reset	OTP							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
TV_SBB2	7:0	SIMO昇降圧チャンネル2の目標出力電圧。 この8ビットの構成は、0.5Vから始まり5.1V で終わる25mV刻みの線形伝達関数です。	0x00 = 0.500V 0x01 = 0.525V 0x02 = 0.550V 0x03 = 0.575V 0x04 = 0.600V 0x05 = 0.625V 0x06 = 0.650V 0x07 = 0.675V 0x08 = 0.700V ... 0xB6 = 5.050V 0xB7 = 5.075V 0xB8 = 5.100V 0xB9 to 0xFF = RSVD

CNFG_SBB2_B (0x2E)

BIT	7	6	5	4	3	2	1	0
Field	OP_MODE[1:0]		IP_SBB2[2:0]			EN_SBB2[2:0]		
Reset	OTP		OTP			OTP		
Access Type	Write, Read		Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
OP_MODE	7:6	SBB2の動作モード。	0b00 = Automatic 0b01 = Buck mode 0b10 = Boost mode 0b11 = Buck-boost mode
IP_SBB2	5:3	SIMO昇降圧チャンネル2のピーク電流制限値。	0b000 = 0.910A 0b001 = 0.700A 0b010 = 0.500A
EN_SBB2	2:0	SIMO昇降圧チャンネル2のイネーブル制御。 チャンネルがパワーアップおよびパワーダウンするFPSスロットを選択します。またはチャンネルを強制的にオンまたはオフにするかどうかを選択します。	0b000 = FPS slot 0 0b001 = FPS slot 1 0b010 = FPS slot 2 0b011 = FPS slot 3 0b100 = Off irrespective of FPS 0b101 = Same as 0b100 0b110 = On irrespective of FPS 0b111 = Same as 0b110

CNFG_DVS_SBB0_A (0x2F)

BIT	7	6	5	4	3	2	1	0
Field	TV_SBB0_DVS[7:0]							
Reset	OTP							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
TV_SBB0_DVS	7:0	SIMO昇降圧チャンネル0の目標出力電圧。 この8ビットの構成は、0.5Vから始まり5.1V で終わる25mV刻みの線形伝達関数です。	0x00 = 0.500V 0x01 = 0.525V 0x02 = 0.550V 0x03 = 0.575V 0x04 = 0.600V 0x05 = 0.625V 0x06 = 0.650V 0x07 = 0.675V 0x08 = 0.700V ... 0xB6 = 5.050V 0xB7 = 5.075V 0xB8 = 5.100V 0xB9 to 0xFF = RSVD

CNFG_SBB_BTМ (0x30)

BIT	7	6	5	4	3	2	1	0
Field	—	—	DIS_LPM_S BB2	DIS_LPM_S BB1	DIS_LPM_S BB0	ADE_SBB2	ADE_SBB1	ADE_SBB0
Reset	—	—	0b0	0b0	0b0	OTP	OTP	OTP
Access Type	—	—	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
DIS_LPM_SBB2	5	SBB2の自動低消費電力モードを無効化。	0b0 = Automatic low-power mode feature for SBB2 0b1 = Disable low-power mode feature for SBB2
DIS_LPM_SBB1	4	SBB1の自動低消費電力モードを無効化。	0b0 = Automatic low-power mode feature for SBB1 0b1 = Disable low-power mode feature for SBB1
DIS_LPM_SBB0	3	SBB0の自動低消費電力モードを無効化。	0b0 = Automatic low-power mode feature for SBB0 0b1 = Disable low-power mode feature for SBB0
ADE_SBB2	2	SIMO昇降圧チャンネル2のアクティブ放電を 有効化。	0b0 = The active-discharge function is disabled. When SBB2 is disabled, its discharge rate is a function of the output capacitance and the external load. 0b1 = The active-discharge function is enabled. When SBB2 is disabled, an internal resistor (R _{AD_SBB2}) is activated from SBB2 to PGND to help the output voltage discharge. The output voltage discharge rate is a function of the output capacitance, the external loading, and the internal R _{AD_SBB2} load.
ADE_SBB1	1	SIMO昇降圧チャンネル1のアクティブ放電を 有効化。	0b0 = The active-discharge function is disabled. When SBB1 is disabled, its discharge rate is a function of the output capacitance and the external load. 0b1 = The active-discharge function is enabled. When SBB1 is disabled, an internal resistor (R _{AD_SBB1}) is activated from SBB1 to PGND to help the output voltage discharge. The output voltage discharge rate is a function of the output capacitance, the external loading, and the internal R _{AD_SBB1} load.

ビット・フィールド	ビット	説明	デコード
ADE_SBB0	0	SIMO昇降圧チャンネル0のアクティブ放電を有効化。	0b0 = The active-discharge function is disabled. When SBB0 is disabled, its discharge rate is a function of the output capacitance and the external load. 0b1 = The active-discharge function is enabled. When SBB0 is disabled, an internal resistor (R _{AD_SBB0}) is activated from SBB0 to PGND to help the output voltage discharge. The output voltage discharge rate is a function of the output capacitance, the external loading, and the internal R _{AD_SBB0} load.

CNFG_LDO_A (0x38)

BIT	7	6	5	4	3	2	1	0
Field	TV_OFS_LDO	TV_LDO[6:0]						
Reset	OTP	OTP						
Access Type	Write, Read	Write, Read						

ビット・フィールド	ビット	説明	デコード
TV_OFS_LDO	7	LDOの出力電圧。このビットは、LDOの出力電圧に1.325Vのオフセットを適用します。	0b0 = No offset 0b1 = 1.325V Offset
TV_LDO	6:0	LDOの目標出力電圧。 この7ビットの構成は、0.5Vから始まり3.675Vで終わる25mV刻みの線形伝達関数です。	0x00 = 0.500V 0x01 = 0.525V 0x02 = 0.550V 0x03 = 0.575V 0x04 = 0.600V 0x05 = 0.625V 0x06 = 0.650V 0x07 = 0.675V 0x08 = 0.700V ... 0x7E = 3.650V 0x7F = 3.675V When TV_LDO[7] = 0, TV_LDO[6:0] sets the LDO's output voltage range from 0.5V to 3.675V. When TV_LDO[7] = 1, TV_LDO[6:0] sets the LDO's output voltage from 1.825V to 5V.

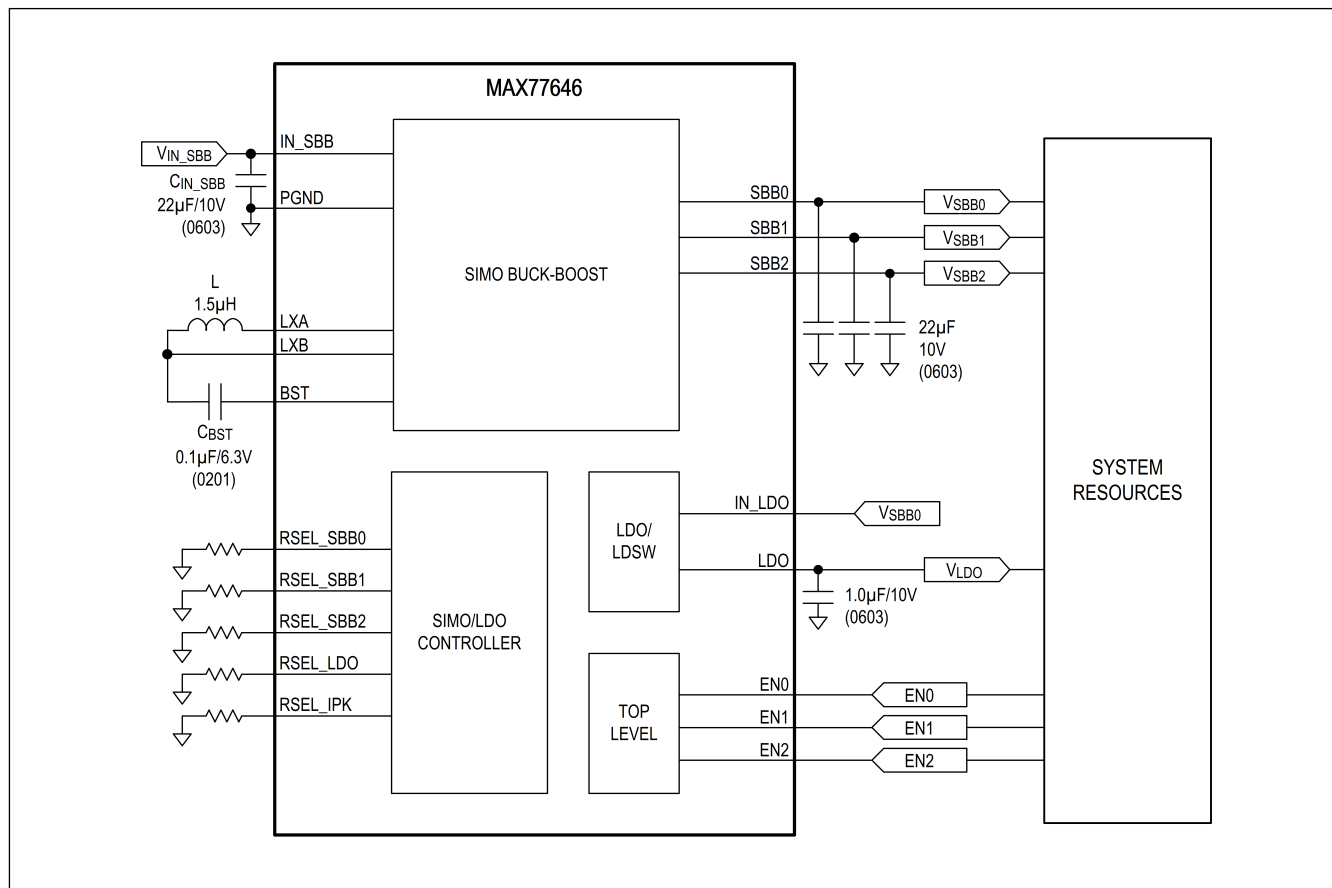
CNFG_LDO_B (0x39)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	LDO_MD	ADE_LDO	EN_LDO[2:0]		
Reset	—	—	—	OTP	OTP	OTP		
Access Type	—	—	—	Write, Read	Write, Read	Write, Read		

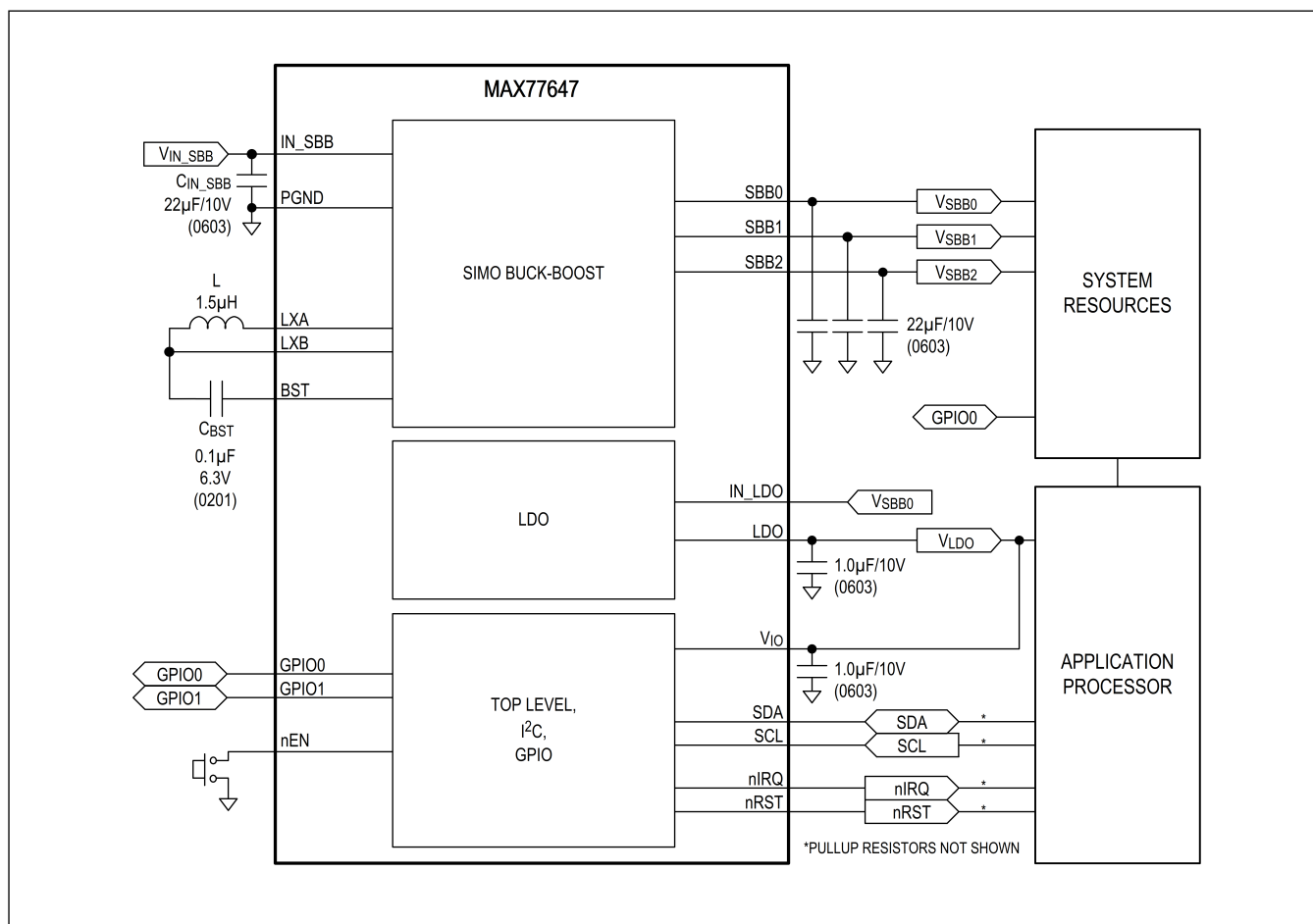
ビット・フィールド	ビット	説明	デコード
LDO_MD	4	LDOの動作モード。	0b0 = Low dropout linear regulator (LDO) mode 0b1 = Load switch (LSW) mode
ADE_LDO	3	LDOのアクティブ放電を有効化。	0b0 = The active discharge function is disabled. When LDO is disabled, its discharge rate is a function of the output capacitance and the external load. 0b1 = The active discharge function is enabled. When LDO is disabled, an internal resistor (R_{AD_LDO}) is activated from LDO to GND to help the output voltage discharge. The output voltage discharge rate is a function of the output capacitance, the external loading, and the internal R_{AD_LDO} load.
EN_LDO	2:0	LDOのイネーブル制御。チャンネルがパワーアップおよびパワーダウンするFPSスロットを選択します。またはチャンネルを強制的にオンまたはオフにするかどうかを選択します。	0b000 = FPS slot 0 0b001 = FPS slot 1 0b010 = FPS slot 2 0b011 = FPS slot 3 0b100 = Off irrespective of FPS 0b101 = Same as 0b100 0b110 = On irrespective of FPS 0b111 = Same as 0b110

代表的なアプリケーション回路

代表的なアプリケーション回路



代表的なアプリケーション回路（続き）



オーダー情報

PART	TEMP RANGE	PIN-PACKAGE	OPTIONS
MAX77647AANP+T	-20°C to +85°C	20 WLP	Table 3
MAX77646ANP+T	-20°C to +85°C	20 WLP	—
MAX77647ANP+*	-20°C to +85°C	20 WLP	—

+は鉛 (Pb) フリー/RoHS 準拠のパッケージを表します。

T = テープ & リール。

* カスタムサンプルのみ。生産または在庫用ではありません。詳細は弊社にお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	6/23	市場投入のためのリリース	-