



2×、31.76 W、デジタル入力、 フィルタレス・ステレオ・ クラスDオーディオ・アンプ

データシート

SSM3582A

特長

デジタル入カステレオ、高効率クラス D アンプ

単電源 4.5V~16V で動作

最先端かつ独自のフィルタレス Σ - Δ 変調方式

S/N 比 : 106.5dB ($P_O = 8.1W$, $R_L = 8\Omega$, $A_V = 19dB$,
 $PV_{DD} = 12V$, A 特性)

THD + N : 0.004% (5W, 8 Ω 負荷)

出力電圧ノイズ : 38.5 μV (実効値, $f = 20Hz \sim 20kHz$,
A 特性, $PV_{DD} = 16V$, 8 Ω)

ポップ/クリックが発生しないオン/オフ・シーケンス

出力 : 2×14.67W (12V 電源, 4 Ω 負荷, 1%未満の THD + N)

出力 : 2×14.4W (16V 電源, 8 Ω 負荷, 1%未満の THD + N)

モノラル・モードによる最大出力電力の向上

出力 : 1×49.69W (16V 電源, 2 Ω 負荷, 1%未満の THD + N)

低インピーダンス負荷のサポート

最小 3 Ω /5 μH (ステレオ・モード)

最小 2 Ω /5 μH (モノラル・モード)

高い電力効率

93.8% (8 Ω 負荷)

90.6% (4 Ω 負荷)

12V PV_{DD} 単電源での静止電流 12.34mA

内部 LDO による単電源動作、または 5V および 1.8V 外部電源
動作 (最も低消費電力)

ピンで選択可能な最大 16 のスロット/アドレスによる I²C 制御
およびハードウェア・モード

24 ビット分解能で 8kHz~192kHz のサンプル・レートをサポート

多様な PCM オーディオ・シリアル・データ・フォーマット

1 つのバスで最大 16 のデバイスをサポートする TDM スレーブ

I²S または左詰めスレーブ

多様な PV_{DD} 電源に合わせて調整可能なフルスケール出力

2 セルおよび 3 セル・リチウムイオン・バッテリー

選択可能な滑らかなランプを備えたデジタル・ボリューム制御

自動パワーダウン機能

電源監視自動ゲイン制御 (AGC) 機能によるシステム・ブラウ
ンアウト (電圧低下) の低減

I²C を使わないスタンダアロン動作モード

I²C 経由で 1°C 単位で計測できる温度センサー

短絡、低電圧、過熱保護

早期温度警告

パワーオン・リセット

PV_{DD} 測定用 ADC

40 ピン、6mm×6mm LFCSP、サーマル・パッド付き

アプリケーション

モバイル・コンピューティング

一体型コンピュータ

ポータブル機器

無線スピーカ

テレビ

機能ブロック図

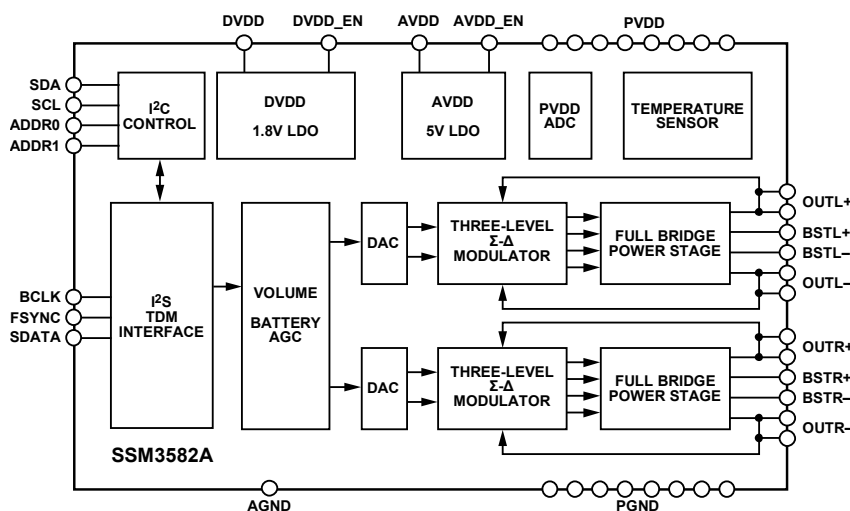


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	モノラル・モード	31
アプリケーション	1	アナログ・ゲインおよびデジタル・ゲイン	31
機能ブロック図	1	ポップ／クリック抑制回路	31
改訂履歴	2	温度センサー	31
概要	3	故障／リミッタのステータス通知機能	32
仕様	4	VBAT (PV _{DD}) の測定	32
デジタル入出力仕様	8	リミッタ／バッテリー・トラッキング閾値の制御	32
デジタル・タイミング仕様	9	高周波数クリップ	35
デジタル入力タイミング仕様	9	EMI ノイズ	35
絶対最大定格	11	出力変調に関する説明	35
熱抵抗	11	ブートストラップ・コンデンサ	36
ESD に関する注意	11	電源のデカップリング	36
ピン配置およびピン機能の説明	12	出力の EMI フィルタ処理	36
代表的な性能特性	14	PCB の配置	36
動作原理	25	レイアウト	37
概要	25	レジスタの一覧	38
電源	25	レジスタの詳細	39
パワーアップ・シーケンス	26	アプリケーション情報	56
パワーダウン動作	26	代表的なアプリケーション回路	56
クロッキング	26	外形寸法	58
デジタル・オーディオ・シリアル・インターフェース ..	26	オーダー・ガイド	58
スタンドアロン動作	30		

改訂履歴

12/2019–Revision 0: 初版

概要

SSM3582A は、高集積化された高効率のデジタル入カステレオ・クラス D オーディオ・アンプです。このデバイスは単電源で動作でき、わずかな外付け部品しか必要としないため、回路の部品点数を大幅に低減できます。

独自のスペクトラム拡散 $\Sigma\Delta$ 変調方式のおかげで、その他のクラス D アーキテクチャと比べて放射妨害波を低減できると同時に、スピーカに直接接続することができ、かつ現時点における最高レベルのアナログ性能を実現できます。オプションの超低電磁妨害 (EMI) モードを使うと、100MHz 超の放射妨害波を大幅に低減できるため、スピーカ・ケーブルを延長できます。このアンプでは、音声信号はデジタル的に出力段に伝送されるため、アナログ的な環境と違い、信号が劣化する可能性を最小化します。このアンプは、106dB の S/N 比とわずか 0.004% の全高調波歪み + ノイズ (THD + N) という非常に優れたアナログ性能を備えています。

SSM3582A は 4.5~16V の単電源で動作し、8 Ω および 4 Ω 負荷に 1%未満の全高調波歪み (THD) で 2×15W (実効値) を出力できます。この高効率変調方式は、幅広いインピーダンスにわたって非常に優れた電力効率 (8 Ω 負荷で 93.8%、4 Ω 負荷で 90.6%) を維持します。出力パルスの最適化により最低 3 Ω /5 μ H のインピーダンスでも性能を維持できるため、拡張帯域幅のツイーターと組み合わせて使えます。

パルス符号変調 (PCM) オーディオ・シリアル・ポートはほとんどの一般的なプロトコル (例: I²S、左詰め、時分割多重 (TDM)) をサポートしており、1 つのインターフェースで、最大 32 のオーディオ再生チャンネルに対して最大 16 のデバイスをアドレス指定できます。

IC の動作は専用の I²C インターフェースを介して制御されます。2 本の ADDR_x ピン (2×、5 レベル) により、I²C およびスタンドアロン・モードの最大 16 の個別アドレスが定義され、デフォルトの TDM スロット属性が自動的に設定されます。

消費電流 1 μ A 未満 (標準値) のマイクロパワー・シャットダウン・モードは、デジタル・オーディオ・インターフェースのクロックを停止することでトリガされます。ソフトウェア・パワーダウン・モードも利用できます。

自動パワーダウン機能は、入力に信号が存在しない場合にアンプと D/A コンバータ (DAC) をシャットダウンすることで、デジタル的な無音状態での消費電力を最小限に抑えます。本デバイスは入力にゼロ以外のデータが存在すると動作を再開します。ミュートとミュート解除の切替え時にもポップ／クリックは発生しません。

SSM3582A は -40°C~+85°C の商用温度範囲にわたって仕様規定されています。本デバイスは、動作を維持するためのプログラマブルなゲイン制限機能付きの早期温度警告だけでなく、サーマル・シャットダウンおよび出力短絡保護機能を搭載しています。

SSM3582A は、放熱性を向上させるためのサーマル・パッドを備えた 40 ピン、6mm×6mm のリード・フレーム・チップ・スケール・パッケージ (LFCSP) で提供していません。

仕様

特に断りのない限り、 $PV_{DD} = 12V$ 、 $AV_{DD} = 5V$ （外部）、 $DV_{DD} = 1.8V$ （外部）、負荷抵抗 (R_L) = $8\Omega + 33\mu H$ 、 $BCLK = 3.072MHz$ 、 $FSYNC = 48kHz$ 、 $T_A = -40^\circ C \sim +85^\circ C$ 。測定には、20kHz AES17 ローパス・フィルタを使用しています。この他に、 $4\Omega + 15\mu H$ と $3\Omega + 10\mu H$ の負荷インピーダンスを使用しています。特に断りのない限り、測定には、20kHz AES17 ローパス・フィルタを使用しています。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DEVICE CHARACTERISTICS						
Output Power Per Channel	P_O					
Stereo Mode		$f = 1\text{ kHz}$, both channels driven $R_L = 8\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 8\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 8\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 8\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$ $R_L = 8\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 8\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 8\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 8\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$ $R_L = 4\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 4\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 4\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 4\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$ $R_L = 4\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 4\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 4\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 4\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$				
Mono Mode		$f = 1\text{ kHz}$ $R_L = 3\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 3\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 3\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 3\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$ $R_L = 3\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 3\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 3\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 3\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$ $R_L = 2\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 2\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 2\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 2\Omega$, THD + N < 1%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$ $R_L = 2\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 16\text{ V}$ $R_L = 2\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 12\text{ V}$ $R_L = 2\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 7\text{ V}$ $R_L = 2\Omega$, THD + N = 10%, $f = 1\text{ kHz}$, 20 kHz BW, $PV_{DD} = 5\text{ V}$				
Minimal Load Inductance		Speaker inductance	5			μH
Efficiency	η					
Stereo Mode		Both channels driven $P_O = 10\text{ W}$, $R_L = 8\Omega$, $PV_{DD} = 12\text{ V}$ $P_O = 10\text{ W}$, $R_L = 8\Omega$, $PV_{DD} = 12\text{ V}$ (low EMI mode) $P_O = 18\text{ W}$, $R_L = 4\Omega$, $PV_{DD} = 12\text{ V}$ $P_O = 15\text{ W}$, $R_L = 4\Omega$, $PV_{DD} = 12\text{ V}$ (low EMI mode)				

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Mono Mode						
		$P_O = 25\text{ W}$, $R_L = 3\ \Omega$, $PV_{DD} = 12\text{ V}$		92.3		%
		$P_O = 25\text{ W}$, $R_L = 3\ \Omega$, $PV_{DD} = 12\text{ V}$ (low EMI mode)		92.1		%
		$P_O = 35\text{ W}$, $R_L = 2\ \Omega$, $PV_{DD} = 12\text{ V}$		89.9		%
		$P_O = 35\text{ W}$, $R_L = 2\ \Omega$, $PV_{DD} = 12\text{ V}$ (low EMI mode)		89.7		%
Total Harmonic Distortion + Noise	THD + N	$P_O = 5\text{ W}$ into $8\ \Omega$, $f = 1\text{ kHz}$, $PV_{DD} = 12\text{ V}$		0.004		%
Output Stage On Resistance	R_{ON}			100		m Ω
Overcurrent Protection Trip Point	I_{OC}			6		A peak
Average Switching Frequency	f_{SW}			300		kHz
Differential Output Offset Voltage	V_{OOS}	$A_V = 19\text{ dB}$		1		mV
Crosstalk between Left and Right		Measured at 1 kHz with regards to full-scale output		100		dB
POWER SUPPLIES						
Supply Voltage Range	PV_{DD}		4.5		16	V
	AV_{DD}		4.5	5.0	5.5	V
	DV_{DD}		1.62	1.8	1.98	V
Power Supply Rejection Ratio	PSRR					
AC	$PSRR_{AC}$	Ripple voltage (V_{RIPPLE}) = 100 mV rms at 1 kHz		86		dB
		$V_{RIPPLE} = 1\text{ V}$ rms at 1 kHz		88		dB
ANALOG GAIN	A_V	Measured with 0 dBFS input at 1 kHz				
Gain = 00		$PV_{DD} \geq 6.3\text{ V}$		6.2		V peak
Gain = 01		$PV_{DD} \geq 9\text{ V}$		8.75		V peak
Gain = 10		$PV_{DD} \geq 12.6\text{ V}$		12.5		V peak
Gain = 11		$PV_{DD} = 16\text{ V}$		15.5		V peak
SHUTDOWN CONTROL ¹						
Turn On Time, Volume Ramp Disabled	t_{WU}	Time from SPWDN = 0 to output switching, DAC_HV = 1 or DAC_MUTE_x = 1, $t_{WU} = 4\text{ FSYNC cycles to }7\text{ FSYNC cycles} + 7.68\text{ ms}$				
Sampling frequency (f_S) = 12 kHz			8.01		8.27	ms
$f_S = 24\text{ kHz}$			7.84		7.98	ms
$f_S = 48\text{ kHz}$			7.76		7.83	ms
$f_S = 96\text{ kHz}$			7.72		7.76	ms
$f_S = 192\text{ kHz}$			7.70		7.72	ms
Turn On Time, Volume Ramp Enabled	t_{WUR}	Time from SPWDN = 0 to full volume output switching, DAC_HV = 0 and DAC_MUTE_x = 0, VOL_x = 0x40				
$f_S = 12\text{ kHz}$		$t_{WUR} = t_{WU} + 15.83\text{ ms}$	23.84		24.10	ms
$f_S = 24\text{ kHz}$		$t_{WUR} = t_{WU} + 15.83\text{ ms}$	23.67		23.81	ms
$f_S = 48\text{ kHz}$		$t_{WUR} = t_{WU} + 15.83\text{ ms}$	23.59		23.66	ms
$f_S = 96\text{ kHz}$		$t_{WUR} = t_{WU} + 7.92\text{ ms}$	15.64		15.68	ms
$f_S = 192\text{ kHz}$		$t_{WUR} = t_{WU} + 0.99\text{ ms}$	8.69		8.71	ms
Turn Off Time, Volume Ramp Disabled	t_{SD}	Time from SPWDN = 1 to full power-down, DAC_HV = 1 or DAC_MUTE_x = 1		100		μs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Turn Off Time, Volume Ramp Enabled	t_{SDR}	Time from SPWDN = 1 to full power-down, DAC_HV = 0 and DAC_MUTE_x = 0, VOL_x = 0x40				
$f_s = 12$ kHz		$t_{SDR} = t_{SD} + 15.83$ ms		15.932		ms
$f_s = 24$ kHz		$t_{SDR} = t_{SD} + 15.83$ ms		15.932		ms
$f_s = 48$ kHz		$t_{SDR} = t_{SD} + 15.83$ ms		15.932		ms
$f_s = 96$ kHz		$t_{SDR} = t_{SD} + 7.92$ ms		8.016		ms
$f_s = 192$ kHz		$t_{SDR} = t_{SD} + 0.99$ ms		1.09		ms
Output Impedance	Z_{OUT}		100			k Ω
NOISE PERFORMANCE ²						
Output Voltage Noise	e_n	Stereo mode $f = 20$ Hz to 20 kHz, A weighted, $PV_{DD} = 12$ V, 8 Ω $f = 20$ Hz to 20 kHz, A weighted, $PV_{DD} = 16$ V, 8 Ω $f = 20$ Hz to 20 kHz, A weighted, $PV_{DD} = 12$ V, 4 Ω $f = 20$ Hz to 20 kHz, A weighted, $PV_{DD} = 16$ V, 4 Ω		37.8 38.5 36.8 36.3		μ V rms μ V rms μ V rms μ V rms
Signal-to-Noise Ratio	SNR	$P_O = 8.1$ W, $R_L = 8$ Ω , $A_V = 19$ dB, $PV_{DD} = 12$ V, A weighted $P_O = 14.4$ W, $R_L = 8$ Ω , $A_V = 21$ dB, $PV_{DD} = 16$ V, A weighted $P_O = 14.67$ W, $R_L = 4$ Ω , $A_V = 19$ dB, $PV_{DD} = 12$ V, A weighted $P_O = 25.58$ W, $R_L = 4$ Ω , $A_V = 21$ dB, $PV_{DD} = 16$ V, A weighted		106.5 108.9 106.3 108.9		dB dB dB dB
PV _{DD} ADC PERFORMANCE						
PV _{DD} Sense Full-Scale Range		PV _{DD} with full-scale ADC output	3.8		16.2	V
PV _{DD} Sense Absolute Accuracy		PV _{DD} = 15 V	-8		+8	LSB
		PV _{DD} = 5 V	-6		+6	LSB
Resolution		Unsigned 8-bit output with 3.8 V offset		8		Bits
Temperature Sense ADC Range			-60		+160	°C
Temperature Sense Accuracy				±5		°C
DIE TEMPERATURE						
Overtemperature Warning				117		°C
Overtemperature Protection				145		°C
UNDERVOLTAGE FAULT						
AVDD Pin Supply	AVDD			3.6		V
PVDD Pin Supply	PVDD			3.6		V

¹ 設計により性能を確保しています。

² ノイズ性能は、TA = -40°C ~ +85°C のベンチ・データに基づいています。

ソフトウェア・マスタ・パワーダウンは、クロックがオフになっていることを示します。自動パワーダウンは、ディザが存在しないこと、またはクロックがオンで入力信号がゼロであることを示します。本デバイスは、入力値がゼロになってから 2048 サイクル後にソフト・パワーダウンに入ります。入力信号がゼロで、三角形ディザが存在する場合は、増幅が停止します。特に断りのない限り、すべての仕様はステレオモード、48kHz サンプル・レートでの代表値です。

表 2. 電源電流消費、無負荷¹

Edge Rate Control Mode	Internal Regulator	Test Conditions	I _{PVDD}			I _{DVDD}	I _{AVDD}	Unit
			PV _{DD} = 5 V	PV _{DD} = 12 V	PV _{DD} = 16 V	PV _{DD} = 1.8 V	PV _{DD} = 5 V	
Normal	Disabled	Software master power-down	0.065	0.065	0.065	2.68	7.542	μA
		Automatic power-down	0.065	0.065	0.065	43.72	7.542	μA
		Quiescent	2.54	4.94	6.25	0.945	6.335	mA
	Enabled	Software master power-down	0.065	0.065	0.065	N/A	N/A	μA
		Automatic power-down	209	286	329	N/A	N/A	μA
		Quiescent	9.78	12.38	14.05	N/A	N/A	mA
Low EMI	Disabled	Software master power-down	0.065	0.065	0.065	2.68	7.542	μA
		Automatic power-down	0.065	0.065	0.065	43.72	7.542	μA
		Quiescent	2.56	5.01	6.31	0.945	6.171	mA
	Enabled	Software master power-down	0.065	0.065	0.065	N/A	N/A	μA
		Automatic power-down	209	286	329	N/A	N/A	μA
		Quiescent	9.69	12.09	13.74	N/A	N/A	mA

¹ N/A は該当なしを意味します。

表 3. 電源電流消費、4Ω + 15μH¹

Edge Rate Control Mode	Internal Regulator	Test Conditions	I _{PVDD}			I _{DVDD}	I _{AVDD}	Unit
			PV _{DD} = 5 V	PV _{DD} = 12 V	PV _{DD} = 16 V	PV _{DD} = 1.8 V	PV _{DD} = 5 V	
Normal	Disabled	Software master power-down	0.065	0.065	0.065	2.68	7.542	μA
		Automatic power-down	0.065	0.065	0.065	43.72	7.542	μA
		Quiescent	2.6	4.93	6.25	0.945	6.477	mA
	Enabled	Software master power-down	0.065	0.065	0.065	N/A	N/A	μA
		Automatic power-down	209	286	329	N/A	N/A	μA
		Quiescent	9.83	12.34	13.58	N/A	N/A	mA
Low EMI	Disabled	Software master power-down	0.065	0.065	0.065	2.68	7.542	μA
		Automatic power-down	0.065	0.065	0.065	43.72	7.542	μA
		Quiescent	2.51	4.62	5.6	0.945	6.182	mA
	Enabled	Software master power-down	0.065	0.065	0.065	N/A	N/A	μA
		Automatic power-down	209	286	329	N/A	N/A	μA
		Quiescent	9.64	11.86	12.87	N/A	N/A	mA

¹ N/A は該当なしを意味します。

表 4. 電源電流消費、 $8\Omega + 33\mu\text{H}^1$

Edge Rate Control Mode	Internal Regulator	Test Conditions	I_{PVDD}			I_{DVDD}	I_{AVDD}	Unit
			$\text{PV}_{\text{DD}} = 5\text{ V}$	$\text{PV}_{\text{DD}} = 12\text{ V}$	$\text{PV}_{\text{DD}} = 16\text{ V}$	$\text{PV}_{\text{DD}} = 1.8\text{ V}$	$\text{PV}_{\text{DD}} = 5\text{ V}$	
Normal	Disabled	Software master power-down	0.065	0.065	0.065	2.68	7.542	μA
		Automatic power-down	0.065	0.065	0.065	43.72	7.542	μA
		Quiescent	2.59	5.02	6.31	0.942	6.432	mA
	Enabled	Software master power-down	0.065	0.065	0.065	N/A	N/A	μA
		Automatic power-down	209	286	329	N/A	N/A	μA
		Quiescent	9.82	12.39	13.73	N/A	N/A	mA
Low EMI	Disabled	Software master power-down	0.065	0.065	0.065	2.68	7.542	μA
		Automatic power-down	0.065	0.065	0.065	43.72	7.542	μA
		Quiescent	2.57	4.86	6.02	0.942	6.232	mA
	Enabled	Software master power-down	0.065	0.065	0.065	N/A	N/A	μA
		Automatic power-down	209	286	329	N/A	N/A	μA
		Quiescent	9.65	12.02	13.18	N/A	N/A	mA

¹ N/A は該当なしを意味します。

表 5. パワーダウン電流

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER-DOWN CURRENT	I_{PVDD}	External AVDD = 5 V and DVDD = 1.8 V, software master power-down, no BCLK/FSYNC				
		$\text{PV}_{\text{DD}} = 5\text{ V}$		65		nA
		$\text{PV}_{\text{DD}} = 12\text{ V}$		65		nA
	I_{AVDD}	$\text{PV}_{\text{DD}} = 16\text{ V}$		65		nA
		AVDD = 5 V external		7.542		μA
		DVDD = 1.8 V external		2.7		μA

デジタル入出力仕様

表 6.

Parameter	Min	Typ	Max	Unit
INPUT VOLTAGE ¹				
BCLK, FSYNC, SDATA, SCL, and SDA Pins				
High (V_{IH})	$0.7 \times \text{DV}_{\text{DD}}$		5.5	V
Low (V_{IL})	-0.3		$+0.3 \times \text{DV}_{\text{DD}}$	V
INPUT LEAKAGE				
BCLK, FSYNC, SDATA, ADDR _x , SCL, and SDA Pins				
High (I_{IH})			1	μA
Low (I_{IL})			1	μA
INPUT CAPACITANCE			5	pF
OUTPUT DRIVE STRENGTH ¹				
SDA	3		5	mA
SAMPLE RATE (FSYNC FREQUENCY)	8		192	kHz

¹ SCL および SDA のプルアップ抵抗は、システムの外部プルアップ電圧に応じて補正する必要があります。1.8V の場合、プルアップ抵抗の代表値は $2.2\text{k}\Omega$ です。

デジタル・タイミング仕様

すべてのタイミング仕様は、シリアル入力ポートのデフォルト設定（I²S モード）のものです。

表 7.

パラメータ	限界値		単位	説明
	最小値	最大値		
I ² C PORT				
f _{SCL}		400	kHz	SCL の周波数
t _{SCLH}	0.26		μs	SCL ハイ
t _{SCLL}	0.5		μs	SCL ロー
t _{SCS}	0.26		μs	セットアップ時間。反復開始条件に関連します。
t _{SCH}	0.26		μs	ホールド時間。この時間が経過した後、最初のクロックが生成されます。
t _{DS}	50		ns	データ・セットアップ時間
t _{DH}	0.14		μs	データ・ホールド時間
t _{SCR}		120	ns	SCL 立上がり時間
t _{SCF}		120	ns	SCL 立下がり時間
t _{SDR}		120	ns	SDA 立上がり時間
t _{SDF}		120	ns	SDA 立下がり時間
t _{BFT}	0.5		μs	バスフリー時間（停止と開始の間の時間）

デジタル入力タイミング仕様

表 8.

パラメータ	限界値		単位	説明
	最小値	最大値		
SERIAL PORT				
t _{BIL}	10		ns	BCLK ロー・パルス幅
t _{BIH}	10		ns	BCLK ハイ・パルス幅
t _{SIS}	4		ns	SDATA セットアップ時間（BCLK 立上がりまでの時間）
t _{SIH}	4		ns	SDATA ホールド時間（BCLK 立上がりからの時間）
t _{LIS}	5		ns	FSYNC セットアップ時間（BCLK 立上がりまでの時間）
t _{LIH}	5		ns	FSYNC ホールド時間（BCLK 立上がりからの時間）
t _{BP}	20		ns	最小 BCLK 期間

デジタル・タイミング図

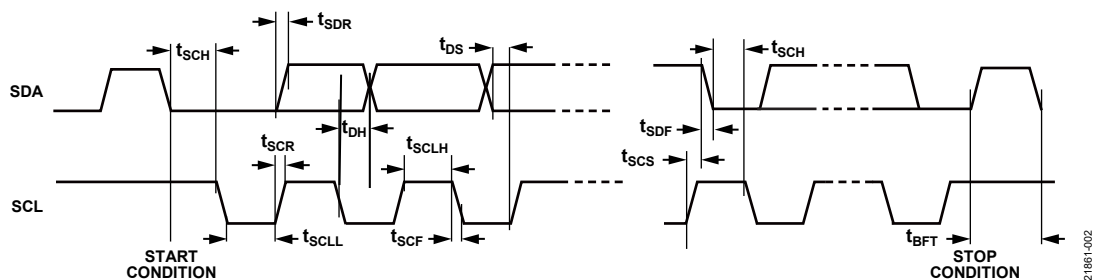
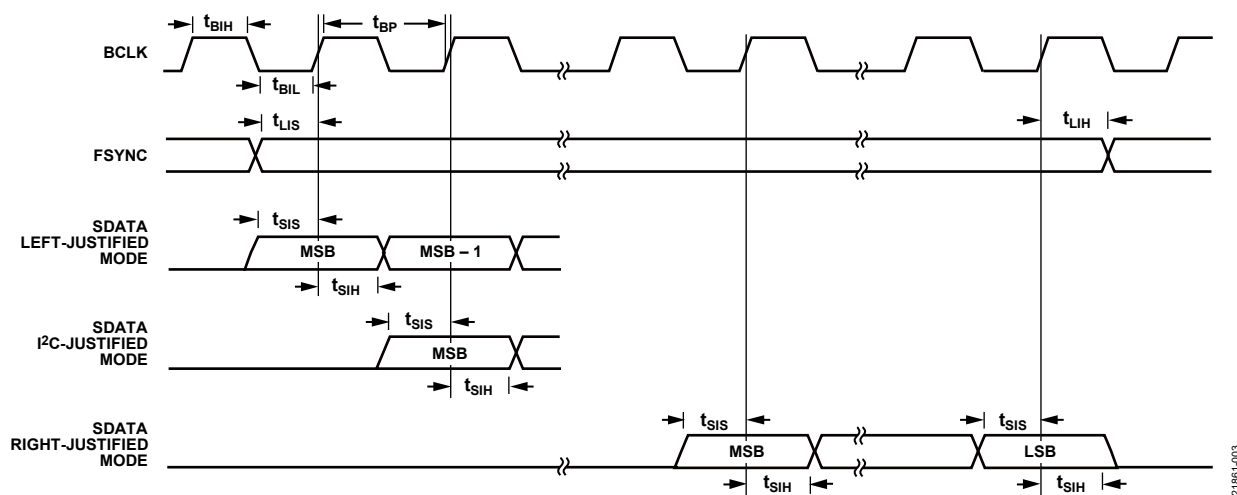
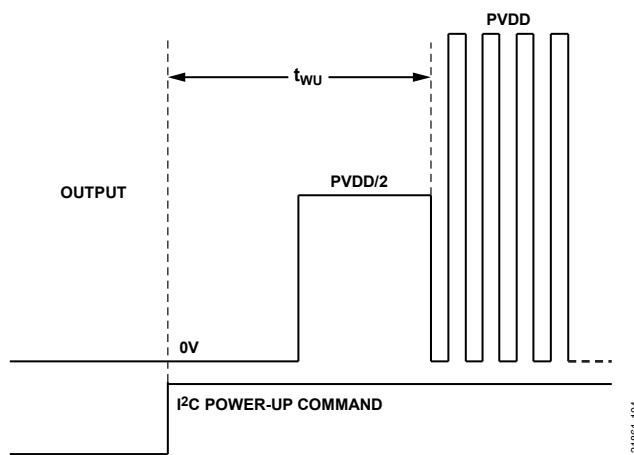


図 2. I²C ポートのタイミング



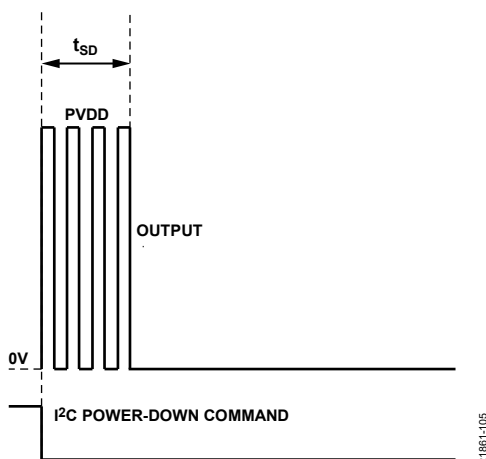
21861-003

図 3. シリアル入力ポートのタイミング



21861-104

図 4. ターン・オン時間、ハード・ボリューム



21861-105

図 5. ターン・オフ時間、ハード・ボリューム

絶対最大定格

特に断りのない限り、25°Cでの絶対最大定格。

表 9.

Parameter	Rating
PVDD Supply Voltage	−0.3 V to +17 V
DVDD Supply Voltage	−0.3 V to +1.98 V
AVDD Supply Voltage	−0.3 V to +5.5 V
PGND and AGND Differential	±0.3 V
Digital Input Pins	
FSYNC, BCLK, SDATA, SCL, SDA	−0.3 V to +5.5 V
Analog Input Pins	
ADDRx	−0.3 V to +1.98 V
AVDD_EN	−0.3 V to +17 V
DVDD_EN	−0.3 V to +5.5 V
Electrostatic Discharge (ESD) Susceptibility	
Human Body Model	2 kV
Charged Device Model	1 kV
Temperature Range	
Storage	−65°C to +150°C
Operating	−40°C to +85°C
Junction	−65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} （ジャンクションから周囲空気までの熱抵抗）と θ_{JC} （ジャンクションからケースまでの熱抵抗）は最も厳しい条件、すなわち、回路ボードに表面実装パッケージをハンダ付けた状態で仕様規定しています。

表 10. 熱抵抗

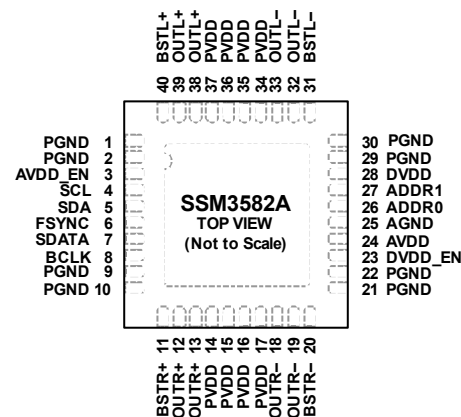
Package Type	θ_{JA} ¹	θ_{JC} ¹	Unit
CP-40-7	27	1.1	°C/W

¹ θ_{JA} および θ_{JC} は、自然対流冷却下にある 4 層（2s2p）PCB に関する JESD51-9 に従って決定されます。

ESD に関する注意

	ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
--	---

ピン配置およびピン機能の説明



注意
1. 露出パッドをPCBのグラウンド・プレーンへ接続するには複数のピアを使用します。

21861-004

図 6. ピン配置

表 11. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	PGND	PWR	左チャンネルの出力段のグラウンド
2	PGND	PWR	左チャンネルの出力段のグラウンド
3	AVDD_EN	AIN	5V AVDD レギュレータのイネーブル。このピンを PVDD に接続すると AVDD レギュレータはイネーブルになり、このピンを AGND に接続すると AVDD レギュレータはディスエーブルになります。このピンを PVDD に接続すると、このレギュレータはイネーブルになります。このピンを AGND に接続すると、このレギュレータはディスエーブルになります。
4	SCL	DIN	I ² C クロック入力
5	SDA	DIO	I ² C データ
6	FSYNC	DIN	I ² S/TDM フレーム同期入力
7	SDATA	DIN	I ² S/TDM シリアル・データ入力
8	BCLK	DIN	I ² S/TDM ビット・クロック入力
9	PGND	PWR	右チャンネルの出力段のグラウンド
10	PGND	PWR	右チャンネルの出力段のグラウンド
11	BSTR+	AIN	ブートストラップ入力、右チャンネルの非反転
12	OUTR+	AOUT	右チャンネルの非反転出力
13	OUTR+	AOUT	右チャンネルの非反転出力
14	PVDD	PWR	右チャンネルの出力段の電源
15	PVDD	PWR	右チャンネルの出力段の電源
16	PVDD	PWR	右チャンネルの出力段の電源
17	PVDD	PWR	右チャンネルの出力段の電源
18	OUTR-	AOUT	右チャンネルの反転出力
19	OUTR-	AOUT	右チャンネルの反転出力
20	BSTR-	AIN	ブートストラップ入力、右チャンネルの反転
21	PGND	PWR	右チャンネルの出力段のグラウンド
22	PGND	PWR	右チャンネルの出力段のグラウンド
23	DVDD_EN	AIN	1.8V DVDD レギュレータのイネーブル。このピンを AVDD に接続すると DVDD レギュレータはイネーブルになり、このピンを AGND に接続すると DVDD レギュレータはディスエーブルになります。このピンを AVDD に接続すると、このレギュレータはイネーブルになります。このピンを AGND に接続すると、このレギュレータはディスエーブルになります。
24	AVDD	PWR	アナログ電源 5V レギュレータ出力／外部 5V 入力
25	AGND	PWR	アナログ・グラウンド
26	ADDR0	AIN	アドレス選択 0 (表 14 を参照)

ピン番号	記号	タイプ ¹	説明
27	ADDR1	AIN	アドレス選択 1（表 14 を参照）
28	DVDD	PWR	デジタル電源 1.8V レギュレータ出力／外部 1.8V 入力
29	PGND	PWR	左チャンネルの出力段のグラウンド
30	PGND	PWR	左チャンネルの出力段のグラウンド
31	BSTL-	AIN	ブートストラップ入力、左チャンネルの反転
32	OUTL-	AOUT	左チャンネルの反転出力
33	OUTL-	AOUT	左チャンネルの反転出力
34	PVDD	PWR	左チャンネルの出力段の電源
35	PVDD	PWR	左チャンネルの出力段の電源
36	PVDD	PWR	左チャンネルの出力段の電源
37	PVDD	PWR	左チャンネルの出力段の電源
38	OUTL+	AOUT	左チャンネルの非反転出力
39	OUTL+	AOUT	左チャンネルの非反転出力
40	BSTL+	AIN	ブートストラップ入力、左チャンネルの非反転
	EPAD		露出パッド。露出パッドを PCB のグラウンド・プレーンへ接続するには複数のビアを使用します。

¹ PWR は電源またはグラウンド・ピン、AIN はアナログ入力、DIN はデジタル入力、DIO はデジタル入出力、AOUT はアナログ出力です。

代表的な性能特性

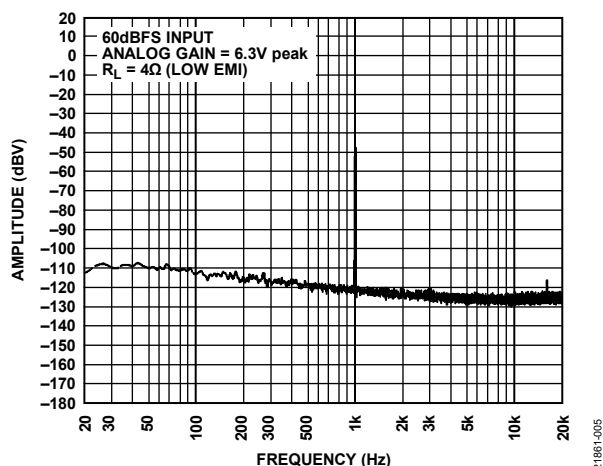


図 7. 振幅と周波数の関係、60dBFS 入力、
アナログ・ゲイン = 6.3V peak

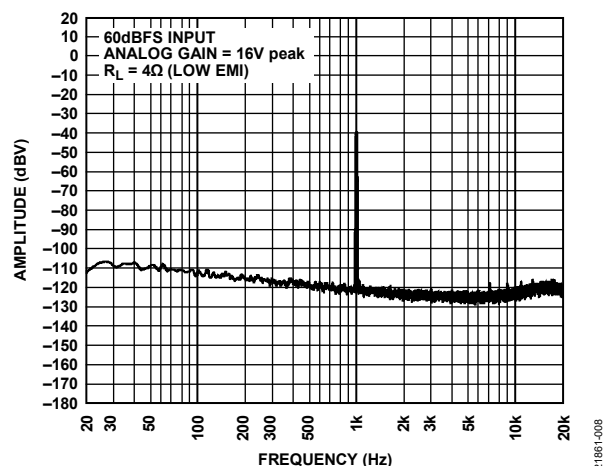


図 10. 振幅と周波数の関係、60dBFS 入力、
アナログ・ゲイン = 16V peak

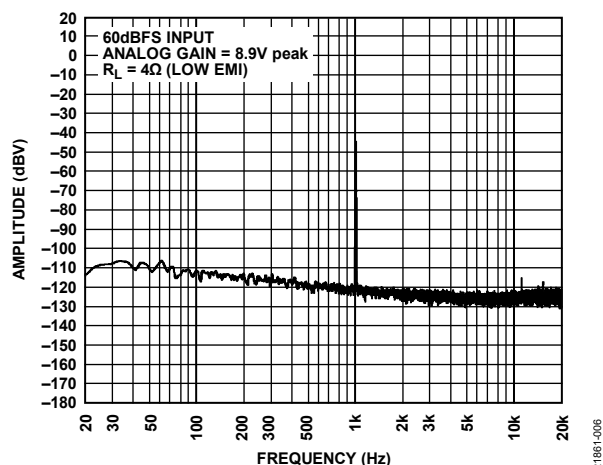


図 8. 振幅と周波数の関係、60dBFS 入力、
アナログ・ゲイン = 8.9V peak

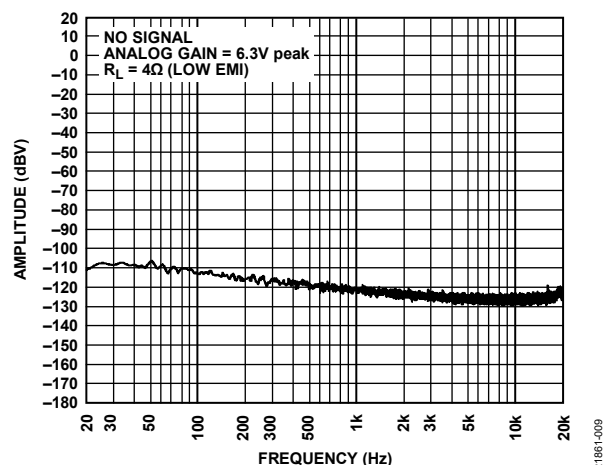


図 11. 振幅と周波数の関係、無信号、
アナログ・ゲイン = 6.3V peak

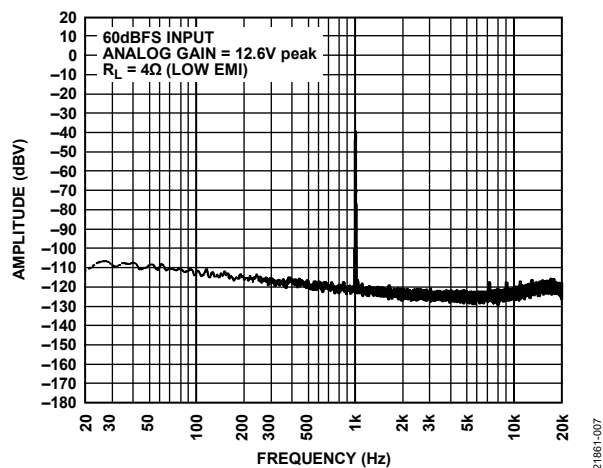


図 9. 振幅と周波数の関係、60dBFS 入力、
アナログ・ゲイン = 12.6V peak

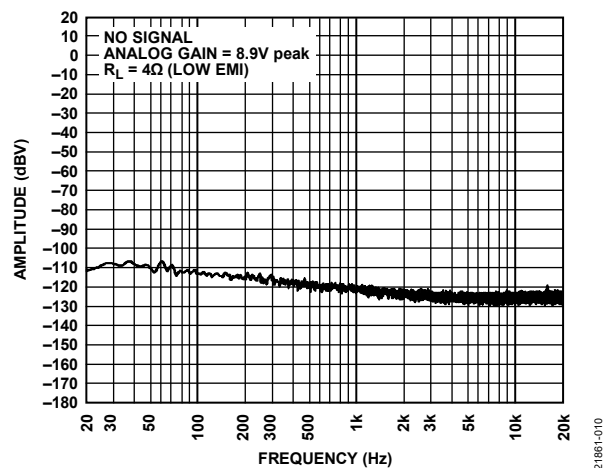


図 12. 振幅と周波数の関係、無信号、
アナログ・ゲイン = 8.9V peak

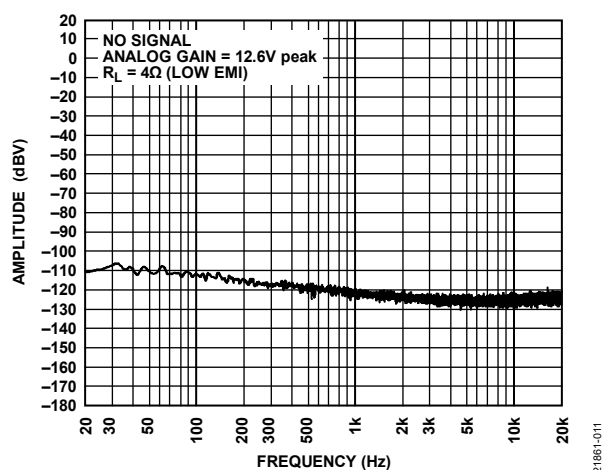


図 13. 振幅と周波数の関係、無信号、アナログ・ゲイン = 12.6V peak

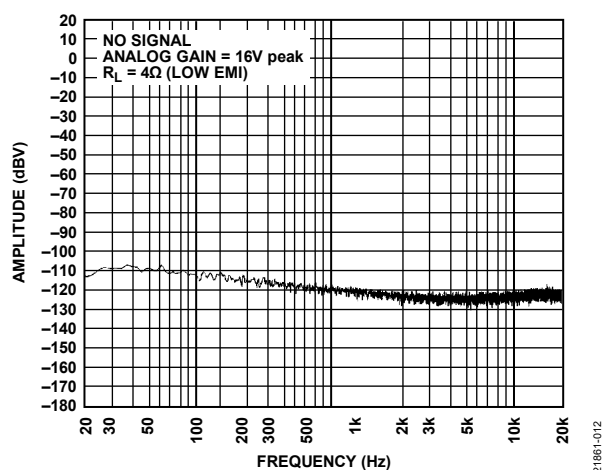


図 14. 振幅と周波数の関係、無信号、アナログ・ゲイン = 16V peak

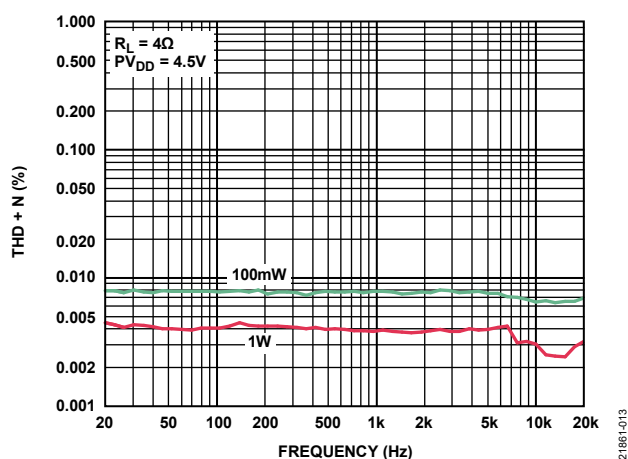


図 15. THD + N と周波数の関係、 $R_L = 4\Omega$ 、 $P_{VDD} = 4.5V$

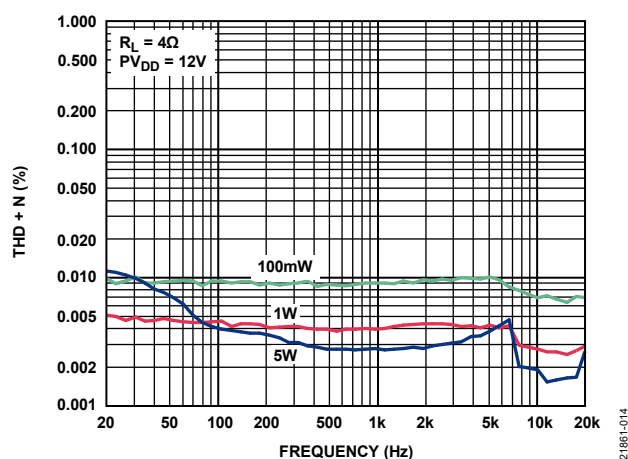


図 16. THD + N と周波数の関係、 $R_L = 4\Omega$ 、 $P_{VDD} = 12V$

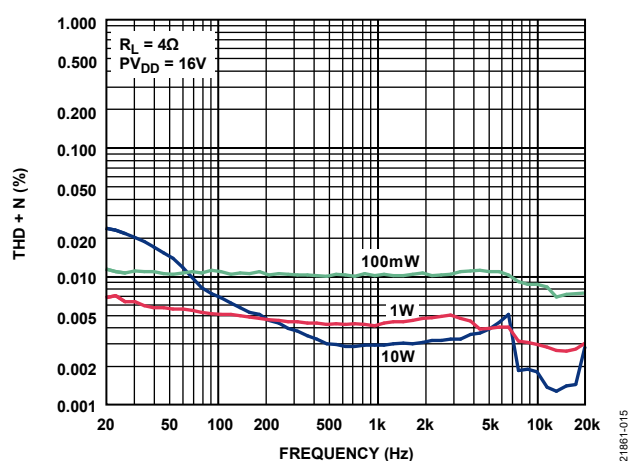


図 17. THD + N と周波数の関係、 $R_L = 4\Omega$ 、 $P_{VDD} = 16V$

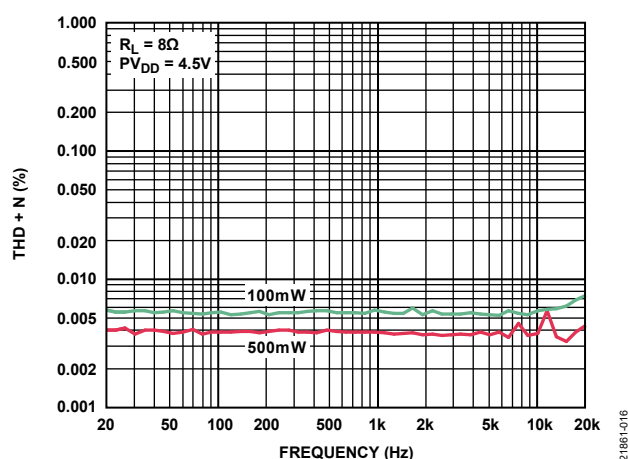


図 18. THD + N と周波数の関係、 $R_L = 8\Omega$ 、 $P_{VDD} = 4.5V$

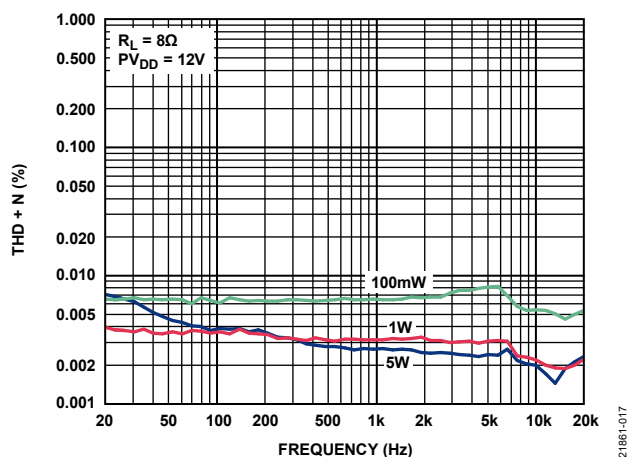


図 19. THD + N と周波数の関係、 $R_L = 8\Omega$ 、 $PV_{DD} = 12V$

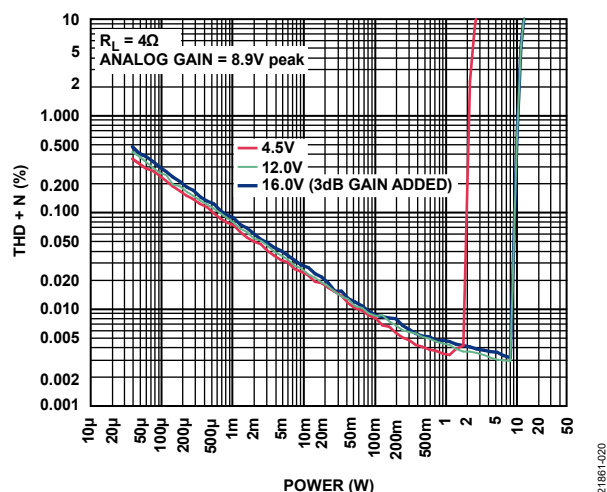


図 22. THD + N と出力電力の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 8.9V peak

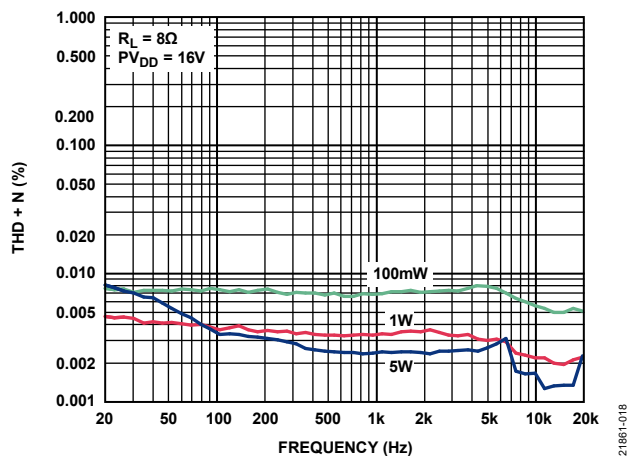


図 20. THD + N と周波数の関係、 $R_L = 8\Omega$ 、 $PV_{DD} = 16V$

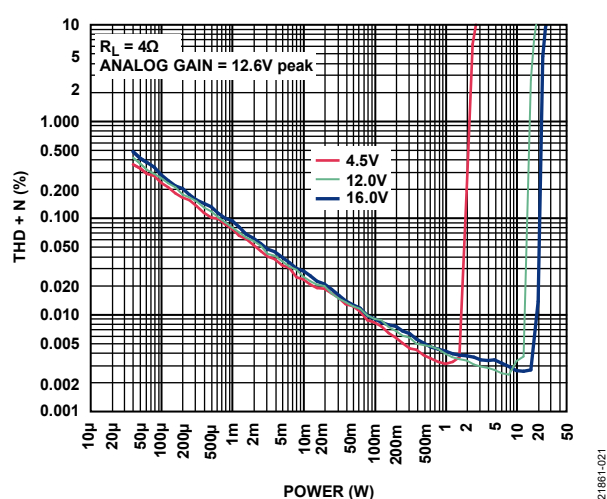


図 23. THD + N と出力電力の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 12.6V peak

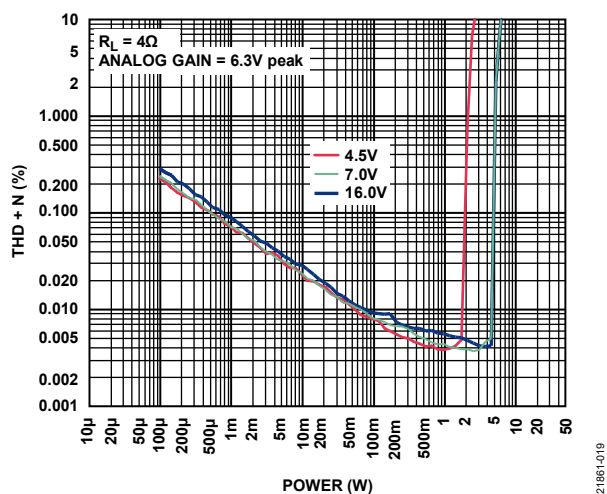


図 21. THD + N と出力電力の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 6.3V peak

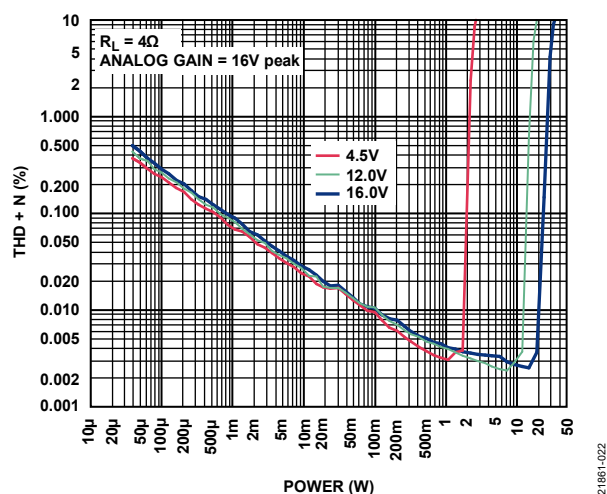


図 24. THD + N と出力電力の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 16V peak

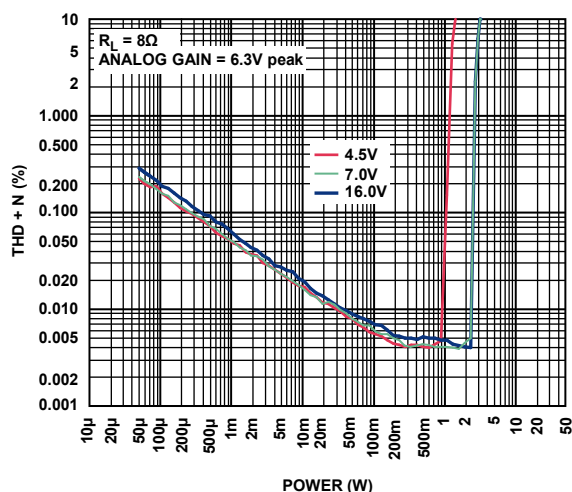


図 25. THD + N と出力電力の関係、 $R_L = 8\Omega$ 、アナログ・ゲイン = 6.3V peak

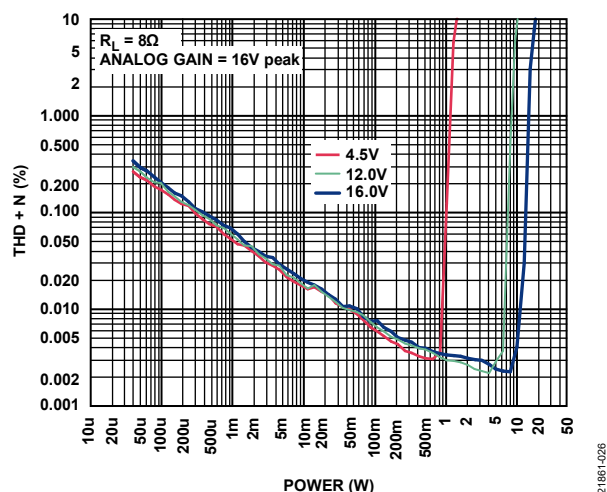


図 28. THD + N と出力電力の関係、 $R_L = 8\Omega$ 、アナログ・ゲイン = 16V peak

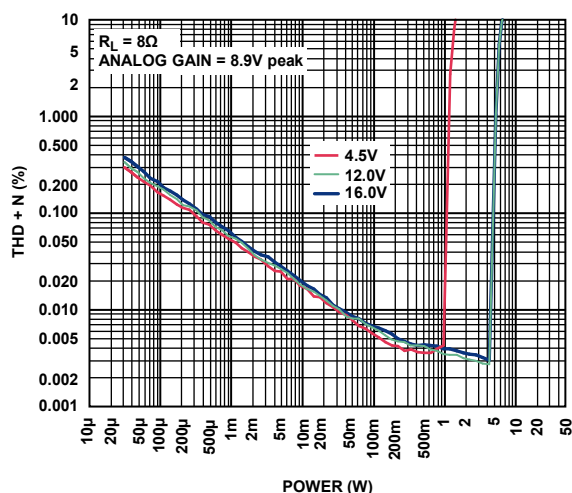


図 26. THD + N と出力電力の関係、 $R_L = 8\Omega$ 、アナログ・ゲイン = 8.9V peak

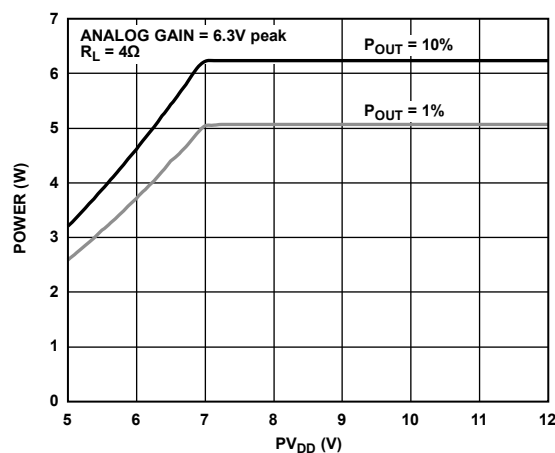


図 29. 出力と PV_{DD} の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 6.3V peak (P_{OUT} は出力電力)

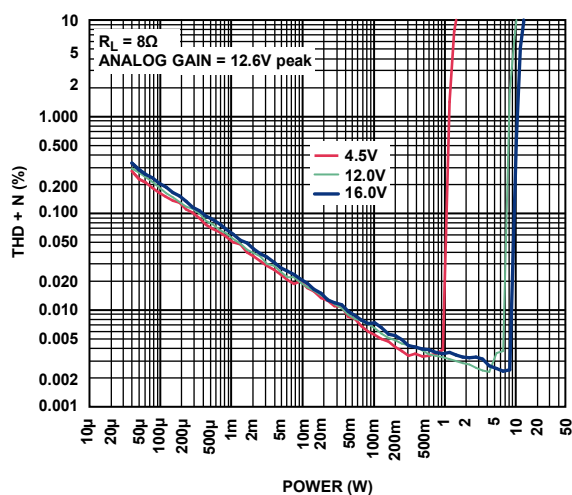


図 27. THD + N と出力電力の関係、 $R_L = 8\Omega$ 、アナログ・ゲイン = 12.6V peak

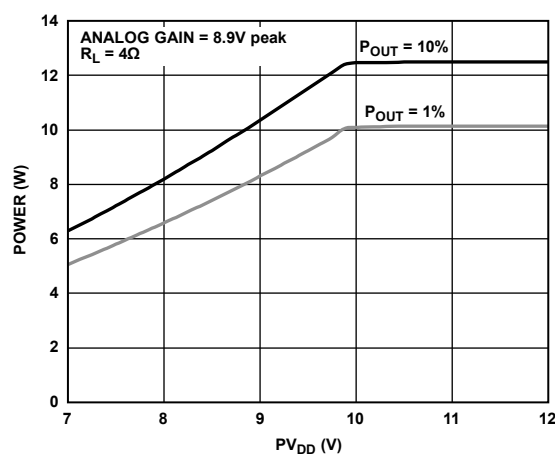


図 30. 出力と PV_{DD} の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 8.9V peak

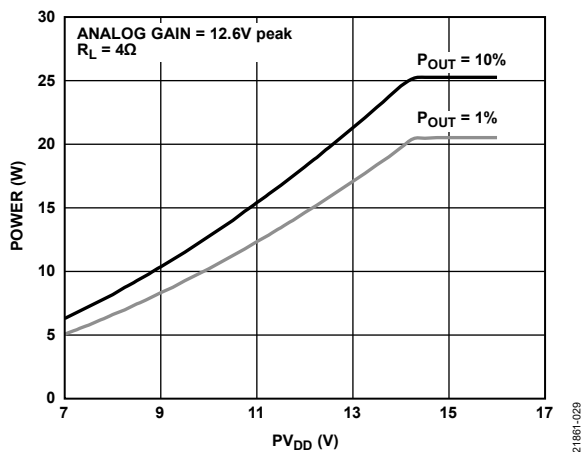


図 31. 出力と PV_{DD} の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 12.6 V peak

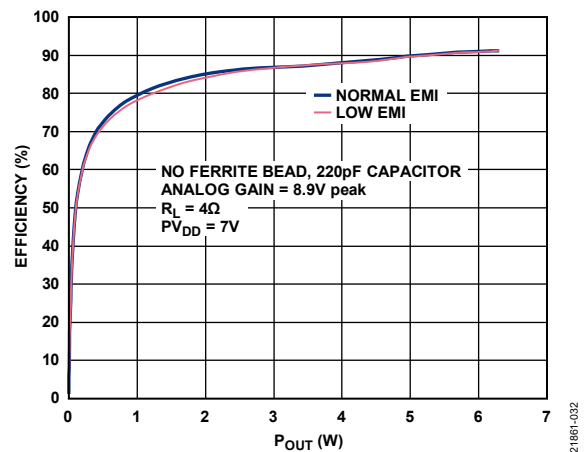


図 34. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 8.9V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 7V$

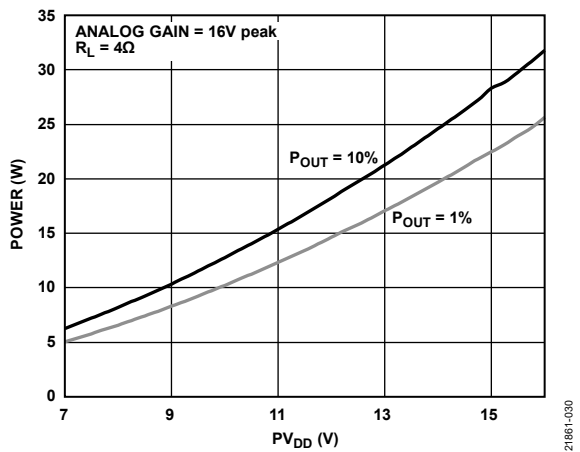


図 32. 出力と PV_{DD} の関係、 $R_L = 4\Omega$ 、アナログ・ゲイン = 16 V peak

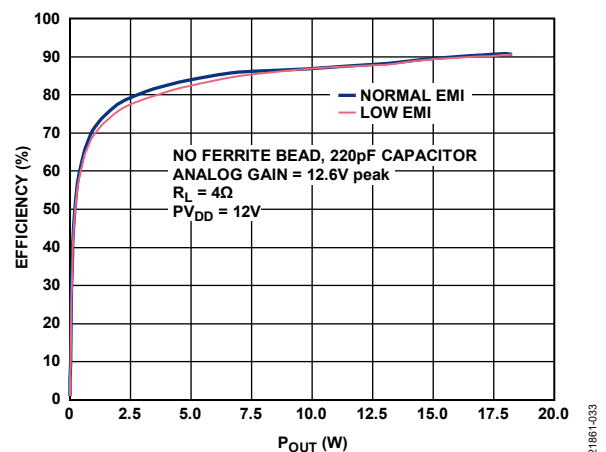


図 35. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 12.6V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 12V$

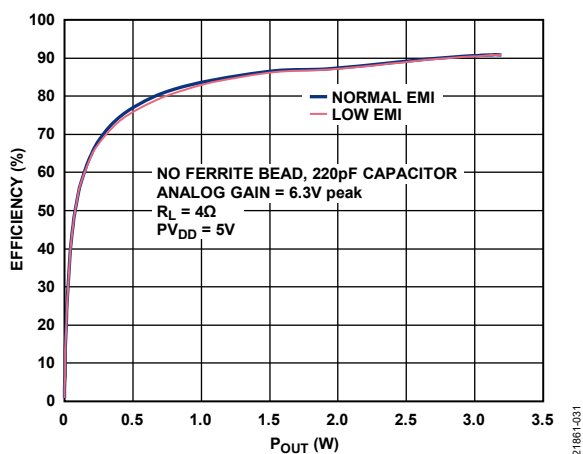


図 33. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 6.3V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 5V$

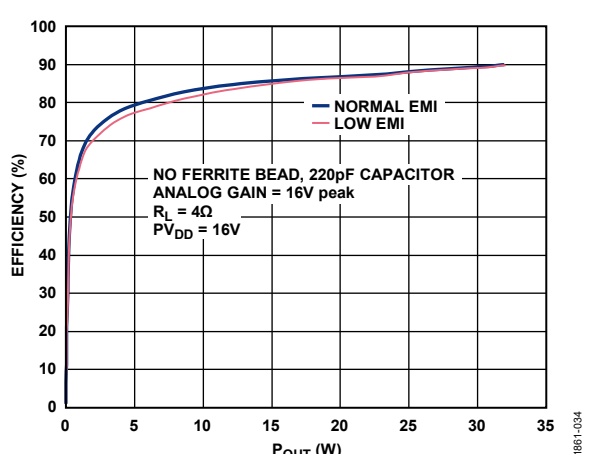


図 36. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 16V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 16V$

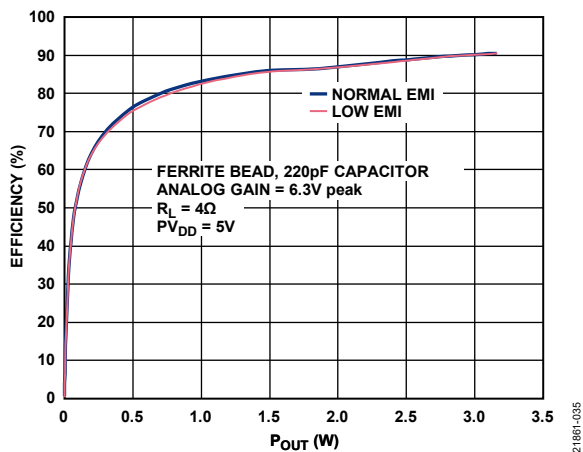


図 37. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 6.3V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 5V$

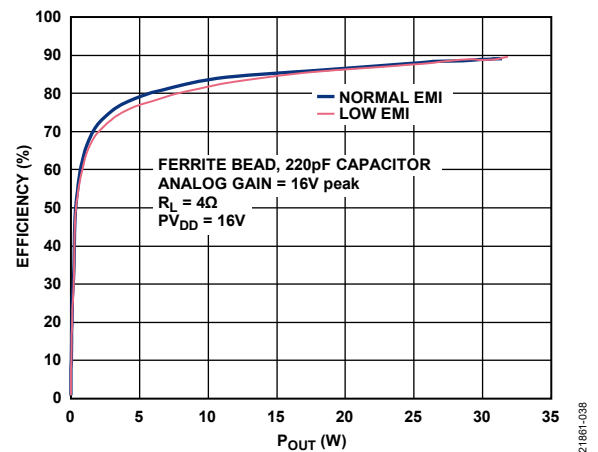


図 40. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 16V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 16V$

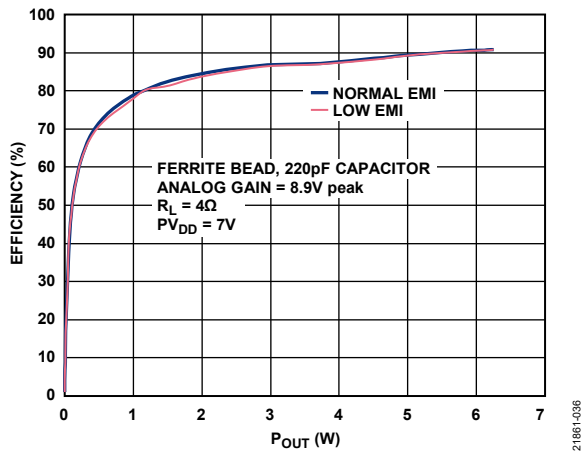


図 38. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 8.9V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 7V$

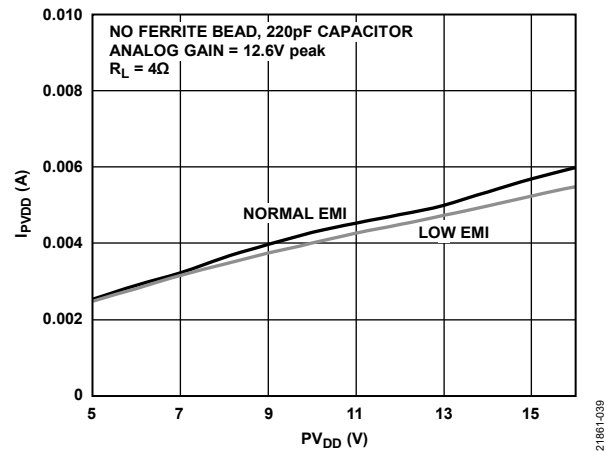


図 41. I_{PVDD} と PV_{DD} の関係、フェライト・ビーズなし、アナログ・ゲイン = 12.6V peak、 $R_L = 4\Omega$

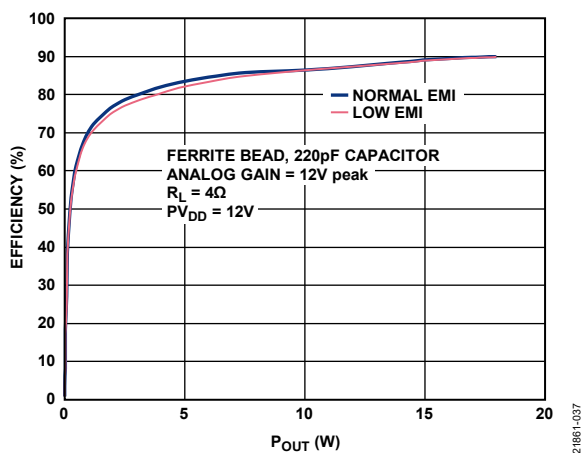


図 39. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 12V peak、 $R_L = 4\Omega$ 、 $PV_{DD} = 12V$

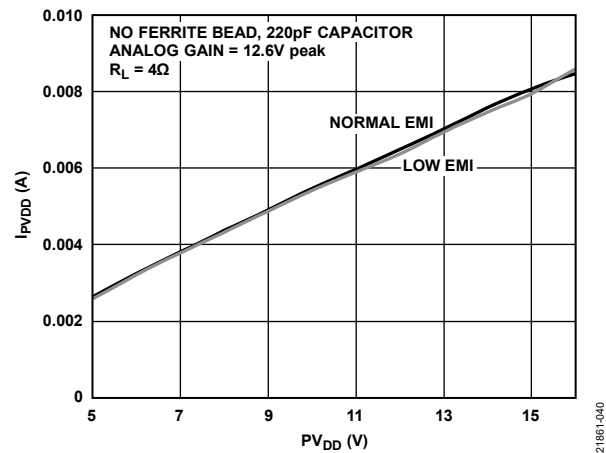


図 42. I_{PVDD} と PV_{DD} の関係、フェライト・ビーズなし、アナログ・ゲイン = 12.6V peak、 $R_L = 4\Omega$

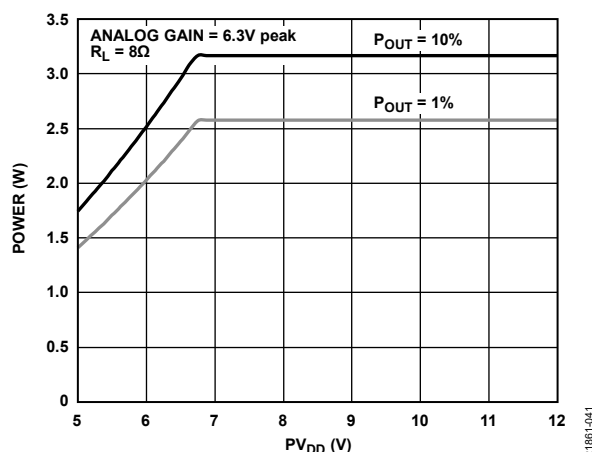


図 43. 出力と PV_{DD} の関係、アナログ・ゲイン = 6.3V peak、 $R_L = 8\Omega$

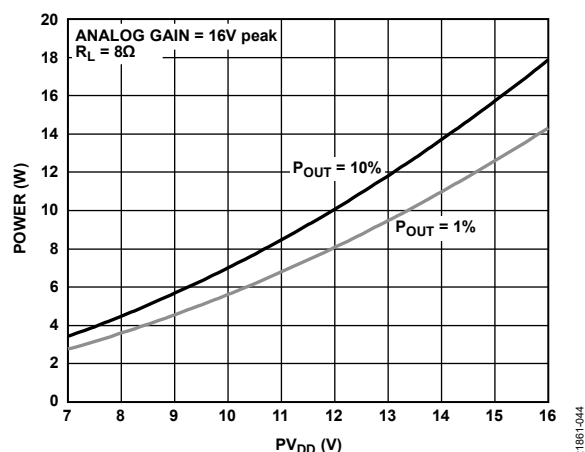


図 46. 出力と PV_{DD} の関係、アナログ・ゲイン = 16V peak、 $R_L = 8\Omega$

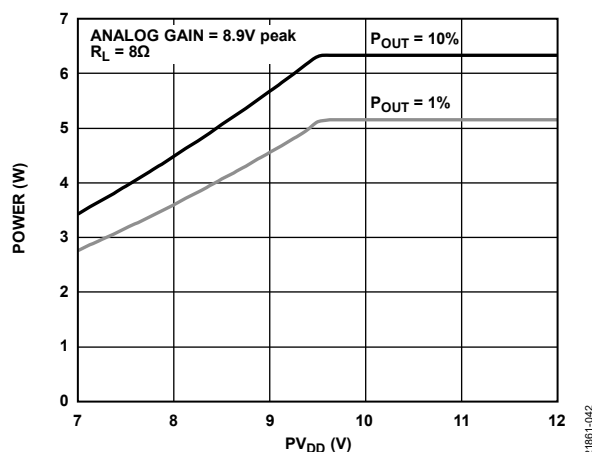


図 44. 出力と PV_{DD} の関係、アナログ・ゲイン = 8.9V peak、 $R_L = 8\Omega$

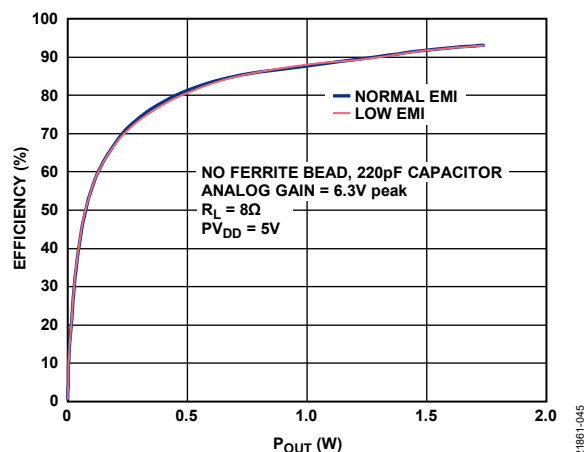


図 47. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 6.3V peak、 $R_L = 8\Omega$ 、PV_{DD} = 5V

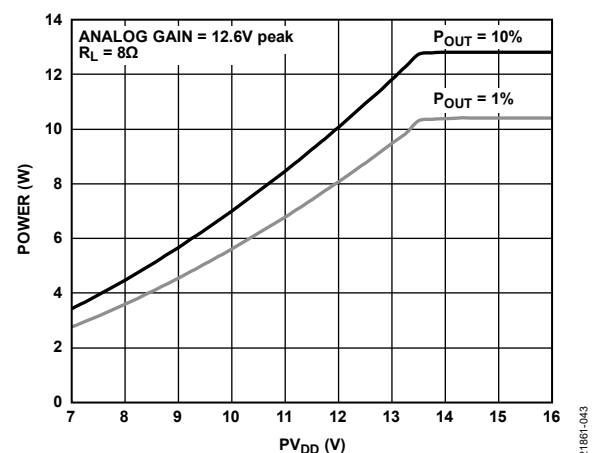


図 45. 出力と PV_{DD} の関係、アナログ・ゲイン = 12.6V peak、 $R_L = 8\Omega$

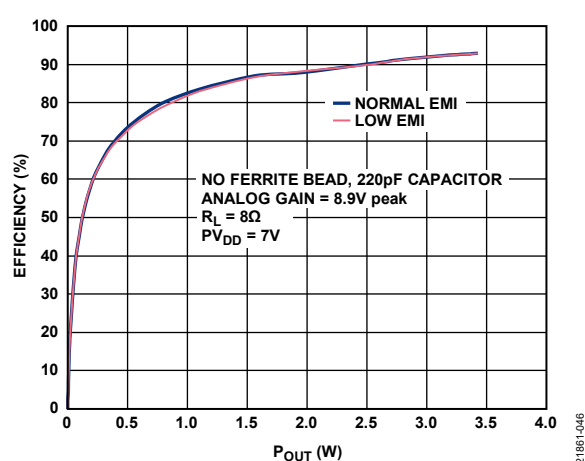


図 48. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 8.9V peak、 $R_L = 8\Omega$ 、PV_{DD} = 7V

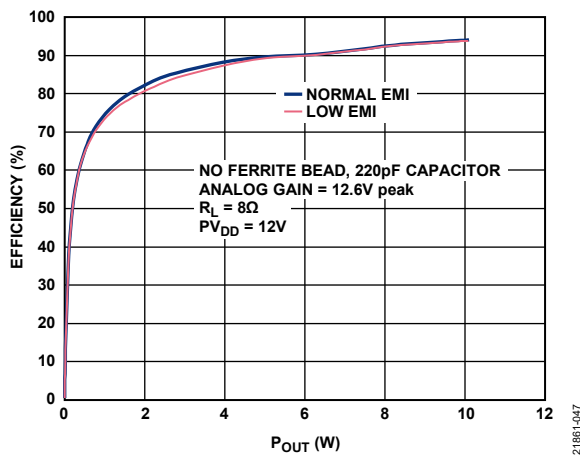


図 49. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 12.6V peak、 $R_L = 8\Omega$ 、 $PV_{DD} = 12V$

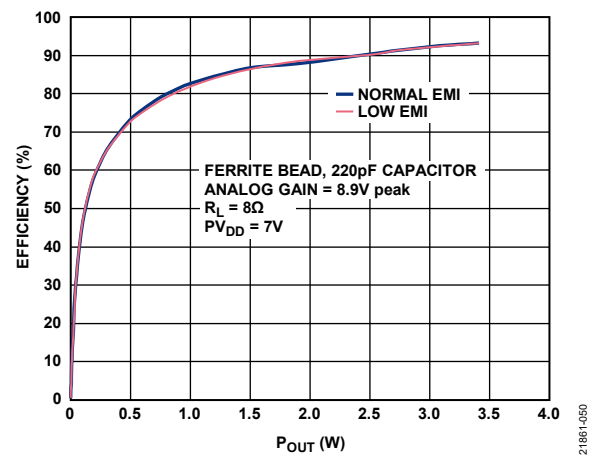


図 52. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 8.9V peak、 $R_L = 8\Omega$ 、 $PV_{DD} = 7V$

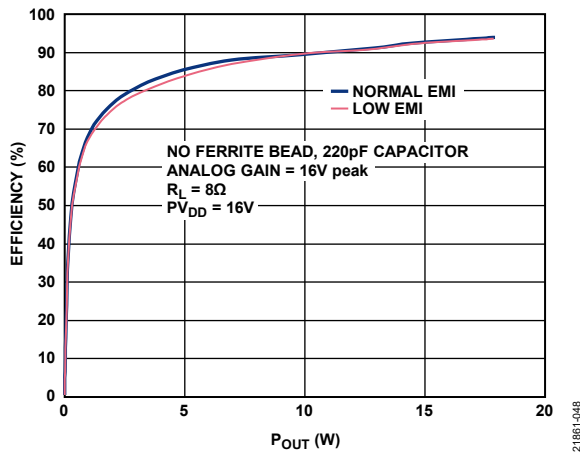


図 50. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 16V peak、 $R_L = 8\Omega$ 、 $PV_{DD} = 16V$

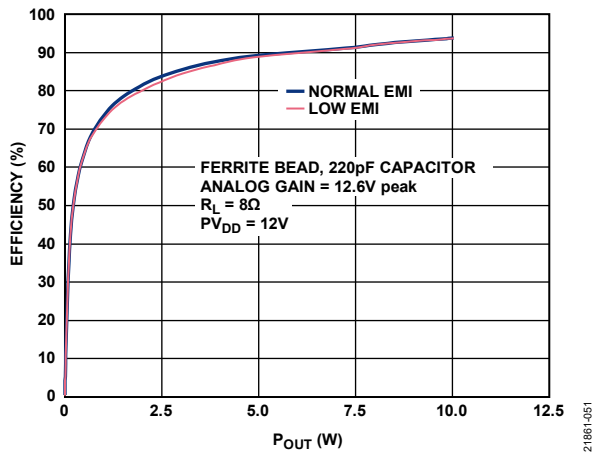


図 53. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 12.6V peak、 $R_L = 8\Omega$ 、 $PV_{DD} = 12V$

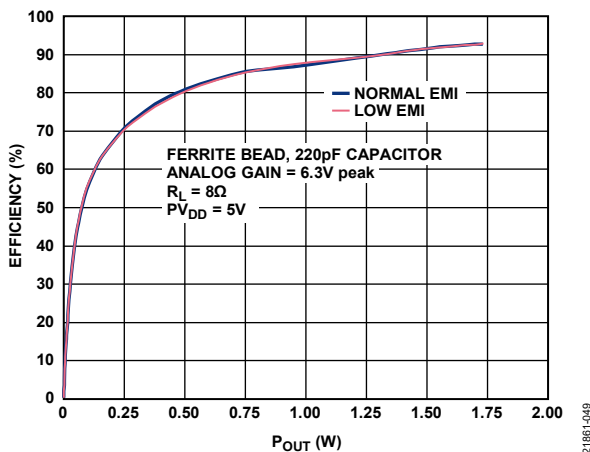


図 51. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 6.3V peak、 $R_L = 8\Omega$ 、 $PV_{DD} = 5V$

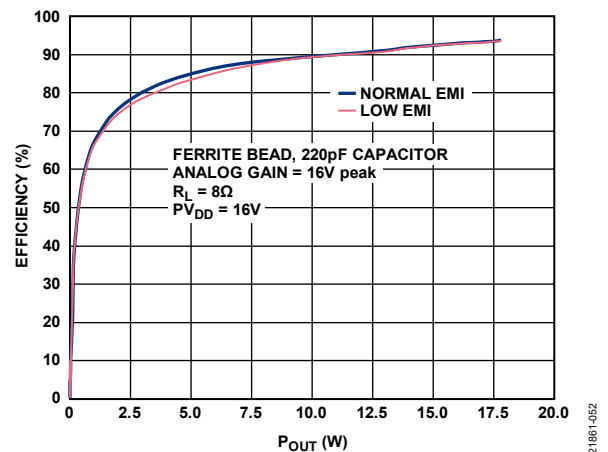


図 54. 効率と P_{OUT} の関係、フェライト・ビーズあり、アナログ・ゲイン = 16V peak、 $R_L = 8\Omega$ 、 $PV_{DD} = 16V$

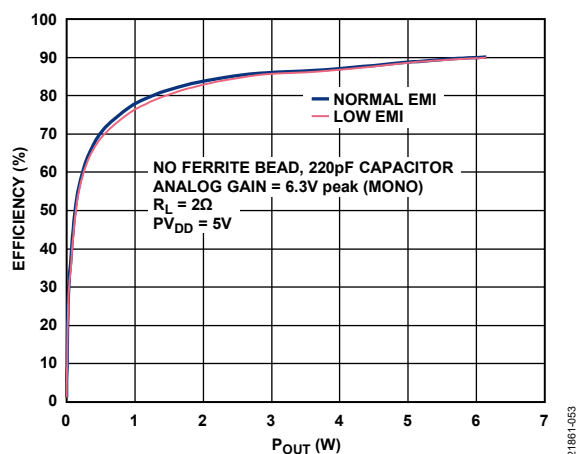


図 55. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 6.3V peak、 $R_L = 2\Omega$ 、 $PV_{DD} = 5V$

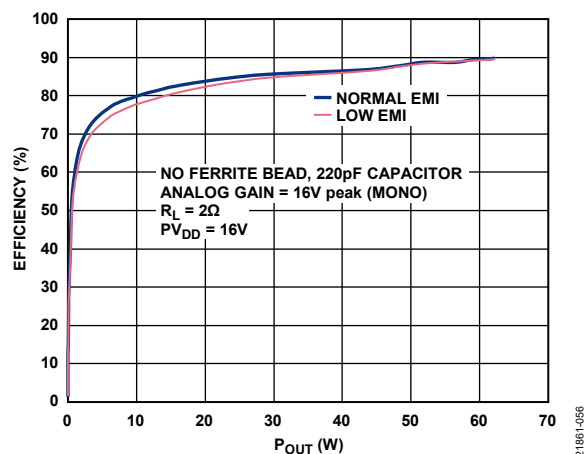


図 58. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 16V peak、 $R_L = 2\Omega$ 、 $PV_{DD} = 16V$

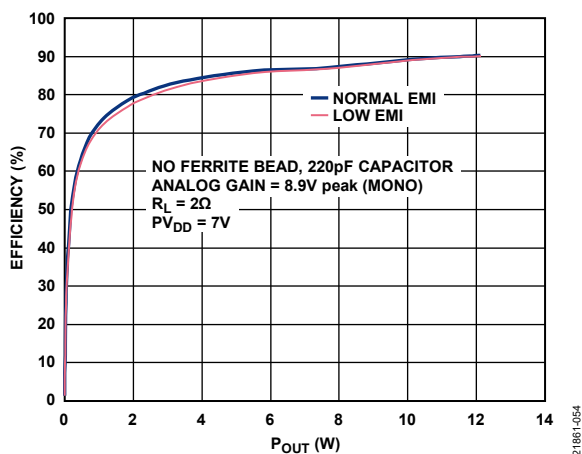


図 56. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 8.9V peak、 $R_L = 2\Omega$ 、 $PV_{DD} = 7V$

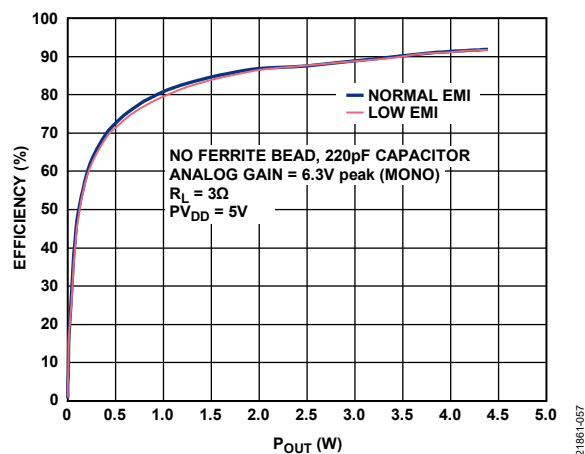


図 59. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 6.3V peak、 $R_L = 3\Omega$ 、 $PV_{DD} = 5V$

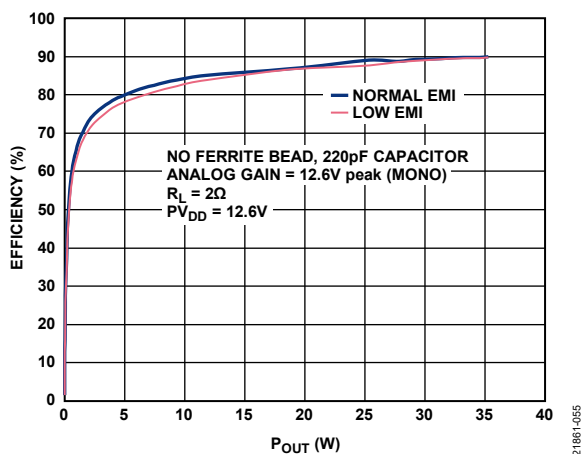


図 57. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 12.6V peak、 $R_L = 2\Omega$ 、 $PV_{DD} = 12.6V$

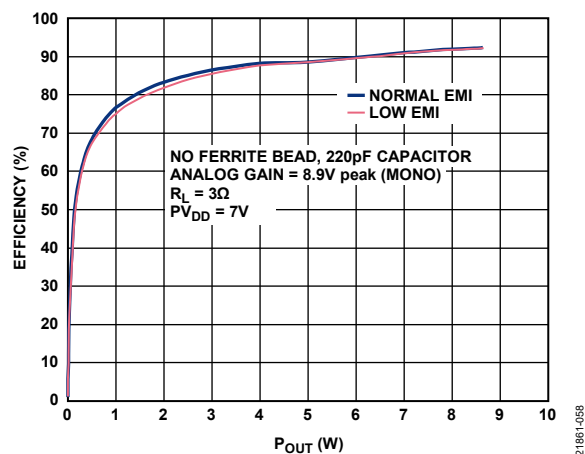


図 60. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 8.9V peak、 $R_L = 3\Omega$ 、 $PV_{DD} = 7V$

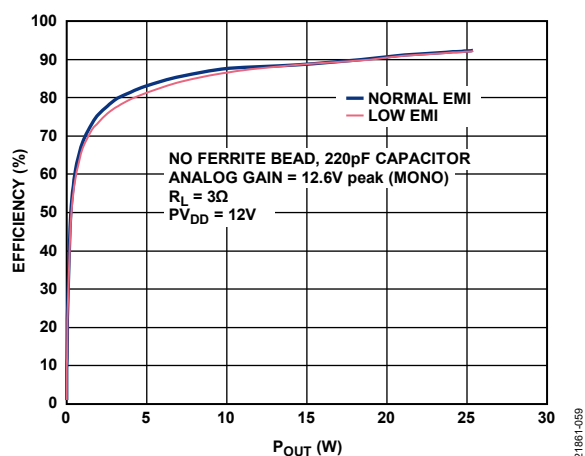


図 61. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 12.6V peak、 $R_L = 3\Omega$ 、 $PV_{DD} = 12V$

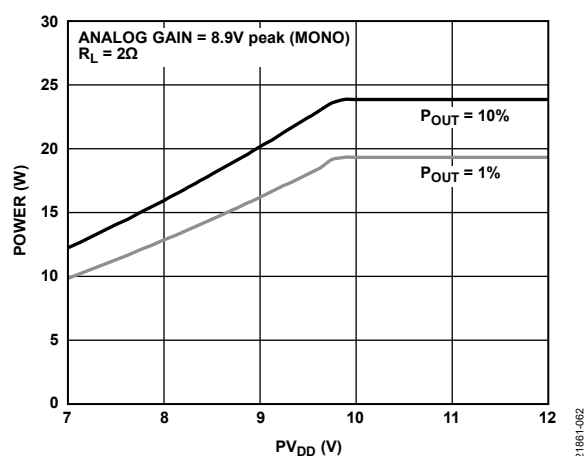


図 64. 出力と PV_{DD} の関係、アナログ・ゲイン = 8.9V peak、 $R_L = 2\Omega$

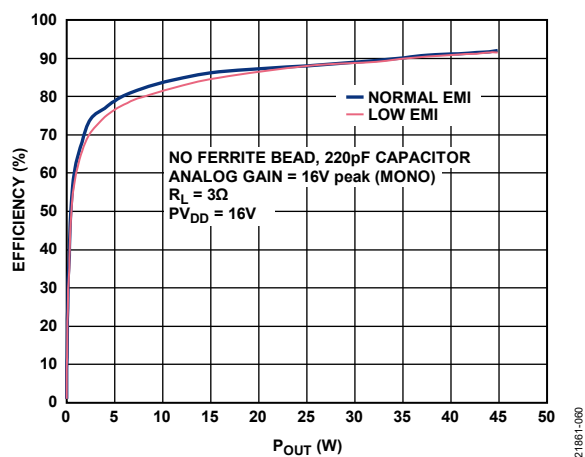


図 62. 効率と P_{OUT} の関係、フェライト・ビーズなし、アナログ・ゲイン = 16V peak、 $R_L = 3\Omega$ 、 $PV_{DD} = 16V$

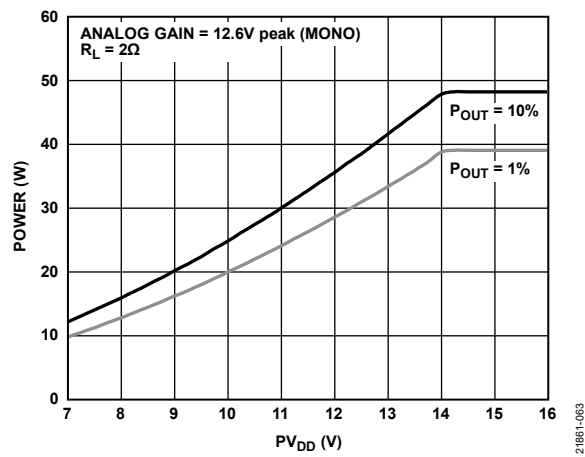


図 65. 出力と PV_{DD} の関係、アナログ・ゲイン = 12.6V peak、 $R_L = 2\Omega$

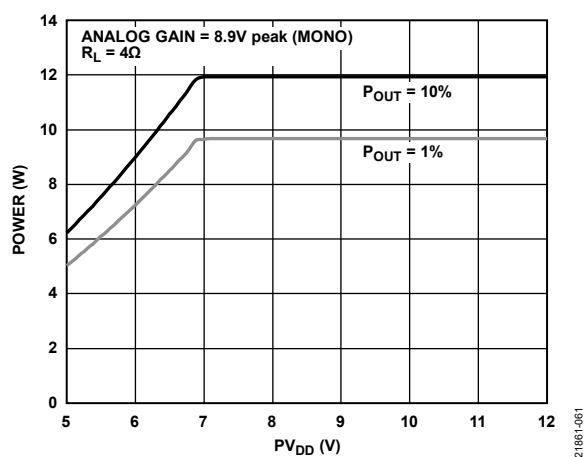


図 63. 出力と PV_{DD} の関係、アナログ・ゲイン = 8.9V peak、 $R_L = 4\Omega$

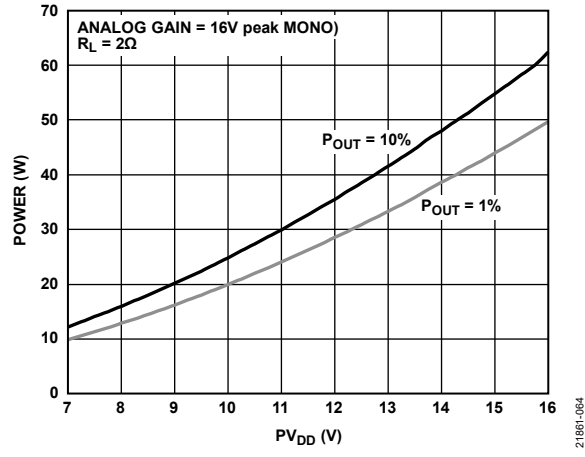


図 66. 出力と PV_{DD} の関係、アナログ・ゲイン = 16V peak、 $R_L = 2\Omega$

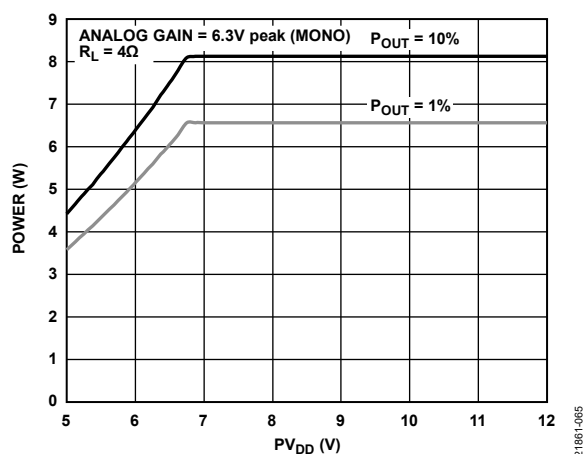


図 67. 出力と PV_{DD} の関係、アナログ・ゲイン = 6.3V peak、 $R_L = 4\Omega$

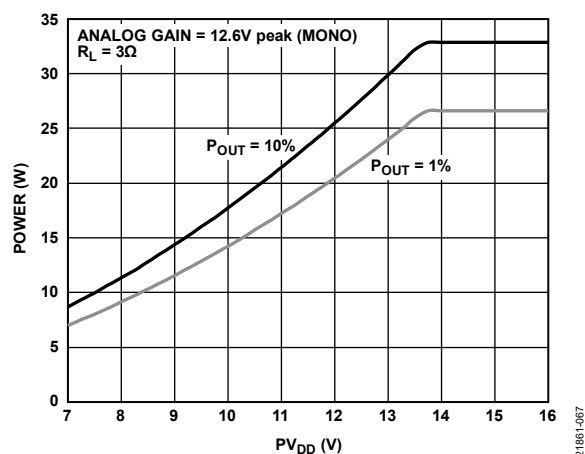


図 69. 出力と PV_{DD} の関係、アナログ・ゲイン = 12.6V peak、 $R_L = 3\Omega$

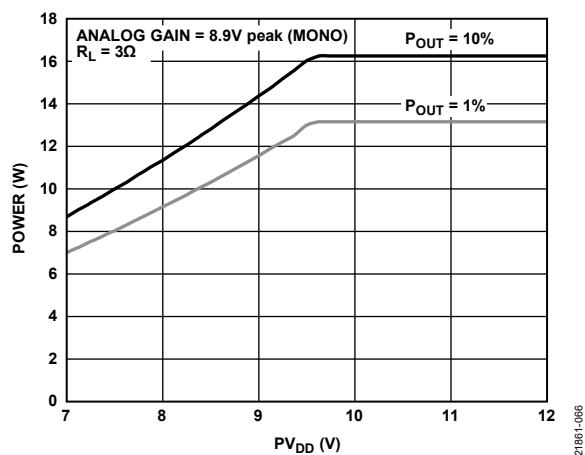


図 68. 出力と PV_{DD} の関係、アナログ・ゲイン = 8.9V peak、 $R_L = 3\Omega$

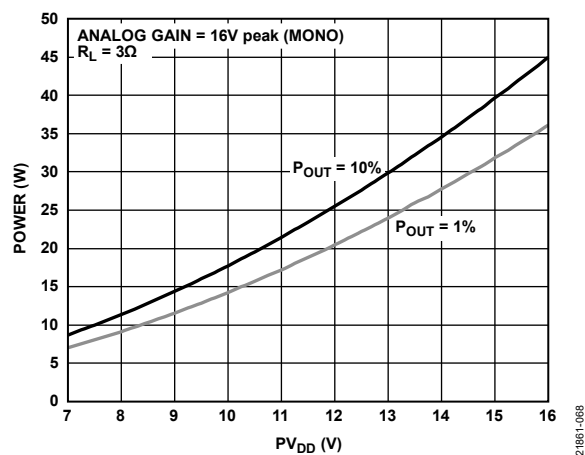


図 70. 出力と PV_{DD} の関係、アナログ・ゲイン = 16V peak、 $R_L = 3\Omega$

動作原理

概要

SSM3582A は、外付け部品数を大幅に低減することで基板スペースの節約とシステム・コストの低減を実現するフィルタレス変調方式を採用したステレオ・クラス D オーディオ・アンプです。SSM3582A は、出力フィルタを必要としません。スピーカ・コイル固有のインダクタンスや、スピーカと人の聴覚に備わった自然のフィルタ特性を使用して、方形波出力から元のオーディオ成分を復元します。ほとんどのクラス D アンプはパルス幅変調 (PWM) の一種を使って出力スイッチング・パターンを生成しています。一方、SSM3582A は $\Sigma\Delta$ 変調を採用しており、結果として重要な恩恵を得ています。パルス幅変調器とは異なり、 $\Sigma\Delta$ 変調器は、AM 周波数帯域の多くの高調波でシャープなピークを生成しません。 $\Sigma\Delta$ 変調は、高周波でのスペクトル成分の振幅を小さくして、通常はスピーカや長いケーブル経路から発生する EMI 放射を低減します。 $\Sigma\Delta$ 変調の拡散スペクトルに特有な性質上、複数の SSM3582A アンプを使用する設計で発振器の同期は必要ありません。SSM3582A は静止条件に移行することで消費電力を低減できます。これは、バッテリーまたは電源から供給される電力を節約するのに役立ちます。SSM3582A は過電流／過熱保護機能と、オプションのプログラマブル自動ゲイン低減機能を備えた温度警告機能を内蔵しています。

電源

PVDD

PVDD は、AVDD と DVDD の低ドロップアウト (LDO) レギュレータだけでなく、出力段にも電力を供給します。

AVDD

AVDD は、変調器、出力段ドライバ、その他のアナログ・ブロックで使用するアナログ電源です。

AVDD_EN ピン = PVDD の場合、内部レギュレータが 5V を生成し、AVDD ピンはデカップリングのみのために使われます。

AVDD_EN ピン = AGND の場合、外部システム電源から AVDD に 5V を供給して、電力損失を最小化する必要があります。

DVDD

DVDD はデジタル回路に電力を供給します。このノードの電流は非常に小さい (1mA 未満) です。

DVDD_EN ピン = AVDD の場合、内部レギュレータが 1.8V を生成し、DVDD ピンはデカップリングのためだけに使われます。

DVDD_EN ピン = AGND の場合、外部システム電源から DVDD に 1.8V を供給し、電力損失を最小化する必要があります。

表 12 に、各種電源構成、動作モード、負荷特性の消費電力を示します。

表 12. 代表的な電源電流消費、 $f_s = 48\text{kHz}^1$

AVDD_EN Pin	Load	Test Conditions	AVDD Pin	I_{AVDD} (mA)	I_{DVDD} (mA)	PVDD					
						5 V		12 V		16 V	
						I_{PVDD} (mA)	Total Power (mW)	I_{PVDD} (mA)	Total Power (mW)	I_{PVDD} (mA)	Total Power (mW)
Low	No load	SPWDN = 1	External	0.007542	0.00268	0.000065	0.042859	0.000065	0.043314	0.000065	0.043574
		Automatic power-down	External	0.007542	0.04372	0.000065	0.116731	0.000065	0.117186	0.000065	0.117446
		Dither input	External	6.335	0.945	2.54	46.076	4.94	92.656	6.25	133.376
PVDD	No load	SPWDN = 1	Internal	N/A	N/A	0.000065	0.000325	0.000065	0.00078	0.000065	0.00104
		Automatic power-down	Internal	N/A	N/A	0.209	1.045	0.286	3.432	0.329	5.264
		Dither input	Internal	N/A	N/A	9.78	48.9	12.38	148.56	14.05	224.8
Low	8 Ω + 33 μH	SPWDN = 1	External	0.007542	0.00268	0.000065	0.042859	0.000065	0.043314	0.000065	0.043574
		Automatic power-down	External	0.007542	0.04372	0.000065	0.116731	0.000065	0.117186	0.000065	0.117446
		Dither input	External	6.432	0.942	2.59	46.8056	5.02	94.0956	6.31	134.8156
PVDD	8 Ω + 33 μH	SPWDN = 1	Internal	N/A	N/A	0.000065	0.000325	0.000065	0.00078	0.000065	0.00104
		Automatic power-down	Internal	N/A	N/A	0.209	1.045	0.286	3.432	0.329	5.264
		Dither input	Internal	N/A	N/A	9.82	49.1	12.39	148.68	13.73	219.68

¹ N/A は該当なしを意味します。

パワーアップ・シーケンス

電源として PVDD のみを使用する場合

SSM3582A を単電源モードで使用します。すべての内部レールは PVDD から生成されます。AVDD_EN ピンと DVDD_EN ピンをハイにすることで、内部 AVDD (5V) および DVDD (1.8V) レギュレータをイネーブルにできます。AVDD_EN は PVDD に接続し、DVDD_EN は AVDD に接続します。PVDD $\geq$ 5V を印加した 10ms 後、このアンプは動作可能になり、I²C 書込みに応答します。

PVDD と外部 AVDD を使用する場合

外部の 5V を AVDD に供給する場合、注意が必要です。AVDD_EN ピンをローにすることで、内部 5V LDO レギュレータをディスエーブルにする必要があります。この場合、DVDD (1.8V) は PVDD から生成されます。PVDD への逆給電を防止するため、PVDD > AVDD に保つことが重要です。

PVDD と、外部 AVDD および DVDD を使用する場合

外部の AVDD および DVDD 電源を使う場合、AVDD_EN ピンと DVDD_EN ピンをどちらもローにする必要があります。PVDD への逆給電を防止するため、PVDD > AVDD または PVDD > DVDD に保つことが重要です。本デバイスが I²C コマンドに応答できるように、DVDD を印加しておく必要があります。DVDD を印加した約 10ms 後、本デバイスは動作可能になります。出力段がターン・オンできるように、PVDD は 5V 以上（最適な性能を得るには 6V）にする必要があります。

パワーダウン動作

SSM3582A は、I²C を介していくつかのパワーダウン・オプションを提供しています。レジスタ 0x04 は、各種パワーダウン・モードを設定するための複数のオプションを提供します。

SPWDN ビットを 1 に設定すると、本デバイスは完全にパワーダウンします。この場合、I²C および 1.8V レギュレータ・ブロックのみが (DVDD_EN ピンで有効にされている場合) アクティブに保たれます。

SSM3582A は、BCLK ピンと FSYNC ピンの両方を監視してクロックが存在するかどうかを確認します。BCLK が存在しない場合、デバイスはすべての内部回路を自動的にパワーダウンして、消費電力を最小限に抑えます。BCLK が復帰すると、デバイスは通常の電力シーケンスを経て自動的にパワーアップします。シャットダウン時にクリック／ポップを発生させないようにするには、クロックを停止する前に SPDWN 制御で本デバイスをパワーダウンさせます。

APWDN_EN ビットをイネーブルにすると、2048 の連続するゼロ入力サンプルを受信した後、低消費電力状態が有効になります。I²C ブロックとデジタル・オーディオ入力ブロックのみが動作可能な状態に保たれます。

個々のチャンネルは、レジスタ 0x04 のビット [3 : 2] を使用してパワーダウンできます。

温度測定用 ADC は、レジスタ 0x04 のビット 5 を使用してパワーダウンできます。

クロッキング

正しく動作させるには、SSM3582A に BCLK 信号を供給する必要があります。BCLK 信号の周波数は、最小の 2.048MHz にする必要があります。BCLK レートは自動的に検出されますが、サンプリング周波数は指定する必要があります。32kHz～48kHz でサポートされている BCLK レートは、サンプル・レートの 50、64、100、128、192、200、256、384、400、512、768、800、および 1024 倍です。

デジタル・オーディオ・シリアル・インターフェース

SSM3582A は、スレーブ専用の標準シリアル・オーディオ・インターフェースを備えています。インターフェースは、I²S、左詰め、PCM、または TDM フォーマットのデータを受信できます。

シリアル・インターフェースには、主な動作モードが 3 つあります。ステレオ・モード（通常 I²S または左詰め）はインターフェース・バスに 1 つのチップを接続する場合に使用します。より柔軟な TDM モードを使うと、バスに複数のチップを接続できます。

ステレオ動作モード-I²S、左詰め

ステレオ・モードは、FSYNC の両エッジを使用してデータの配置を決定します。ステレオ・モードは SAI_MODE = 0 で有効になり、I²S または左詰めフォーマットは SDATA_FMT レジスタ設定で決定されます。

I²S または左詰めインターフェース・フォーマットは各種 BCLK/FSYNC 比をサポートしています（表 13 を参照）。8kHz～192kHz のサンプル・レートに対応しています。

TDM 動作モード

TDM 動作モードでは、複数のチップを 1 つのシリアル・インターフェースに接続できます。

FSYNC 信号は、必要なサンプル・レートで動作します。FSYNC 信号の立上がりエッジは、新しいフレームの開始を示します。正しく動作させるには、この信号が 1 BCLK サイクル幅で、BCLK の立下がりエッジで遷移する必要があります。1 BCLK サイクル後に、データの MSB が SDATA 信号に現れます。SDATA 信号は、BCLK の立上がりエッジでラッチされます。

TDM バス上の各チップは、TDM_BCLKS 制御ビットで設定された 16、24、32、48、または 64 BCLK サイクルを占有できます。1 つの TDM バスに接続できるデバイス数の最大値は、サンプル・レートとチャンネルあたりのビット数で決まります。表 13 に、サポートしているサンプル・レートとビット深度の組み合わせを示します。

最大のビット・クロック周波数は 49.152MHz です。

TDM16 フォーマットを使うと、1 つの TDM インターフェースに最大 8 つのデバイス（16 チャンネル）を接続でき、最大 96kHz のサンプル・レート、チャンネルあたり 32 ビットで動作させることができます。48kHz、96kHz、192kHz のサンプル・レートでサポートしている選択肢は、表 13 を参照してください。このインターフェースは、スレーブのみである（ビット・クロック、フレーム同期、データが本デバイスに供給される）ことに注意します。

ADDRx ピン設定は、各デバイスのデフォルトの TDM スロットを決定します。この設定は TDM_SLOT_x コントロール・レジスタを使って変更できます。

表 13. サポートしている BCLK レート (MHz) ¹

Sample Rate (kHz)	BCLK (MHz)/FSYNC Ratio ²														
	50	64	100	128	192	200	256	384	512	768	800	1024	2048	4096	
8 to 12	N/A	N/A	N/A	N/A	N/A	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
16 to 24	N/A	N/A	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	N/A	
32 to 48	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	
64 to 96	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A	
128 to 192	Yes	Yes	Yes	Yes	Yes	Yes	Yes	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

¹ Yes は指定されたレートがサポートされていることを意味し、N/A はサポートされていないことを意味します。

² BCLK = (BCLK/FSYNC 比) × サンプル・レート

I²C 制御

SSM3582A は、複数の周辺機器間で共有される I²C 互換 2 線式シリアル・バスをサポートしています。シリアル・データ (SDA) とシリアル・クロック (SCL) の 2 つの信号が SSM3582A とシステムの I²C マスタ・コントローラの間で情報を伝達します。SSM3582A はバス上では常にスレーブであり、データ転送を開始できません。各スレーブ・デバイスは、一意のアドレスによって識別されます。表 14 に、アドレス・バイトのフォーマットを示します。アドレスの場所は I²C 書き込みの上位 7 ビットです。このバイトの LSB は、読出しまたは書き込み動作のいずれかを設定します。ロジック・レベル 1 は読出し動作に対応し、ロジック・レベル 0 は書き込み動作に対応します。デバイス・アドレスの設定は表 16 を参照してください。

表 14. I²C デバイス・アドレスのバイト・フォーマット

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	1	Bit 3	Bit 2	ADDR0	ADDR1	R/W

SDA と SCL は両方ともオープンドレインであり、入出力電圧へのプルアップ抵抗が必要です。SSM3582A の I²C は 1.6V~3.6V の電圧範囲で動作します。

アドレス指定

初期状態では、I²C バス上の各デバイスはアイドル状態になっており、SDA および SCL ラインで開始条件と適切なアドレスを監視します。I²C マスタは、SCL がハイ・レベルになっているときに SDA がハイ・レベルからロー・レベルに遷移することという開始条件を確立してデータ転送を開始します。この開始条件は、アドレスまたはデータ・ストリームが後に続くことを示します。バス上のすべてのデバイスは開始条件に応答し、次の 8 ビット (7 ビット・アドレス + R/W ビット) を MSB ファーストでシフトします。送信されたアドレスを認識したデバイスは、9 番目のクロック・パルス中にデータ・ラインをローにすることによって応答します。この 9 番目のビットはアクノレッジ・ビットと呼ばれます。この時点で、他のすべてのデバイスはバスから切断され、アイドル状態に戻ります。SSM3582A のデバイス・アドレスは、ADDRx ピンの状態によって決定されます。詳細については、デバイス・アドレス設定のセクションを参照してください。

R/W ビットにより、データの方向が決定します。先頭バイトの LSB がロジック 0 の場合、マスタがペリフェラルに情報を書き込みます。ロジック 1 の場合、マスタがサブアドレスを書き込んだ後にペリフェラルから情報を読み出して、開

始アドレスを繰り返します。停止条件を検出するまでデータ転送が実行されます。SCL がハイになっているとき、SDA がローからハイに遷移すると、停止条件が発生します。I²C ポートのタイミングを図 71 に示します。

停止条件と開始条件は、データ転送の任意の段階で検出できます。通常の読出し動作と書き込み動作で、これらの条件が間違った順番でアサートされると、SSM3582A は直ちにアイドル状態になります。特定の SCL ハイ・レベル期間中に、1 つの開始条件のみ、1 つの停止条件のみ、または 1 つの停止条件に続けて 1 つの開始条件を送信します。無効なサブアドレスを使用した場合、SSM3582A はアクノレッジを送信せず、アイドル状態に戻ります。自動インクリメント・モード中に最高サブアドレスを超えた場合、2 つの動作のどちらかが実行されます。

読出しモードの場合、マスタ・デバイスが読出しの終了を示すノー・アクノレッジを送信するまで、SSM3582A は最高サブアドレス・レジスタの内容を出力します。ノー・アクノレッジ状態は、SCL の 9 番目のクロック・パルスで SDA ラインがロー・レベルにプルダウンされていない状態です。書き込みモードの最中に最高サブアドレス位置に到達すると、無効バイトのデータがサブアドレス・レジスタにロードされません。また、SSM3582A がノー・アクノレッジを送信して、デバイスがアイドル状態に戻ります。

デバイス・アドレス設定

ADDR1 ピンと ADDR0 ピンを使うことで、本デバイスは 16 のハードウェア・モードだけでなく、16 種類の I²C アドレスに設定できます。

ADDR1 と ADDR0 は起動手順中にサンプリングされます。これらのピンによって適切な動作モード、I²C アドレス、デフォルト TDM スロットが設定されます。ADDRx ピンは、表 15 に定義するように 5 種類の電圧レベルに設定できます。ADDRx ピンの電圧レベルは本デバイスの DVDD レールを基準とします。DVDD レギュレータを使っている場合、内部で生成された DVDD レールにプルアップ抵抗を接続します。

表 15. ADDRx ピンの入力レベルの割り当て

ADDRx State	Level (V)
Connected to Ground	0
Connected to Ground Using a 47 kΩ Resistor	0.45
Left Floating	0.9
Connected to DVDD Using a 47 kΩ Resistor	1.35
Connected to DVDD	1.8

表 16. ADDR_x ピンによる I²C デバイス・アドレスと TDM スロットの割り当て

ADDR _x Pin State ¹		Device Address	Default TDM Slot	
ADDR0	ADDR1		MONO = 0	MONO = 1
0	0	0x10	1, 2	1
0	1	0x11	3, 4	2
1	0	0x12	5, 6	3
1	1	0x13	7, 8	4
0	Pull-down	0x14	9, 10	5
0	Pull-up	0x15	11, 12	6
1	Pull-down	0x16	13, 15	7
1	Pull-up	0x17	15, 16	8
Pull-down	0	0x18	17, 18	9
Pull-down	1	0x19	19, 20	10
Pull-up	0	0x1A	21, 22	11
Pull-up	1	0x1B	23, 24	12
Pull-down	Pull-down	0x1C	25, 26	13
Pull-down	Pull-up	0x1D	27, 28	14
Pull-up	Pull-down	0x1E	29, 30	15
Pull-up	Pull-up	0x1F	31, 32	16

¹ 0 = グラウンドに接続、1 = DVDD に接続。プルダウン状態の場合、47kΩ の抵抗を介してグラウンドに接続します。プルアップ状態の場合、47kΩ の抵抗を介して DVDD に接続します。

I²C の読出し動作と書き込み動作

図 72 に、シングルワード書き込み動作のタイミングを示します。9 番目のクロックごとに、SSM3582A は SDA をローにすることでアクノレッジを送信します。

図 73 に、バースト・モード書き込みシーケンスのタイミングを示します。この図は、ターゲットのディスティネーション・レジスタが 2 バイトの場合の例を示しています。要求したサブアドレスがバイト・ワード長のレジスタまたはメモリ領域と一致しているため、SSM3582A はバイトごとにサブアドレス・レジスタをインクリメントします。

図 74 に、シングルワード読出し動作のタイミングを示しま

す。この場合も内部アドレスをセットアップするためにサブアドレスを書き込む必要があるため、最初の R/W ビットは書き込み動作を示す 0 になることに注意してください。SSM3582A がサブアドレスの受信をアクノレッジした後に、マスタは反復開始コマンドに続けて、R/W が 1（読出し）に設定されたチップ・アドレス・バイトを送信する必要があります。この反復開始コマンドにより、SSM3582A の SDA は反転し、マスタにデータを戻し始めます。その後、マスタは 9 番目のパルスごとに、SSM3582A にアクノレッジ・パルスで応答します。図 72～図 75 の略語については、表 17 を参照してください。

表 17. 図 72～図 75 の略語

Symbol	Meaning
S	Start bit
P	Stop bit
A _M	Acknowledge (ACK used in Figure 72 through Figure 75) by master
A _S	Acknowledge (ACK used in Figure 72 through Figure 75) by slave

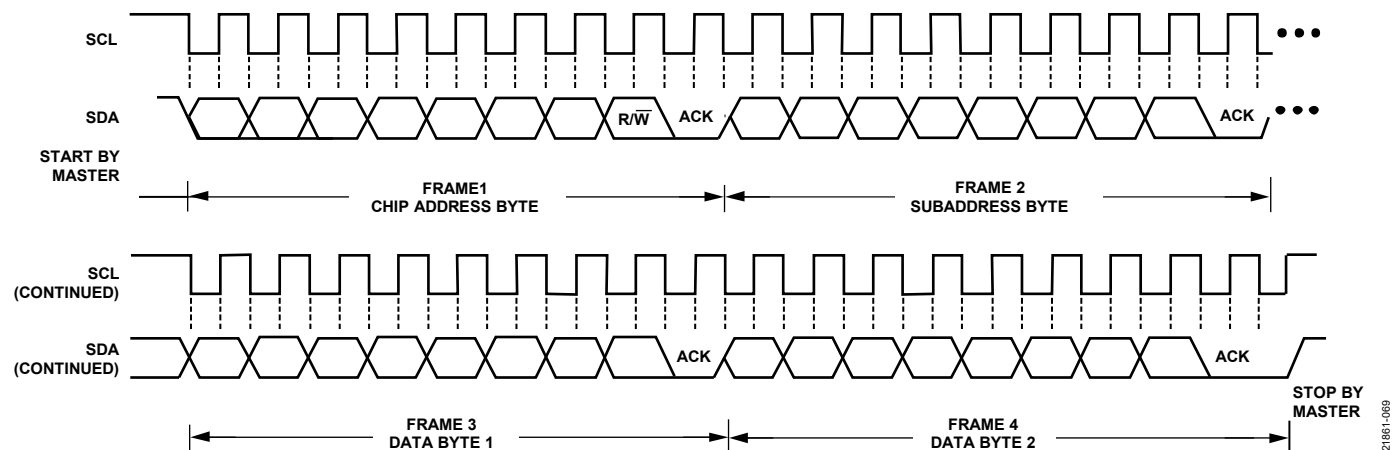


図 71. I²C 読出し／書き込みのタイミング

START BIT	IC ADDRESS (7 BITS)	R/W = 0	ACK BY SLAVE	SUBADDRESS (8 BITS)	ACK BY SLAVE	DATA BYTE 1 (8 BITS)	STOP BIT
-----------	---------------------	---------	--------------	---------------------	--------------	----------------------	----------

図 72. シングルワード I²C 書き込みフォーマット

S	CHIP ADDRESS, R/W = 0	A _S	SUBADDRESS	A _S	DATA-WORD 1	A _S	DATA-WORD 2	A _S	...	P
---	-----------------------	----------------	------------	----------------	-------------	----------------	-------------	----------------	-----	---

図 73. バースト・モード I²C 書き込みフォーマット

S	CHIP ADDRESS, R/W = 0	A _S	SUBADDRESS	A _S	S	CHIP ADDRESS, R/W = 1	A _S	DATA BYTE 1	A _M	DATA BYTE N	P
---	-----------------------	----------------	------------	----------------	---	-----------------------	----------------	-------------	----------------	-------------	---

図 74. シングルワード I²C 読出しフォーマット

S	CHIP ADDRESS, R/W = 0	A _S	SUBADDRESS	A _S	S	CHIP ADDRESS, R/W = 1	A _S	DATA-WORD 1	A _M	...	P
---	-----------------------	----------------	------------	----------------	---	-----------------------	----------------	-------------	----------------	-----	---

図 75. バースト・モード I²C 読出しフォーマット

スタンダロン動作

SSM3582A は、I²C 制御を全く使わないでスタンダロン・ハードウェア制御モードで動作させることができます。I²C デバイス・アドレスを設定するために使った同じ ADDR_x ピンを、本デバイスの機能を設定するために使います。スタンダロン・モードでは、I²C ピン (SCL、SDA) は入力になります。これらのピンは、本デバイスの TDM スロット／サンプル・レートを設定するために DVDD または AGND に接続します (表 18 を参照)。この場合、デフォルトで ANA_GAIN ビットは 11、SPWDN ビットは 0 に設定されます。

スタンダロン・モードでは、各種ピン設定によって TDM スロット選択、モノラル・モード動作、サンプル・レートを設定します。本デバイスは FSYNC 信号を監視し、そのデューティ・サイクルが 50%である場合 I²S 設定を使います。FSYNC 信号がパルスである場合、本デバイスは TDM 設定を使います。

表 18. スタンダロン・モードのピンの設定と機能

Sample Rate	Pin States				TDM Slot(s)	MONO Bit
	ADDR0	ADDR1	SDA	SCL		
32 kHz to 48 kHz	0	Open	0	0	1, 2	0
	1	Open	0	0	3, 4	0
	Pull-down	Open	0	0	5, 6	0
	Pull-up	Open	0	0	7, 8	0
	Open	0	0	0	9, 10	0
	Open	1	0	0	11, 12	0
	Open	Pull-down	0	0	13, 14	0
	Open	Pull-up	0	0	15, 16	0
8 kHz to 12 kHz	Open	Open	0	0	1, 2	0
32 kHz to 48 kHz	0	Open	0	1	1	1
	1	Open	0	1	2	1
	Pull-down	Open	0	1	3	1
	Pull-up	Open	0	1	4	1
	Open	0	0	1	5	1
	Open	1	0	1	6	1
	Open	Pull-down	0	1	7	1
	Open	Pull-up	0	1	8	1
8 kHz to 12 kHz	Open	Open	0	1	1, 2	1
64 kHz to 96 kHz	0	Open	1	0	1, 2	0
	1	Open	1	0	3, 4	0
	Pull-down	Open	1	0	5, 6	0
	Pull-up	Open	1	0	7, 8	0
	Open	0	1	0	9, 10	0
	Open	1	1	0	11, 12	0
	Open	Pull-down	1	0	13, 14	0
	Open	Pull-up	1	0	15, 16	0
16 kHz to 24 kHz	Open	Open	1	0	1, 2	0
64 kHz to 96 kHz	0	Open	1	1	1	1
	1	Open	1	1	2	1
	Pull-down	Open	1	1	3	1
	Pull-up	Open	1	1	4	1
	Open	0	1	1	5	1
	Open	1	1	1	6	1
	Open	Pull-down	1	1	7	1
	Open	Pull-up	1	1	8	1
128 kHz to 192 kHz	Open	Open	1	1	1, 2	0

モノラル・モード

SSM3582A は、低インピーダンスの負荷を駆動するためにモノラル・モードで動作させることができます。モノラル・モードでは、左右の出力段を並列接続できます（図 87 を参照）。モノラル・モードを設定する場合、注意が必要です。正しく動作させるには、レジスタの設定と共にハードウェアの変更が必要です。モノラル・モードで動作させるには、MONO ビット（レジスタ 0x04 のビット 4）を 1 に設定します。デフォルトでは、このビットは 0（ステレオ・モード）に設定されています。モノラル・モードになるようにこのビットを設定すると、左チャンネルの変調器のみがアクティブになり、左右両方のチャンネルの出力段を駆動します。OUTL+ピンと OUTF+ピンは同相です。OUTL-ピンと OUTF-ピンも同相です。モノラル・モードの場合、OUTL+と OUTF+を短絡させる必要があります。同様に、OUTL-と OUTF-を短絡させる必要があります。スタンダアロン・モードでは、ADDR0、ADDR1、SCL、SDA ピンの状態によって TDM スロットが決定されます。モノラル・モードで可能な TDM スロット構成については、表 18 を参照してください。

アナログ・ゲインおよびデジタル・ゲイン

PVDD 電源電圧に応じてアンプのダイナミック・レンジを最適化するために 4 種類のゲイン設定を使用できます。ソフトウェア・モードでは、初期ゲイン設定（19dB）を制御インターフェース経由で更新できます。スタンダアロン・モードでは、I²C インターフェース・ピンでデバイスのゲインを設定します。表 19 に、アンプのゲイン設定と負荷駆動特性を示します。アンプのアナログ・ゲインは、デバイス出力を有効にする前に設定します。動作中は変更できません。ゲイン設定を変更する際の可聴トランジェントを防止するには、適切なミュート／ミュート解除シーケンスが必要です。デジタル・ドメインでは、-70dB～+24dB（ステップあたり 0.375dB）の非常に柔軟なランプ・ボリューム制御と選択可能なアンチエイリアシング・クリッピング点を備えたより細かいレベル制御が利用できます。デジタル・ボリューム制御には、バッテリー・レベルが大きく下がった際にアンプがシステムの電圧を低下させないように、バッテリー電圧モニタと連携させて設定できる再生レベル・リミッタも含まれています。

表 19. アナログ・ゲイン設定と駆動特性

ANA_GAIN		Gain (dB)	Output Voltage (V _{OUT})	
Bit 1	Bit 0		RMS (V rms)	Peak to Peak (V)
0	0	13	4.47	6.32
0	1	16	6.31	8.92
1	0	19	8.91	12.60
1	1	21	11.20	15.87

ポップ／クリック抑制回路

ポップとクリックは、アンプ・システムが生成する好ましくない可聴トランジェントであり、システム入力信号から発生するものではありません。わずか 10mV のボリューム・トランジェントでも、スピーカから可聴ポップとして聞こえます。オーディオ・アンプの出力のボリューム・トランジェントは、シャットダウンの開始または終了時にしばしば発生します。SSM3582A には、これらの出力トランジェントを低減してノイズのない開始／終了が可能な、ポップ／クリック抑制アーキテクチャが採用されています。ポップの発生を防止するには、BCLK を取り除く前にミュートまたはパワーダウンを設定する必要があります。

温度センサー

SSM3582A には、デバイスのダイ温度を測定する 8 ビットの ADC が組み込まれており、レジスタ 0x04 の TEMP_PWDN ビット経由でイネーブルになります。センサーを有効にすれば、TEMP レジスタ（レジスタ 0x1B）に I²C 経由で温度を読み出せます。温度の情報は、レジスタ 0x1B に 8 ビットの符号なし形式で格納されます。ADC の入力範囲は、内部で-60°C～+195°C に固定されています。ここで、16 進値を温度（摂氏）に変換するには、次の手順に従います。

- 16 進値を 10 進数に変換してから、60 を引きます。例えば、16 進値 0x54 は、10 進数では 84 です。
- 次の数式を使用して温度を計算します。

$$\text{温度} = 10 \text{ 進数値} - 60$$

10 進値 84 を代入します。

$$\text{温度} = 84 - 60 = 24^{\circ}\text{C}$$

表 20. 故障通知レジスタ

Fault Type	Flag Set Condition	Status Reported Register
PVDD Undervoltage	PVDD below <3.6 V	Register 0x18, Bit 7, UVLO_PVDD
5 V Regulator Undervoltage	5 V regulator voltage at AVDD < 3.6 V	Register 0x18, Bit 6, UVLO_VREG
Limiter/Gain Reduction Engage	Left channel limiter engaged	Register 0x19, Bit 3, LIM_EG_L
	Right channel limiter engaged	Register 0x19, Bit 7, LIM_EG_R
Clipping, Left Channel	Left channel DAC clipping	Register 0x19, Bit 2, CLIP_L
Clipping, Right Channel	Right channel DAC clipping	Register 0x19, Bit 6, CLIP_R
Output Overcurrent	Left channel output current > 6 A peak	Register 0x19, Bit 1, AMP_OC_L
	Right channel output current > 6 A peak	Register 0x19, Bit 5, AMP_OC_R
Die Overtemperature	Die temperature > 145°C	Register 0x18, Bit 1, OTF
Die Overtemperature Warning	Die temperature > 117°C	Register 0x18, Bit 0, OTW
Battery Voltage > VBAT_INF_x	Battery voltage PV _{DD} > VBAT_INF_L	Register 0x19, Bit 0, BAT_WARN_L
	Battery voltage PV _{DD} > VBAT_INF_R	Register 0x19, Bit 4, BAT_WARN_R

表 21. レジスタ 0x16、レジスタ 0x17、故障回復

Fault Type	Flag Set Condition	Status Reported Register
Overtemperature Warning	The amount of gain reduction applied if there is an overtemperature warning for the left channel	Register 0x16, Bits[1:0], OTW_GAIN_L
	The amount of gain reduction applied if there is an overtemperature warning for the right channel	Register 0x16, Bits[5:4], OTW_GAIN_R
Manual Recovery	Use to attempt manual recovery in case of a fault event	Register 0x17, Bit 7, MRCV
Autorecovery Attempts	When autorecovery from faults is used, set the number of attempts using this bit	Register 0x17, Bits[5:4], MAX_AR
Undervoltage	Recovery can be automatic or manual	Register 0x17, Bit 2, ARCV_UV
Die Overtemperature	Recovery can be automatic or manual	Register 0x17, Bit 1, ARCV_OT
Overcurrent	Recovery can be automatic or manual	Register 0x17, Bit 0, ARCV_OC

故障／リミッタのステータス通知機能

SSM3582A は、出力での故障に対する包括的な保護機能とシステム設計に役立つ通知機能を備えています。表 20 に示している故障は、ステータス・レジスタを使用して通知されます。

表 20 に示している故障は、レジスタ 0x18 とレジスタ 0x19 で通知され、システムのマイクロコントローラによって I²C を介して読み出すことができます。

故障が発生した場合の故障に対するデバイスの応答方法をレジスタ 0x17 を使って制御します。

自動回復モードを設定した場合、デバイスは故障発生後に自己回復を試み、故障を回復できない場合は再度故障に設定されます。このプロセスは、故障が解決されるまで繰り返されます。

手動回復モードを使用した場合、デバイスはシャットダウンします。その後、システムのマイクロコントローラを使用して、回復を試みる必要があります。

VBAT (PV_{DD}) の測定

SSM3582A は、バッテリー電圧 (VBAT) または PV_{DD} 電源電圧を測定する 8 ビット ADC を備えています。バッテリー電圧の情報は、レジスタ 0x1A に 8 ビットの符号なし形式で格納されます。ADC の入力範囲は、内部で 3.8V~16.2V に固定されています。ここで、16 進値を電圧値に変換するには、次の手順に従います。

1. 16 進値を 10 進値に変換します。例えば、16 進値 0xA9 は、10 進数では 169 です。

2. 次の数式を使用して電圧を計算します。

$$\text{電圧} = 3.8\text{V} + 12.4\text{V} \times 10 \text{ 進値} / 255$$

- 10 進値 169 を代入します。

$$\text{電圧} = 3.8\text{V} + 12.4\text{V} \times 169 / 255 = 12.02\text{V}$$

リミッタ／バッテリー・トラッキング閾値の制御

SSM3582A は、アンプのピーク出力電圧を制限するために使える出力リミッタを備えています。このリミッタは、信号の実効値とピーク値に作用します。リミッタの閾値、スロープ、アタック・レート、リリース・レートは、左チャンネルではレジスタ 0x0E、レジスタ 0x0F、レジスタ 0x10、右チャンネルではレジスタ 0x11、レジスタ 0x12、レジスタ 0x13 を使ってプログラムできます。このリミッタは、左チャンネルでは LIM_EN_L ビット (レジスタ 0x0E のビット [1:0])、右チャンネルでは LIM_EN_R ビット (レジスタ 0x11 のビット [1:0]) を使ってイネーブルまたはディスエーブルにできます。

出力を制限する閾値は、左チャンネルでは LIM_THRES_L ビットの設定（レジスタ 0x0F のビット [7 : 3]）、右チャンネルでは LIM_THRES_R ビットの設定（レジスタ 0x12 のビット [7 : 3]）で決定されます。出力信号レベルが、設定された閾値レベルを上回ると、リミッタがアクティブになり、設定されたリミットに信号レベルが制限されます。設定された閾値を下回る場合、出力レベルは影響を受けません。リミッタの閾値は、アンプの最大出力電圧を超える値に設定できます。この場合、リミッタは最大ピーク出力を許容するようになります。つまり、出力はリミッタではなく、電源電圧に従ってクリップされます。リミッタの閾値は固定値として、またはバッテリー電圧に応じて変化するように、左チャンネルでは VBAT_TRACK_L ビット（レジスタ 0x0E のビット 2）、右チャンネルでは VBAT_TRACK_R ビット（レジスタ 0x11 のビット 2）で設定できます。固定値に設定した場合、リミッタの閾値は固定され、バッテリー電圧に従って変化することはありません。閾値は、LIM_THRES_x ビットを使用して 2V peak ~ 16V peak の範囲で設定できます。（図 76 を参照）。

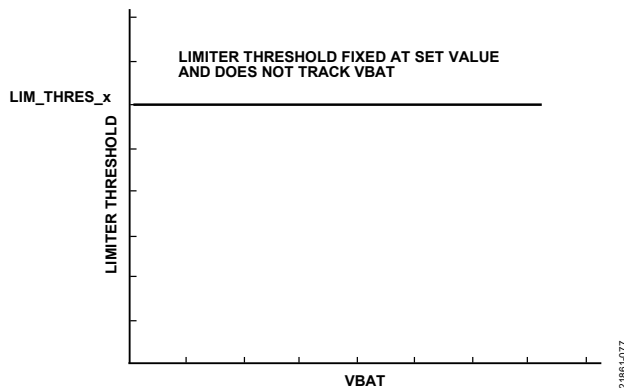


図 76. リミッタ固定（LIM_EN_x = 0b01、VBAT_TRACK_x = 0b0）

可変閾値に設定すると、SSM3582A は VBAT 電源を監視し、VBAT 電源電圧に基づいてリミッタの閾値を調整します。リミッタが出力レベルを抑制し始める VBAT 電源電圧は、VBAT 変曲点（左チャンネルでは VBAT_INF_L ビット（レジスタ 0x10 のビット [7 : 0]）、右チャンネルでは VBAT_INF_R ビット（レジスタ 0x13 のビット [7 : 0]）で決定されます。

VBAT_INF_x 点は、LIM_EN_x モードに応じてリミッタがアクティブまたは非アクティブになるバッテリー電圧と定義されます（表 22 を参照）。バッテリー電圧が VBAT_INF_x を上回っている場合、リミッタは非アクティブになります。バッテリー電圧が VBAT_INF_x を下回ると、リミッタはアクティブになります。VBAT_INF_x ビットは 3.8V ~ 16.2V の範囲で設定できます。電圧の 8 ビット値を計算するには次の数式を使用します。

$$\text{電圧} = 3.8 + 12.4 \times 10 \text{ 進値} / 255$$

10 進値を 8 ビット 16 進値に変換し、その値を使用して VBAT_INF_x ビットを設定します。

スロープ・ビット（レジスタ 0x0F とレジスタ 0x12 のビット [1 : 0]）は、VBAT_INF_x 点を下回った際に VBAT の変化量に対してリミッタの閾値が低下する割合を決定します。スロープは、VBAT 電圧の低下に対してリミッタの閾値が低下する割合です。

$$\text{スロープ} = \Delta \text{リミッタの閾値} / \Delta \text{VBAT}$$

スロープ率は、1 : 1 ~ 4 : 1 の範囲で設定できます。この機能は、低バッテリー状態での早期シャットダウンを防止するのに便利です。VBAT 電圧が低下すると、リミッタの閾値が低下します。この下側閾値により、出力レベルが低下し、バッテリーから流れる電流が低減されるため、低 VBAT による早期シャットダウンを防止できます。

リミッタは、各種のアクティブ・モードを提供しており、これらは LIM_EN_x ビット（レジスタ 0x0E とレジスタ 0x11 のビット [1 : 0]）と VBAT_TRACK_x ビットで設定できます（表 22 を参照）。

LIM_EN_x = 01 の場合、リミッタはイネーブルになります。LIM_EN_x = 10 の場合、VBAT が VBAT_INF_x を下回ったときにリミッタは出力をミュートします。LIM_EN_x = 11 の場合、バッテリー電圧が VBAT_INF_x を下回ったときのみリミッタが作動します。VBAT が VBAT_INF_x を上回ると、リミッタは作動しなくなります。リミッタが作動しなくなる際に、VBAT_INF_x にヒステリシスが作用することに注意します。

リミッタがアクティブになると、アンプのゲインが低下します。ゲイン低下率（アタック・レート）は、LIM_ATR_x ビット（レジスタ 0x0E とレジスタ 0x11 のビット [5 : 4]）で決定されます。同様に、信号レベルがリミッタの閾値を下回ると、ゲインが復元されます。ゲイン・リリース・レートは、LIM_RRT_x ビット（レジスタ 0x0E とレジスタ 0x11 のビット [7 : 6]）で決定されます。

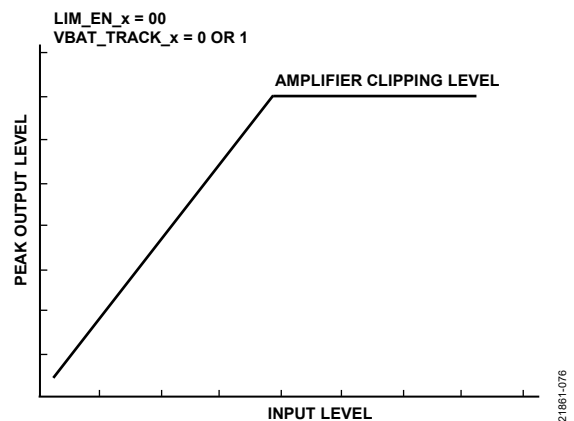


図 77. リミッタの例
（LIM_EN_x = 00、VBAT_TRACK_x = 0 または 1）

表 22. リミッタ・モード

LIM_EN_x	VBAT_TRACK_x	Limiter	VBAT < VBAT_INF_x	VBAT > VBAT_INF_x	Comments
00	0 or 1	No	Not applicable	Not applicable	See Figure 77
01	0	Fixed	Use the set threshold	Use the set threshold	See Figure 76
01	1	Variable	Lowers the threshold	Use the set threshold	See Figure 78 and Figure 79
10	0 or 1	Fixed	Mutes the output	Use the set threshold	Not shown
11	0	Fixed	Use the set threshold	No limiting	See Figure 80 and Figure 81
11	1	Variable	Lowers the threshold	No limiting	See Figure 82 and Figure 83

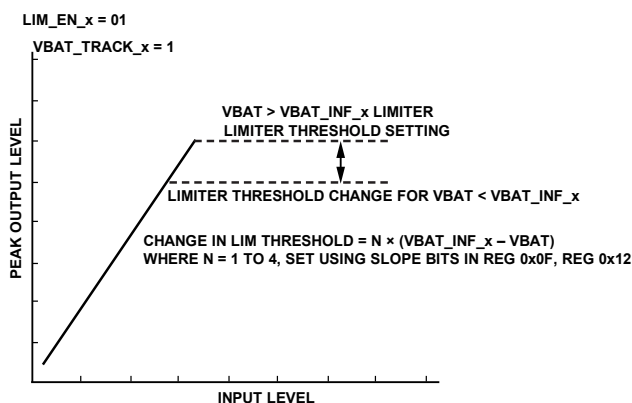


図 78. リミッタ固定 (LIM_EN_x = 01、VBAT_TRACK_x = 1)

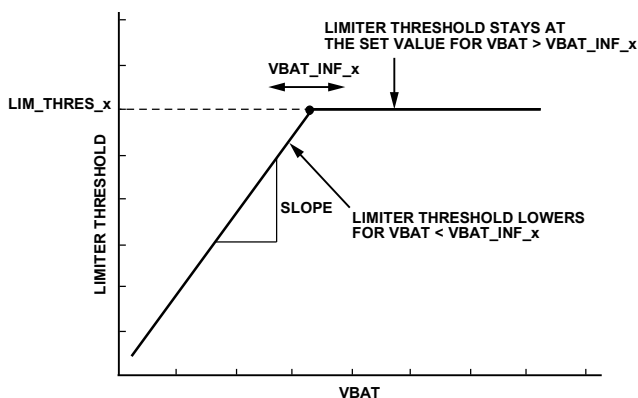


図 79. リミッタ・トラッキング・モードでのリミッタ閾値と
VBAT の関係
(LIM_EN_x = 01、VBAT_TRACK_x = 1)

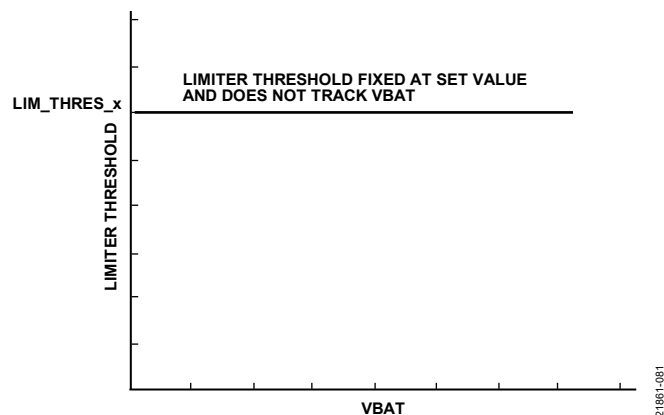


図 81. リミッタ固定 (LIM_EN_x = 11、VBAT_TRACK_x = 0)

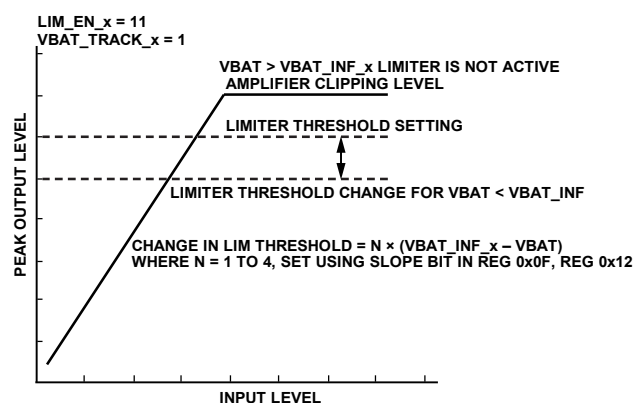


図 82. リミッタの例 (LIM_EN_x = 11、VBAT_TRACK_x = 1)

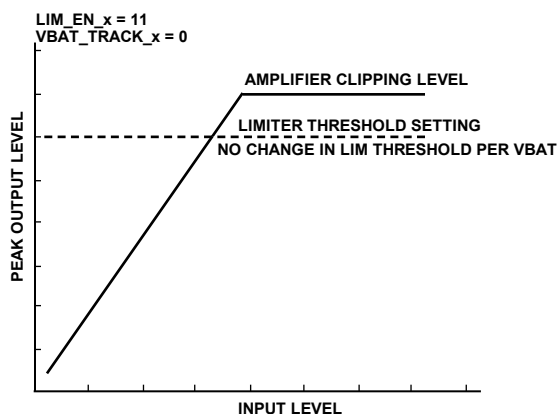


図 80. リミッタの例 (LIM_EN_x = 11、VBAT_TRACK_x = 0)

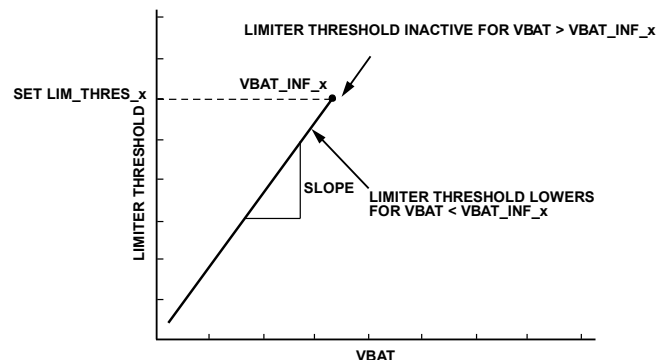


図 83. リミッタ・トラッキング・モードでのリミッタ閾値と
VBAT の関係
(LIM_EN_x = 11、VBAT_TRACK_x = 1)

高周波数クリップ

高周波数クリップは、DAC_CLIP_L ビット（レジスタ 0x14 のビット [7 : 0]）と DACL_CLIP_R ビット（レジスタ 0x15 のビット [7 : 0]）で制御できます。

これらのビットは、フルスケールを基準にクリップの閾値を決定します。有効にすると、クリップは DAC インターポレーションの後にデジタル方式で信号をクリップします。

EMI ノイズ

SSM3582A では、独自の変調および拡散スペクトル技術を使用してデバイスからの EMI 放射を最小限に抑えています。SSM3582A は、フェライト・ビーズベースのフィルタ処理を使用して、シールドなしの 20 インチのケーブルで FCC クラス B の放射試験に合格します。FCC クラス B の放射試験に合格することが難しいアプリケーション向けに、SSM3582A は、クラス D 出力での特に 100MHz を超える EMI 放射を大幅に低減できる超低 EMI 放射モードを備えています。電源電圧を下げることで EMI 放射を大幅に低減できることに注意します。

出力変調に関する説明

SSM3582A は、3 レベルの Σ - Δ 出力変調を使用します。各出力振幅はグラウンド～PVDD に設定できます。理論的には、入力信号が存在しない場合、パルスが発生する必要がないため、出力差動電圧は 0V になります。しかし、現実世界では、常にノイズが存在します。

常にノイズが存在するので、これに応答して差動パルスが生成されることがあります。差動パルスが生成されると、少電流が誘導負荷に流れます。ただし、通常、出力の差動電圧は 0V です。このため、誘導負荷を流れる電流が小さい値に抑えられます。

入力信号を送信すると、入力電圧に従う出力パルスが生成されます。入力信号レベルを上げると、差動パルス密度が高くなります。図 84 に、入力ノイズがある場合とない場合の 3 レベルの Σ - Δ 出力変調を示します。

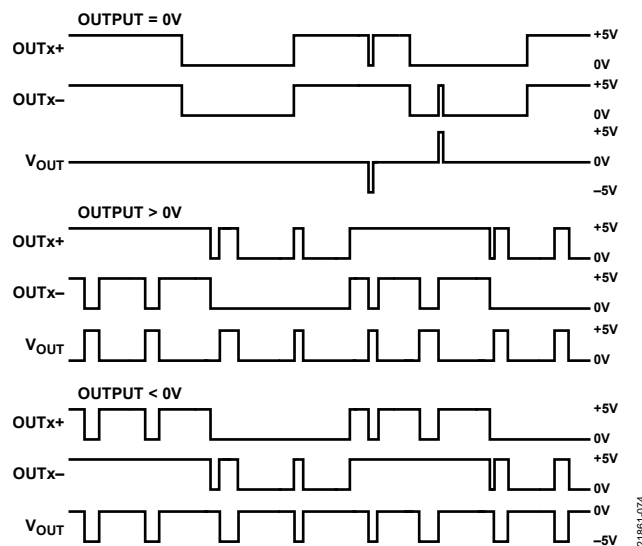


図 84. 入力ノイズがある場合とない場合の 3 レベルの Σ - Δ 出力変調

ブートストラップ・コンデンサ

SSM3582A の出力段には、PMOS ドライバではなく、ハイサイド NMOS ドライバが採用されています。ハイサイド NMOS のゲート・ドライブ電圧を生成するため、各出力端子のブートストラップ・コンデンサは、切替えサイクルのフローティング電源として機能します。0.22 μ F のコンデンサを使用して、適切な出力ピン (OUTx $\pm$) をブートストラップ・ピン (BSTx $\pm$) に接続します。例えば左チャンネルのブートストラップには、OUTL+ (左チャンネルの非反転出力) と BSTL+ の間に 0.22 μ F のコンデンサを接続します。同様に左チャンネルの反転出力には、別の 0.22 μ F のコンデンサを OUTL-ピンと BSTL-ピンの間に接続します。

電源のデカップリング

高効率、低 THD、高 PSRR を実現するには、適切な電源デカップリングが必要です。電源ライン上のノイズ・トランジェントは、短時間の電圧スパイクです。これらのスパイクには、数百 MHz にもおよぶ周波数成分が含まれることがあります。電源入力は、220 μ F 以上の高品質、低 ESL、低 ESR のバルク・コンデンサでデカップリングする必要があります。このコンデンサは、低周波ノイズをグラウンド・プレーンへバイパスします。高周波デカップリングでは、デバイスの PVDD ピンのできるだけ近くに 1 μ F のコンデンサを配置します。

出力の EMI フィルタ処理

スピーカの内部配線とケーブルが長く、アンプからの引き込みが増える、大きな容量性負荷が存在する場合、EMI フィルタ処理の追加が必要になる場合があります。典型的な電力フェライトには THD 性能に影響する大きな磁気ヒステリシス・サイクルが存在するため、高性能の設計では推奨されません。アナログ・デバイスとの密接な協力で設計された Murata の NFZ フィルタ・シリーズを使うと、空芯コイルと同様の閉じたヒステリシス・ループを実現できるため、性能への影響を最小限に抑えることができます。この用途に適した 4A (実効値) 以上の製品が利用できます。小さい値のコンデンサをフィルタの出力とグラウンドの間に追加すると、非常に高い周波数のノイズを更に減衰させることができます。アイドル消費電力にも効率にも影響を及ぼさないように、このコンデンサの値を適切に設定するように注意します。

PCB の配置

コンポーネントの選択と配置は、数値で測定されるシステム性能と主観で評価されるシステム性能の両方に大きな影響を与えます。特に電力レベルが高い場合は、仕様規定された性能レベルに到達するため、適切な PVDD レイアウトとデカップリングが必要になります。図 85 に示す推奨配置を使うと、各チャンネルの出力段の適切なデカップリング、電源ノイズの最小化、最大限のチャンネル間分離を確実に実現できます。低周波数で電流リップルを更に削減するには、バルク・デカップリングを追加する必要があります。このデカップリングは、マルチチャンネル・ソリューションにおいて複数のアンプで共有できます。

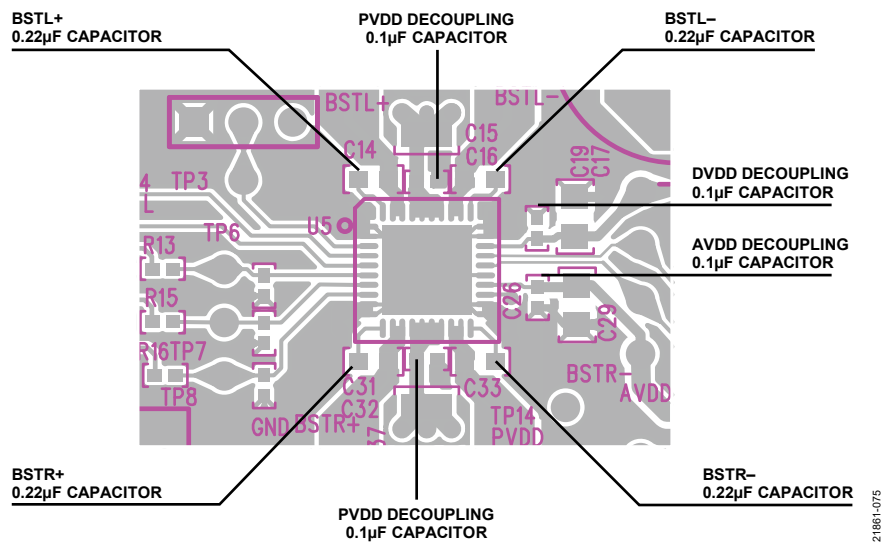


図 85. 推奨されるコンポーネント配置

レイアウト

出力電力が大きい場合、アンプ、負荷、および電源間の PCB パターンおよびワイヤを適切にレイアウトする必要があります。適切にレイアウトしないと電圧降下が増大し、結果的に効率が低下します。電圧降下を低減させてインダクタンスを最小限に抑えるため、短く幅の広い PCB パターンを使用することをお勧めします。DC 抵抗 (DCR) とインダクタンスを最小限に抑えるには、1 インチのパターン長に対する出力のパターン幅が 200mil (0.2 インチ) 以上で、1 オンスまたは 2 オンスの銅製パターンを使用してください。

高出力の振幅、高ピークの出力電力、最小限のパターン抵抗を維持するには、出力ピンと負荷、および出力ピンと電源ピンを接続する PCB パターンの幅を可能な限り広くする必要があります。更に、重要なアナログ・パスを大きい干渉源から分離した PCB レイアウトを作成してください。高周波回路 (アナログおよびデジタル) を低周波回路から分離してください。

PVDD と PGND には、デバイス電流の大部分が流れるため、デバイス・ピンに接続した複数のコンデンサで PVDD と PGND を適切にデカップリングする必要があります。グラ

ウンド・バウンスを最小限に抑えるため、独立した幅広のパターンを使って PVDD と PGND を電源に配線します。このようにして、特に共通グラウンド・インピーダンスが無視できない場合にアンプによって回路に注入されるノイズ量を低減します。適切な接地ガイドラインは、オーディオ性能の向上、チャンネル間クロストークの最小化、スイッチング・ノイズのオーディオ信号への混入防止に役立ちます。

適切に設計された多層 PCB は、EMI 放射を軽減でき、高周波電界に対する耐性を両面基板の 10 倍以上にすることができます。多層基板では、1 つの層全体をグラウンド・プレーンとして使用できますが、両面基板のグラウンド・プレーン側は信号クロスオーバーにより乱れが生じます。

システム内に、分離されたアナログ・グラウンド・プレーン、デジタル・グラウンド・プレーン、電源プレーンが存在する場合、アナログ・グラウンド・プレーンはアナログ電源プレーンの直下に配置する必要があります。同様に、デジタル・グラウンド・プレーンはデジタル電源プレーンの直下に配置する必要があります。アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーン、またはアナログ電源プレーンとデジタル電源プレーンが重なってはいけません。

レジスタの一覧

表 23. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	VENDOR_ID	[7:0]	VENDOR								0x41	R	
0x01	DEVICE_ID1	[7:0]	DEVICE1								0x35	R	
0x02	DEVICE_ID2	[7:0]	DEVICE2								0x82	R	
0x03	REVISION	[7:0]	REV								0x01	R	
0x04	POWER_CTRL	[7:0]	APWDN_EN	RESERVED	TEMP_PWDN	MONO	R_PWDN	L_PWDN	RESERVED	SPWDN	0xA1	R/W	
0x05	AMP_DAC_CTRL	[7:0]	DAC_LPM	RESERVED	DAC_POL_R	DAC_POL_L	EDGE	RESERVED	ANA_GAIN		0x8A	R/W	
0x06	DAC_CTRL	[7:0]	DAC_HV	DAC_MUTE_R	DAC_MUTE_L	DAC_HPF	RESERVED	DAC_FS		0x02	R/W		
0x07	VOL_LEFT_CTRL	[7:0]	VOL_L								0x40	R/W	
0x08	VOL_RIGHT_CTRL	[7:0]	VOL_R								0x40	R/W	
0x09	SAI_CTRL1	[7:0]	RESERVED	BCLK_POL	TDM_BCLKS			FSYNC_MODE	SDATA_FMT	SAI_MODE	0x11	R/W	
0x0A	SAI_CTRL2	[7:0]	SDATA_EDGE	RESERVED		DATA_WIDTH	VOL_ZC_ONLY	CLIP_LINK	VOL_LINK	AUTO_SLOT	0x07	R/W	
0x0B	SLOT_LEFT_CTRL	[7:0]	RESERVED			TDM_SLOT_L						0x00	R/W
0x0C	SLOT_RIGHT_CTRL	[7:0]	RESERVED			TDM_SLOT_R						0x01	R/W
0x0E	LIM_LEFT_CTRL1	[7:0]	LIM_RRT_L		LIM_ATR_L		RESERVED	VBAT_TRACK_L	LIM_EN_L		0xA0	R/W	
0x0F	LIM_LEFT_CTRL2	[7:0]	LIM_THRES_L					RESERVED	SLOPE_L		0x51	R/W	
0x10	LIM_LEFT_CTRL3	[7:0]	VBAT_INF_L								0x22	R/W	
0x11	LIM_RIGHT_CTRL1	[7:0]	LIM_RRT_R		LIM_ATR_R		LIM_LINK	VBAT_TRACK_R	LIM_EN_R		0xA8	R/W	
0x12	LIM_RIGHT_CTRL2	[7:0]	LIM_THRES_R					RESERVED	SLOPE_R		0x51	R/W	
0x13	LIM_RIGHT_CTRL3	[7:0]	VBAT_INF_R								0x22	R/W	
0x14	CLIP_LEFT_CTRL	[7:0]	DAC_CLIP_L								0xFF	R/W	
0x15	CLIP_RIGHT_CTRL	[7:0]	DAC_CLIP_R								0xFF	R/W	
0x16	FAULT_CTRL1	[7:0]	RESERVED		OTW_GAIN_R		RESERVED		OTW_GAIN_L		0x00	R/W	
0x17	FAULT_CTRL2	[7:0]	MRCV	RESERVED	MAX_AR		RESERVED	ARCV_UV	ARCV_OT	ARCV_OC	0x30	R/W	
0x18	STATUS1	[7:0]	UVLO_PVDD	UVLO_VREG	RESERVED				OTF	OTW	0x00	R	
0x19	STATUS2	[7:0]	LIM_EG_R	CLIP_R	AMP_OC_R	BAT_WARN_R	LIM_EG_L	CLIP_L	AMP_OC_L	BAT_WARN_L	0x00	R	
0x1A	VBAT	[7:0]	VBAT								0x00	R	
0x1B	TEMP	[7:0]	TEMP								0x00	R	
0x1C	SOFT_RESET	[7:0]	RESERVED								S_RST	0x00	R/W

レジスタの詳細

アドレス：0x00、リセット：0x41、レジスタ名：VENDOR_ID

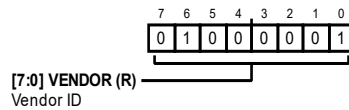


表 24. VENDOR_ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VENDOR		ベンダ ID	0x41	R

アドレス：0x01、リセット：0x35、レジスタ名：DEVICE_ID1

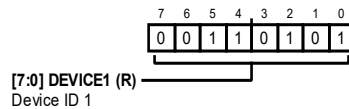


表 25. DEVICE_ID1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVICE1		Device ID 1	0x35	R

アドレス：0x02、リセット：0x82、レジスタ名：DEVICE_ID2

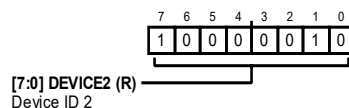


表 26. DEVICE_ID2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVICE2		Device ID 2	0x82	R

アドレス：0x03、リセット：0x01、レジスタ名：REVISION

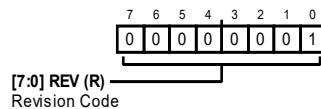


表 27. REVISION のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	REV		リビジョン・コード	0x1	R

アドレス : 0x04、リセット : 0xA1、レジスタ名 : POWER_CTRL

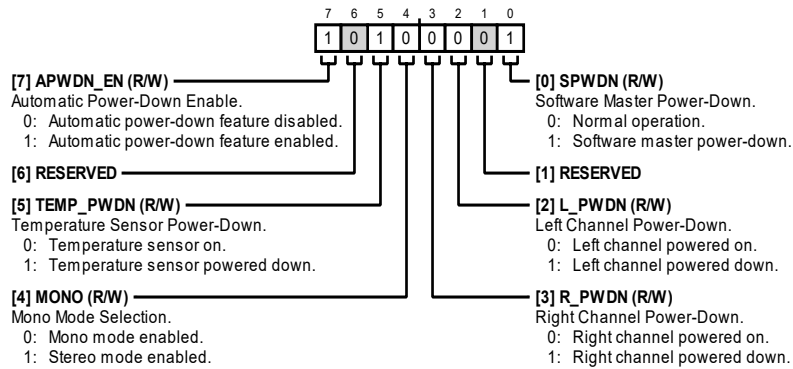


表 28. POWER_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	APWDN_EN	0 1	自動パワーダウンのイネーブル 自動パワーダウン機能を無効にする。 自動パワーダウン機能を有効にする。	0x1	R/W
6	RESERVED		予備	0x0	R
5	TEMP_PWDN	0 1	温度センサーのパワーダウン 温度センサーをオンにする。 温度センサーをパワーダウンする。	0x1	R/W
4	MONO	0 1	モノラル・モードの選択 ステレオ・モードを有効にする。 モノラル・モードを有効にする。	0x0	R/W
3	R_PWDN	0 1	右チャンネルのパワーダウン 右チャンネルをパワーオンする。 右チャンネルをパワーダウンする。	0x0	R/W
2	L_PWDN	0 1	左チャンネルのパワーダウン 左チャンネルをパワーオンする。 左チャンネルをパワーダウンする。	0x0	R/W
1	RESERVED		予備	0x0	R
0	SPWDN	0 1	ソフトウェア・マスタ・パワーダウン 通常動作に設定する。 ソフトウェア・マスタ・パワーダウンに設定する。	0x1	R/W

アドレス：0x05、リセット：0x8A、レジスタ名：AMP_DAC_CTRL

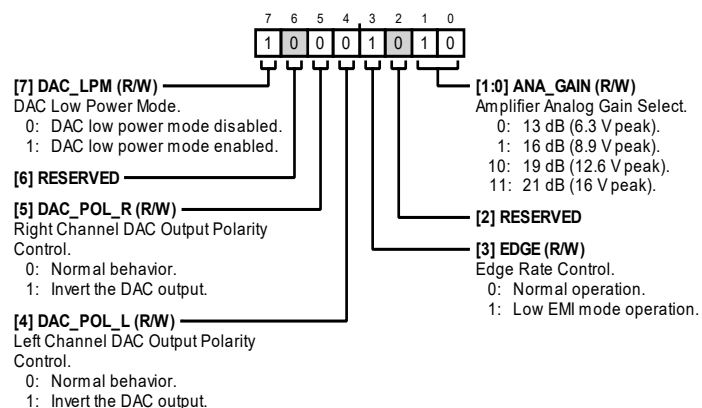


表 29. AMP_DAC_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	DAC_LPM	0 1	DAC 低消費電力モード DAC 低消費電力モードを無効にする。 DAC 低消費電力モードを有効にする。	0x1	R/W
6	RESERVED		予備	0x0	R
5	DAC_POL_R	0 1	右チャンネルの DAC 出力極性制御 通常動作に設定する。 DAC 出力を反転させる。	0x0	R/W
4	DAC_POL_L	0 1	左チャンネルの DAC 出力極性制御 通常動作に設定する。 DAC 出力を反転させる。	0x0	R/W
3	EDGE	0 1	エッジ・レートの制御 通常動作に設定する。 低 EMI モード動作に設定する。	0x1	R/W
2	RESERVED		予備	0x0	R
[1:0]	ANA_GAIN	0 1 10 11	アンプのアナログ・ゲインの選択 13dB (6.3V peak) 16dB (8.9V peak) 19dB (12.6V peak) 21dB (16V peak)	0x2	R/W

アドレス : 0x06、リセット : 0x02、レジスタ名 : DAC_CTRL

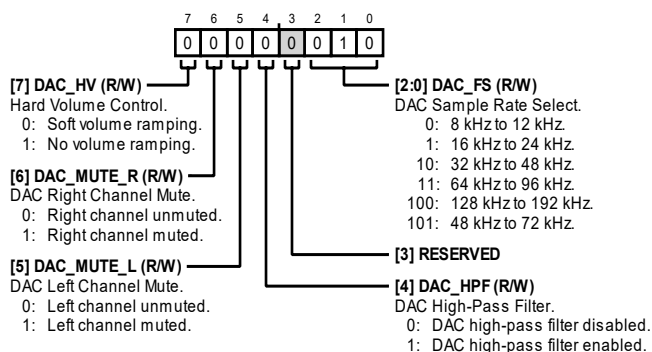


表 30. DAC_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	DAC_HV	0 1	ハード・ボリューム制御 ソフト・ボリューム・ランピングを行う。 ボリューム・ランピングを行わない。	0x0	R/W
6	DAC_MUTE_R	0 1	DAC 右チャンネルのミュート 右チャンネルをミュート解除する。 右チャンネルをミュートする。	0x0	R/W
5	DAC_MUTE_L	0 1	DAC 左チャンネルのミュート 左チャンネルをミュート解除する。 左チャンネルをミュートする。	0x0	R/W
4	DAC_HPFP	0 1	DAC ハイパス・フィルタ DAC ハイパス・フィルタを無効にする。 DAC ハイパス・フィルタを有効にする。	0x0	R/W
3	RESERVED		予備	0x0	R
[2:0]	DAC_FS	0 1 10 11 100 101	DAC サンプル・レートの選択 8kHz～12kHz 16kHz～24kHz 32kHz～48kHz 64kHz～96kHz 128kHz～192kHz 48kHz～72kHz	0x2	R/W

アドレス：0x07、リセット：0x40、レジスタ名：VOL_LEFT_CTRL

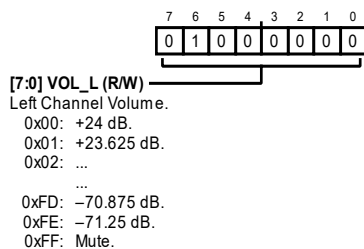


表 31. VOL_LEFT_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VOL_L	0x00 0x01 0x02 0x3F 0x40 0x41 0x42 0xFD 0xFE 0xFF	左チャンネルのボリューム +24dB +23.625dB ... +0.375dB 0dB -0.375dB ... -70.875dB -71.25dB ミュート	0x40	R/W

アドレス：0x08、リセット：0x40、レジスタ名：VOL_RIGHT_CTRL

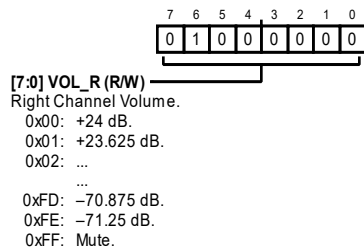


表 32. VOL_RIGHT_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VOL_R	0x00 0x01 0x02 0x3F 0x40 0x41 0x42 0xFD 0xFE 0xFF	右チャンネルのボリューム +24dB +23.625dB ... +0.375dB 0dB -0.375dB ... -70.875dB -71.25dB ミュート	0x40	R/W

アドレス : 0x09、リセット : 0x11、レジスタ名 : SAI_CTRL1

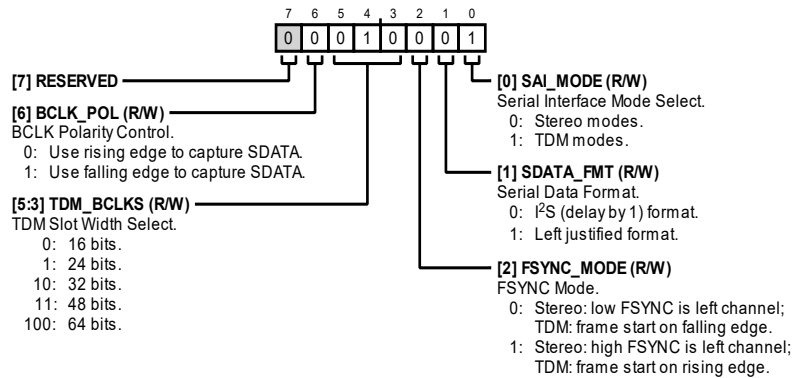


表 33. SAI_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備	0x0	R
6	BCLK_POL	0 1	BCLK 極性制御 SDATA のキャプチャに立上がりエッジを使う。 SDATA のキャプチャに立下がりエッジを使う。	0x0	R/W
[5:3]	TDM_BCLKS	0 1 10 11 100	TDM スロット幅の選択 16 ビット 24 ビット 32 ビット 48 ビット 64 ビット	0x2	R/W
2	FSYNC_MODE	0 1	FSYNC モード ステレオ : ローFSYNC が左チャンネル、TDM : 立上がりエッジでフレーム開始 ステレオ : ハイ FSYNC が左チャンネル、TDM : 立下がりエッジでフレーム開始	0x0	R/W
1	SDATA_FMT	0 1	シリアル・データ・フォーマット I ² S (1 周期だけ遅延) フォーマット 左詰めフォーマット	0x0	R/W
0	SAI_MODE	0 1	シリアル・インターフェース・モードの選択 ステレオ・モード TDM モード	0x1	R/W

アドレス : 0x0A、リセット : 0x07、レジスタ名 : SAI_CTRL2

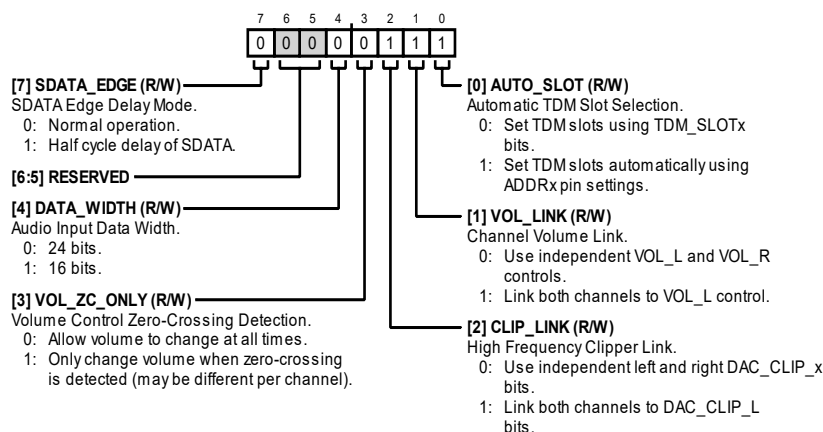


表 34.SAI_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SDATA_EDGE	0 1	SDATA エッジ遅延モード 通常動作に設定する。 SDATA を半サイクル遅延させる。	0x0	R/W
[6:5]	RESERVED		予備	0x0	R
4	DATA_WIDTH	0 1	オーディオ入力データ幅 24 ビット 16 ビット	0x0	R/W
3	VOL_ZC_ONLY	0 1	ボリューム制御ゼロ交差検出 ボリュームを常時変更できるようにする。 ゼロ交差が検出されたとき（チャンネルによって異なる場合がある）のみボリュームを変更できるようにする。	0x0	R/W
2	CLIP_LINK	0 1	高周波数クリップのリンク 左右独立した DAC_CLIP_x ビットを使う。 両チャンネルを DAC_CLIP_L ビットに関連付ける。	0x1	R/W
1	VOL_LINK	0 1	チャンネル・ボリュームのリンク 独立した VOL_L および VOL_R 制御を使う。 両チャンネルを VOL_L 制御に関連付ける。	0x1	R/W
0	AUTO_SLOT	0 1	TDM スロットの自動選択 TDM_SLOT_x ビットを使って TDM スロットを設定する。 ADDR _x ピン設定を使って TDM スロットを自動的に設定する。	0x1	R/W

アドレス : 0x0B、リセット : 0x00、レジスタ名 : SLOT_LEFT_CTRL

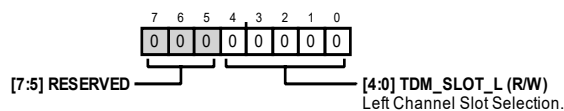


表 35.SLOT_LEFT_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備	0x0	R
[4:0]	TDM_SLOT_L		左チャンネルのスロットの選択	0x0	R/W

アドレス：0x0C、リセット：0x01、レジスタ名：SLOT_RIGHT_CTRL

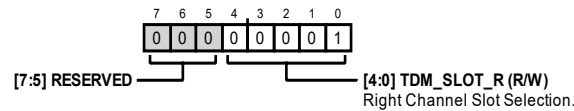


表 36. SLOT_RIGHT_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備	0x0	R
[4:0]	TDM_SLOT_R		右チャンネルのスロットの選択	0x1	R/W

アドレス：0x0E、リセット：0xA0、レジスタ名：LIM_LEFT_CTRL1

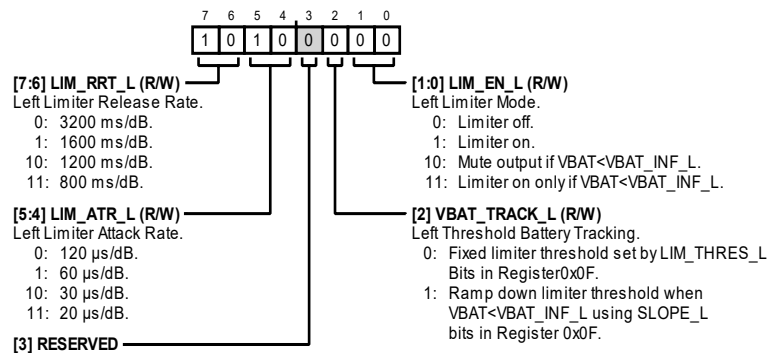


表 37. LIM_LEFT_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	LIM_RRT_L	0 1 10 11	左リミッタのリリース・レート 3200ms/dB 1600ms/dB 1200ms/dB 800ms/dB	0x2	R/W
[5:4]	LIM_ATR_L	0 1 10 11	左リミッタのアタック・レート 120μs/dB 60μs/dB 30μs/dB 20μs/dB	0x2	R/W
3	RESERVED		予備	0x0	R
2	VBAT_TRACK_L	0 1	左のバッテリー・トラッキング閾値 レジスタ 0x0F の LIM_THRES ビットで設定された固定リミッタ閾値を使う。 VBAT < VBAT_INF_L の場合のリミッタ閾値をレジスタ 0x0F の SLOPE_L ビットのスロープを使って低下させる。	0x0	R/W
[1:0]	LIM_EN_L	0 1 10 11	左リミッタ・モード リミッタをオフにする。 リミッタをオンにする。 VBAT < VBAT_INF_L の場合、出力をミュートする。 VBAT < VBAT_INF_L の場合のみリミッタをオンにする。	0x0	R/W

アドレス : 0x0F、リセット : 0x51、レジスタ名 : LIM_LEFT_CTRL2

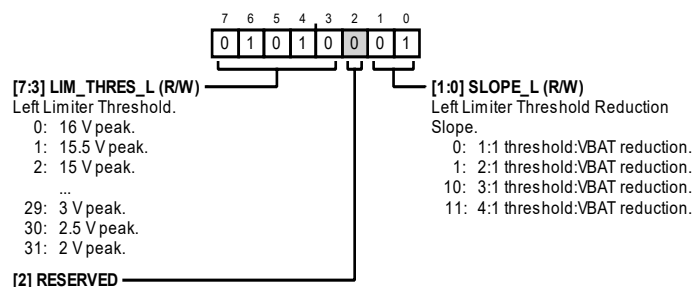


表 38. LIM_LEFT_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	LIM_THRES_L		左リミッタ閾値	0xA	R/W
		0	16V peak		
		1	15.5V peak		
		2	15V peak		
		3	14.5V peak		
		4	14V peak		
		5	13.5V peak		
		6	13V peak		
		7	12.5V peak		
		8	12V peak		
		9	11.5V peak		
		10	11V peak		
		11	10.5V peak		
		12	10V peak		
		13	9.5V peak		
		14	9.25V peak		
		15	9V peak		
		16	8.75V peak		
		17	8.5V peak		
		18	8.25V peak		
		19	8V peak		
		20	7.5V peak		
		21	7V peak		
		22	6.5V peak		
		23	6V peak		
		24	5.5V peak		
		25	5V peak		
		26	4.5V peak		
		27	4V peak		
		28	3.5V peak		
		29	3V peak		
		30	2.5V peak		
		31	2V peak		
2	RESERVED		予備	0x0	R
[1:0]	SLOPE_L		左のリミッタの閾値低下スロープ	0x1	R/W
		0	1 : 1 = 閾値低下 : VBAT 低下		
		1	2 : 1 = 閾値低下 : VBAT 低下		
		10	3 : 1 = 閾値低下 : VBAT 低下		
		11	4 : 1 = 閾値低下 : VBAT 低下		

アドレス : 0x10、リセット : 0x22、レジスタ名 : LIM_LEFT_CTRL3

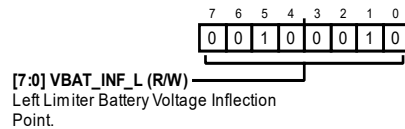


表 39. LIM_LEFT_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VBAT_INF_L		左のリミッタのバッテリー電圧変曲点	0x22	R/W

アドレス : 0x11、リセット : 0xA8、レジスタ名 : LIM_RIGHT_CTRL1

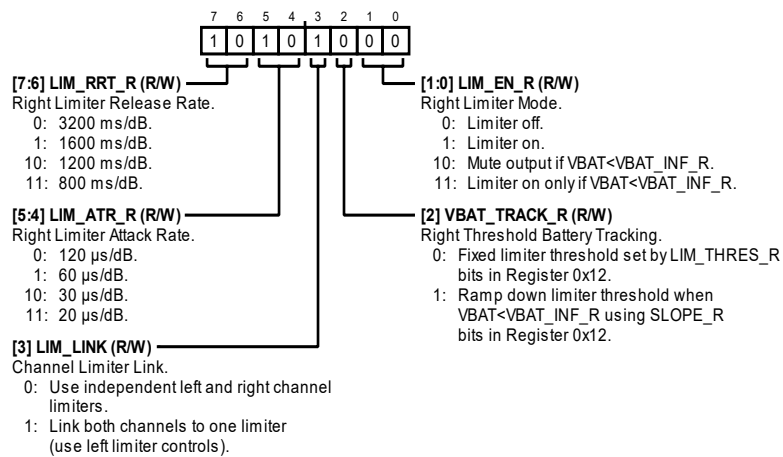


表 40. LIM_RIGHT_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	LIM_RRT_R	0 1 10 11	右リミッタのリリース・レート 3200ms/dB 1600ms/dB 1200ms/dB 800ms/dB	0x2	R/W
[5:4]	LIM_ATR_R	0 1 10 11	右リミッタのアタック・レート 120 μ s/dB 60 μ s/dB 30 μ s/dB 20 μ s/dB	0x2	R/W
3	LIM_LINK	0 1	チャンネル・リミッタのリンク 左右独立したチャンネル・リミッタを使う。 両チャンネルを1つのリミッタに関連付ける（左のリミッタ制御を使う）。	0x1	R/W
2	VBAT_TRACK_R	0 1	右のバッテリー・トラッキング閾値 レジスタ 0x12 の LIM_THRES_R ビットで設定された固定リミッタ閾値を使う。 VBAT < VBAT_INF_R の場合のリミッタ閾値をレジスタ 0x12 の SLOPE_R ビットのスロープを使って低下させる。	0x0	R/W
[1:0]	LIM_EN_R	0 1 10 11	右リミッタ・モード リミッタをオフにする。 リミッタをオンにする。 VBAT < VBAT_INF_R の場合、出力をミュートする。 VBAT < VBAT_INF_R の場合のみリミッタをオンにする。	0x0	R/W

アドレス : 0x12、リセット : 0x51、レジスタ名 : LIM_RIGHT_CTRL2

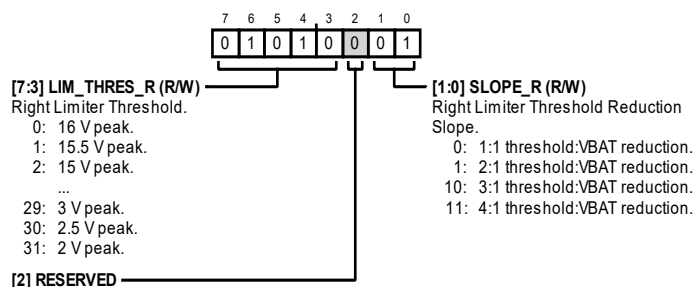


表 41. LIM_RIGHT_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	LIM_THRES_R	0 16V peak 1 15.5V peak 2 15V peak 3 14.5V peak 4 14V peak 5 13.5V peak 6 13V peak 7 12.5V peak 8 12V peak 9 11.5V peak 10 11V peak 11 10.5V peak 12 10V peak 13 9.5V peak 14 9.25V peak 15 9V peak 16 8.75V peak 17 8.5V peak 18 8.25V peak 19 8V peak 20 7.5V peak 21 7V peak 22 6.5V peak 23 6V peak 24 5.5V peak 25 5V peak 26 4.5V peak 27 4V peak 28 3.5V peak 29 3V peak 30 2.5V peak 31 2V peak	右リミッタ閾値	0xA	R/W
2	RESERVED		予備	0x0	R
[1:0]	SLOPE_R	0 1 : 1 = 閾値低下 : VBAT 低下 1 2 : 1 = 閾値低下 : VBAT 低下 10 3 : 1 = 閾値低下 : VBAT 低下 11 4 : 1 = 閾値低下 : VBAT 低下	右のリミッタの閾値低下スロープ	0x1	R/W

アドレス：0x13、リセット：0x22、レジスタ名：LIM_RIGHT_CTRL3

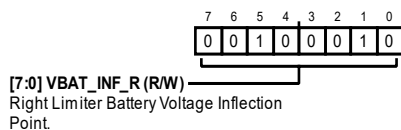


表 42. LIM_RIGHT_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VBAT_INF_R		右のリミッタのバッテリー電圧変曲点	0x22	R/W

アドレス：0x14、リセット：0xFF、レジスタ名：CLIP_LEFT_CTRL

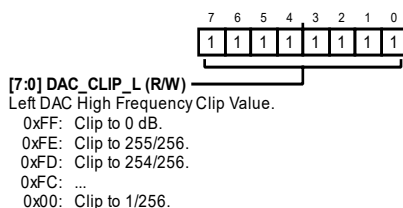


表 43. CLIP_LEFT_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DAC_CLIP_L		左の DAC 高周波数クリップ値	0xFF	R/W
		0xFF	0dB にクリップ		
		0xFE	255/256 にクリップ		
		0xFD	254/256 にクリップ		
		0xFC	...		
		0x00	1/256 にクリップ		

アドレス：0x15、リセット：0xFF、レジスタ名：CLIP_RIGHT_CTRL

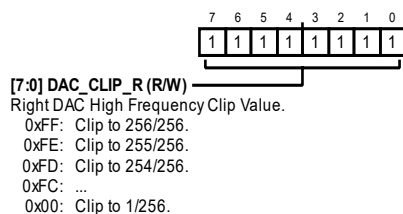


表 44. CLIP_RIGHT_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DAC_CLIP_R		右の DAC 高周波数クリップ値	0xFF	R/W
		0xFF	256/256 にクリップ		
		0xFE	255/256 にクリップ		
		0xFD	254/256 にクリップ		
		0xFC	...		
		0x00	1/256 にクリップ		

アドレス : 0x16、リセット : 0x00、レジスタ名 : **FAULT_CTRL1**

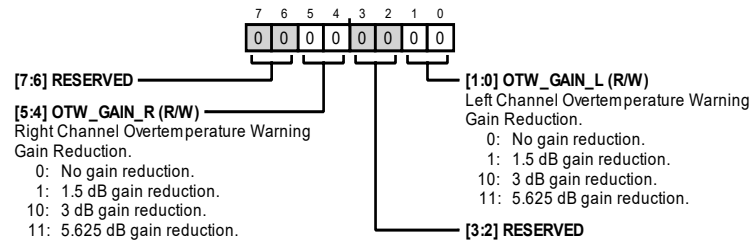


表 45. FAULT_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:4]	OTW_GAIN_R	0 1 10 11	右チャンネルの過熱警告ゲイン低下 ゲインを低下させない。 ゲインを 1.5dB 低下させる。 ゲインを 3dB 低下させる。 ゲインを 5.625dB 低下させる。	0x0	R/W
[3:2]	RESERVED		予備	0x0	R
[1:0]	OTW_GAIN_L	0 1 10 11	左チャンネルの過熱警告ゲイン低下 ゲインを低下させない。 ゲインを 1.5dB 低下させる。 ゲインを 3dB 低下させる。 ゲインを 5.625dB 低下させる。	0x0	R/W

アドレス : 0x17、リセット : 0x30、レジスタ名 : FAULT_CTRL2

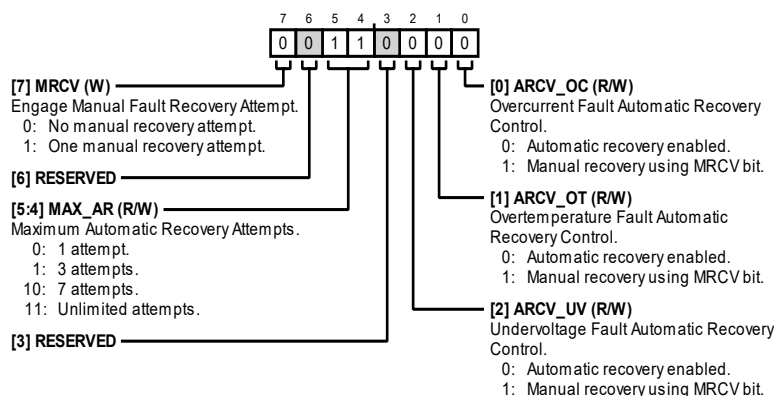


表 46. FAULT_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	MRCV	0 1	手動による故障回復の試行 手動による回復を試行しない。 手動による回復を 1 回試行する。	0x0	W
6	RESERVED		予備	0x0	R
[5:4]	MAX_AR	0 1 10 11	自動回復試行の最大回数 1 回 3 回 7 回 無制限	0x3	R/W
3	RESERVED		予備	0x0	R
2	ARCV_UV	0 1	低電圧故障の自動回復の制御 自動回復を有効にする。 MRCV ビットを使って手動回復を行う。	0x0	R/W
1	ARCV_OT	0 1	過熱故障の自動回復の制御 自動回復を有効にする。 MRCV ビットを使って手動回復を行う。	0x0	R/W
0	ARCV_OC	0 1	過電流故障の自動回復の制御 自動回復を有効にする。 MRCV ビットを使って手動回復を行う。	0x0	R/W

アドレス : 0x18、リセット : 0x00、レジスタ名 : STATUS1

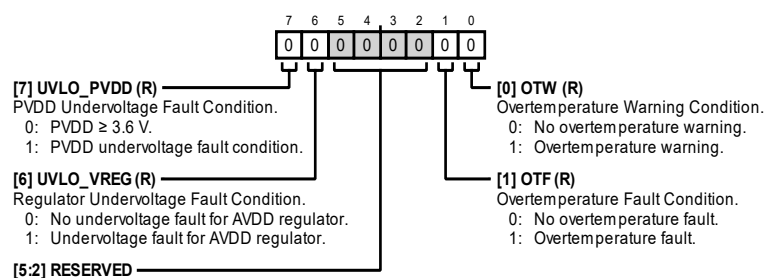


表 47. STATUS1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	UVLO_PVDD	0 1	PVDD 低電圧故障条件 PVDD ≥ 3.6 V PVDD 低電圧故障条件	0x0	R
6	UVLO_VREG	0 1	レギュレータ低電圧故障条件 AVDD レギュレータの低電圧故障は発生していない。 AVDD レギュレータの低電圧故障が発生している。	0x0	R
[5:2]	RESERVED		予備	0x0	R
1	OTF	0 1	過熱故障条件 過熱故障は発生していない。 過熱故障が発生している。	0x0	R
0	OTW	0 1	過熱警告条件 過熱警告は発生していない。 過熱警告が発生している。	0x0	R

アドレス : 0x19、リセット : 0x00、レジスタ名 : STATUS2

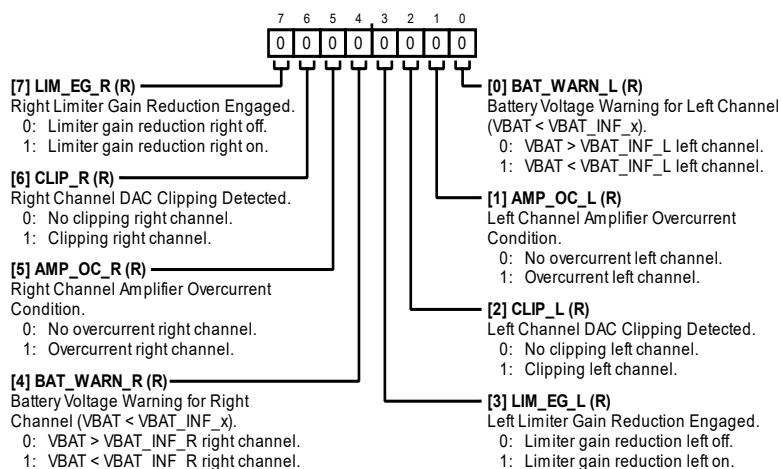


表 48. STATUS2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	LIM_EG_R	0 1	右のリミッタのゲイン低下の実行状況 0 右のリミッタのゲイン低下を行っていない。 1 右のリミッタのゲイン低下を行っている。	0x0	R
6	CLIP_R	0 1	右チャンネルの DAC クリッピング検出 0 右チャンネルをクリッピングしていない。 1 右チャンネルをクリッピングしている。	0x0	R
5	AMP_OC_R	0 1	右チャンネルのアンプの過電流条件 0 右チャンネルの過電流条件は発生していない。 1 右チャンネルの過電流条件が発生している。	0x0	R
4	BAT_WARN_R	0 1	右チャンネルのバッテリー電圧警告 (VBAT < VBAT_INF_x) 0 VBAT > VBAT_INF_R 1 VBAT < VBAT_INF_R	0x0	R
3	LIM_EG_L	0 1	左のリミッタのゲイン低下の実行状況 0 左のリミッタのゲイン低下を行っていない。 1 左のリミッタのゲイン低下を行っている。	0x0	R
2	CLIP_L	0 1	左チャンネルの DAC クリッピング検出 0 左チャンネルをクリッピングしていない。 1 左チャンネルをクリッピングしている。	0x0	R
1	AMP_OC_L	0 1	左チャンネルのアンプの過電流条件 0 左チャンネルの過電流条件は発生していない。 1 左チャンネルの過電流条件が発生している。	0x0	R
0	BAT_WARN_L	0 1	左チャンネルのバッテリー電圧警告 (VBAT < VBAT_INF_x) 0 VBAT > VBAT_INF_L 1 VBAT < VBAT_INF_L	0x0	R

アドレス : 0x1A、リセット : 0x00、レジスタ名 : VBAT

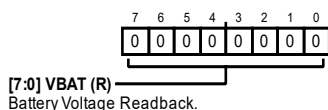


表 49. VBAT のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VBAT		バッテリー電圧の読出し	0x0	R

アドレス：0x1B、リセット：0x00、レジスタ名：TEMP

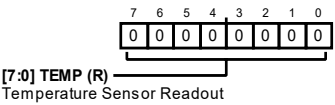


表 50. TEMP ビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TEMP		温度センサーの読出し。実際の温度（℃）は TEMP - 60（10 進法）	0x0	R

アドレス：0x1C、リセット：0x00、レジスタ名：SOFT_RESET

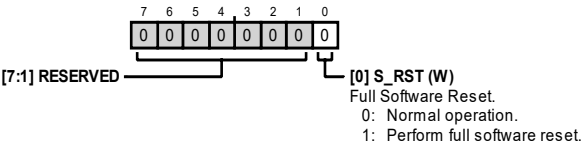


表 51. SOFT_RESET のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	S_RST	0 1	ソフトウェアの完全リセット 通常動作に設定する。 ソフトウェアの完全リセットを実行する。	0x0	W

アプリケーション情報

代表的なアプリケーション回路

図 86 に、ステレオ出力の代表的なアプリケーション回路を示します。図 87 に、モノラル出力の代表的なアプリケーション回路を示します。

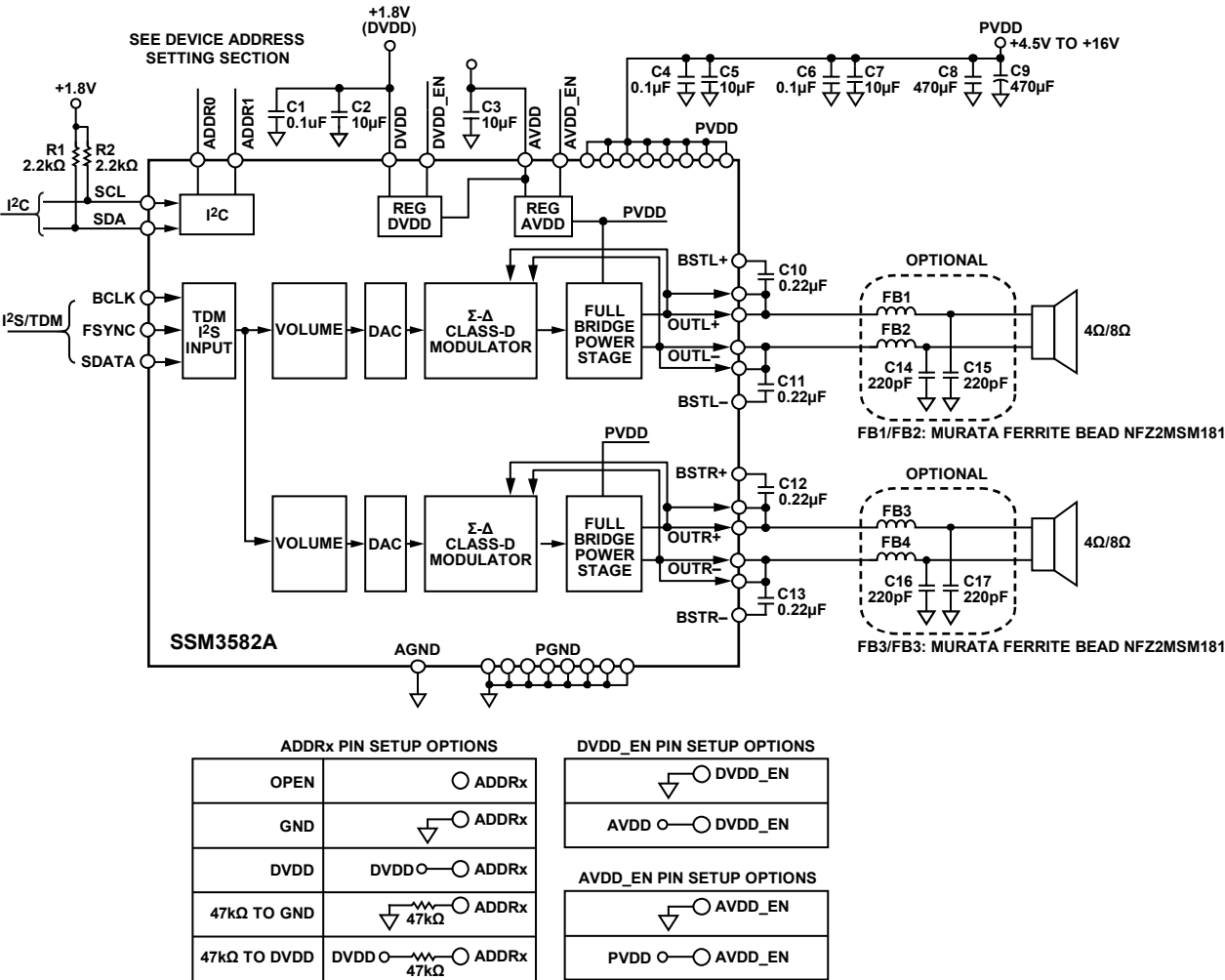


図 86. ステレオ出力の代表的なアプリケーション回路

21861-1-084

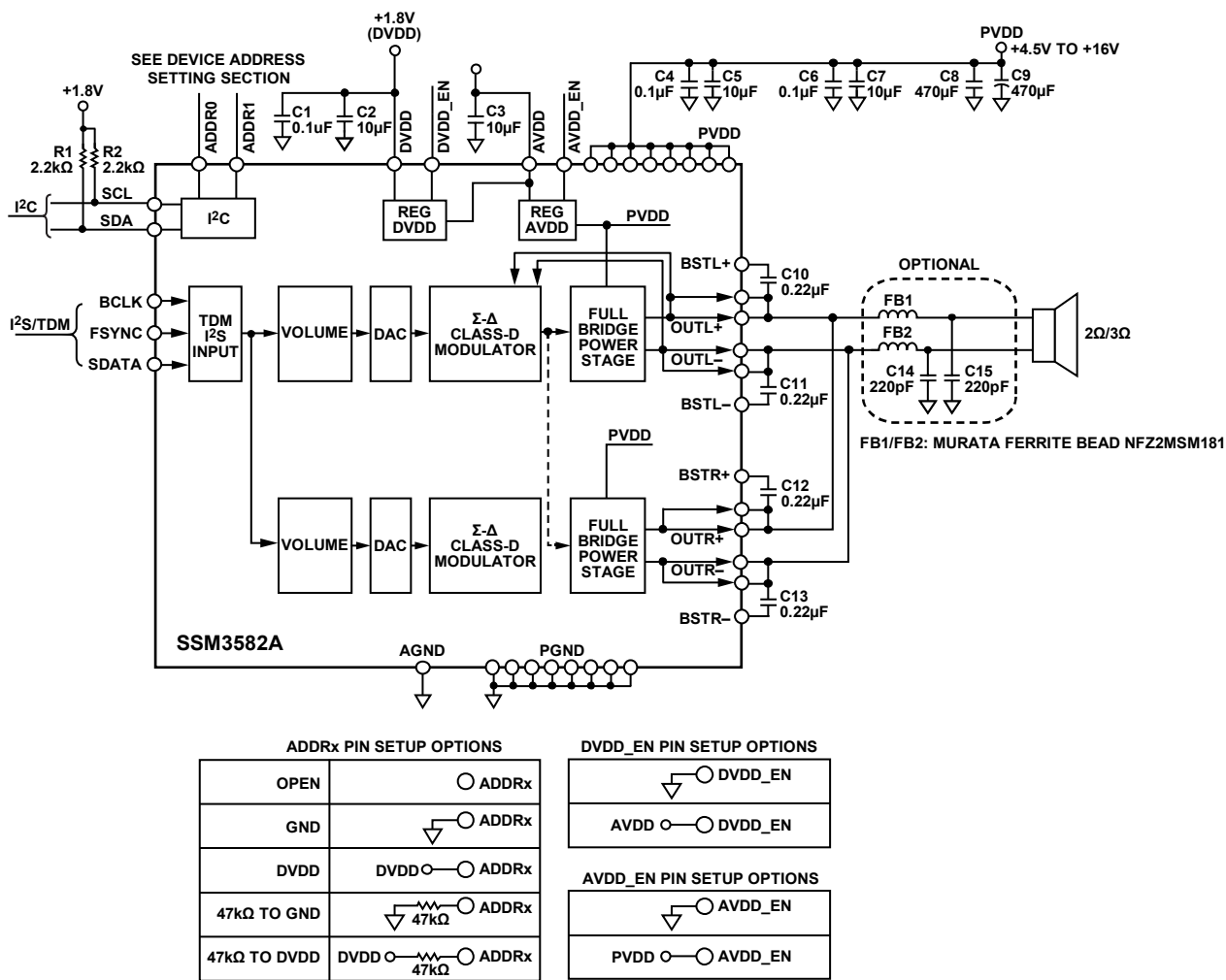


図 87. モノラル出力の代表的なアプリケーション回路

21581-085

外形寸法

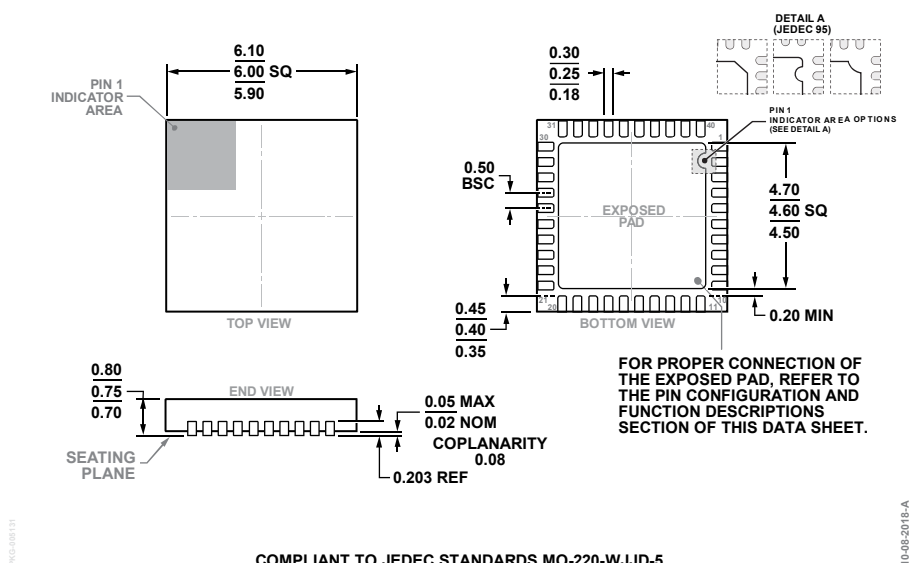


図 88. 40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
6 mm×6 mm ボディ、0.75 mm パッケージ高
(CP-40-7)
寸法単位：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
SSM3582ACPZ	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
SSM3582ACPZ-RL	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
SSM3582ACPZ-R7	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
EVAL-SSM3582Z		Evaluation Board	

¹ Z = RoHS 準拠製品

² SSM3582A には [EVAL-SSM3582Z](#) 評価用ボードを使います。