

アナログ・デバイセズの RFフロントエンド製品で、 コンパクトな5G Massive MIMOを 実現する

著者 : Bilge Bayrakci

4G/LTEに対応する基地局が展開された際、その終盤になって急速に普及した技術があります。それがMassive MIMO (Massive Multiple Input Multiple Output) です。特に人口密度の高い都市部では、各種サービスに向けて高速なデータ通信を実現するために、マクロセルによるカバレッジの隙間の部分をスモール・セルで埋め尽くすということが行われました。このアーキテクチャによって目的が果たされ、Massive MIMOの価値は明確に実証されました。5Gでは、より高いスペクトル効率と、通信におけるより高い信頼性が求められます。Massive MIMOは、本質的にそれらに対応しているので、5Gのネットワークを構築するための無線アーキテクチャとしても選択されるはずですが、5Gでは、複数の周波数帯で同時に動作するトランシーバーのチャンネル数を大幅に増加させる必要があります。同時に、必要なすべてのハードウェアを前世代の設備と同等かそれより小さいフォーム・ファクタに収めることが設計上の課題になります。これらの課題を解決する上では、以下のような問題に対処しなければなりません。

- ▶ チャンネル数が増加すると、基地局内とその周辺でRF電力密度が高まります。その状態で相互の干渉をなくすためには、チャンネル間の隔離が極めて重要な問題になります。
- ▶ 大電力の信号が存在する中で堅牢性を維持するためには、レシーバーのフロントエンド部分におけるダイナミック・レンジを高めなければなりません。
- ▶ ソリューションのサイズが抑えられていることが重要になります。
- ▶ 電子部品やトランスミッタにおいて、電力に伴う熱管理が必要になります。

様々な無線サービスと何種類かの伝送方式に対応するためには、データ・レートの向上に尽力する必要があります。そうすると、回路がより複雑になるのにもかかわらず、従来と同じサイズ、消費電力、コストを目標にすることが求められます。基地局のタワーにトランシーバーのチャンネルをより多く追加すれば、スループットは向上します。しかし、システムの複雑さとコストを許容されるレベルに抑えるには、各チャンネルをより高いRF電力レベルで使用することが不可欠となります。つまり、既存のRFフロントエンドに代わるものとして、大きなRF電力に耐えられるフロントエンドが必要になります。ただ、それを実現可能な設計の選択肢は限られます。実際、ハードウェア設計者は、高いバイアス電圧と複雑な周辺回路を必要とする従来のソリューションに頼るしかありません。そのため、設計上の目標を達成するのはますます難しくなります。

アナログ・デバイセズは、低ノイズ・アンプ (LNA) と大出力に対応するスイッチを内蔵するTDD (時分割複信) システム用のマルチチップ・モジュールを提供しています。それが、[[ADRF5545A](#)/[ADRF5547](#)/[ADRF5549](#) ファミリ] です。セルラで使用される1.8GHz~5.3GHzの周波数帯をカバーし、Massive MIMO対応のアンテナとのインターフェースに最適な形で設計されています。大出力に対応するスイッチは、シリコン・プロセスで製造され、高性能のLNAはGaAsプロセスを採用しています。この新たな製品ファミリは、大きなRF電力に対応する能力と高い統合度を併せ持ちます。何らの妥協を強いられることなく、両方のメリットを享受できます。

デュアルチャンネルのアーキテクチャ

図1に、ADRF5545A/ADRF5547/ADRF5549のアプリケーション回路をブロック図として示しました。この図は、Massive MIMOに対応するRFフロントエンド部を表しています。同ファミリの製品は、各チャンネルにおいて、大出力に対応するスイッチの後段に2個のLNAが直列に連なる構造を採用しています。トランシーバーの受信モードでは、入力信号がスイッチによってLNAの入力に接続されます。一方、送信モードでは、入力を50Ωの終端抵抗に接続します。それにより、アンテナのインターフェースとの適切なマッチングを実現すると共に、アンテナの反射電力からLNAを隔離します。この統合型のデュアルチャンネル・アーキテクチャにより、MIMOにおけるスケールアップを容易に実現できます。既存設備の上限である8×8（8個のトランスミッタと8個のレシーバー）の構成を超えて、16×16、32×32、64×64、またはそれ以上の構成に拡張することが可能です。

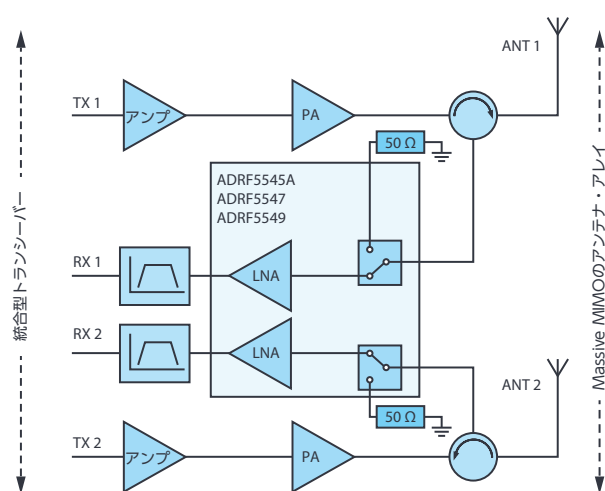


図1. Massive MIMOに対応するRFフロントエンドのブロック図

広範な帯域幅への対応

ADRF5545A/ADRF5547/ADRF5549それぞれの周波数特性を図2に示しました。これら3つの製品は、それぞれセルラ・システムで一般的に使用される周波数帯向けに最適化されています。パワー・アンプやフィルタなど、同一の設計内で使用されるチューニング済みの部品と適合するように設計されています。

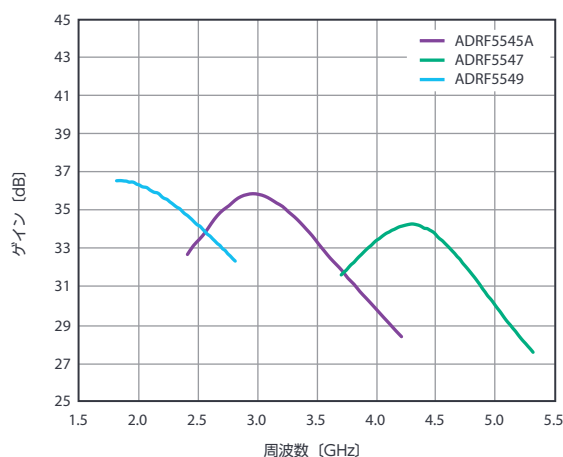


図2. ADRF5545A/ADRF5547/ADRF5549の周波数特性

大出力に耐える内蔵スイッチ

ADRF5545A/ADRF5547/ADRF5549は、シリコン・プロセスで製造される大出力対応のスイッチを内蔵しています。それらのスイッチは、バイアスを生成するための外付け部品を必要としません。5Vの単一電源で動作し、消費電流はわずか10mAです。負電圧やレベル・シフトは不要なので、標準的なマイクロコントローラに直接接続することが可能です。PINダイオードをベースとするスイッチを使用する場合と比べ、バイアス電力を約80%、基板上の実装面積を90%削減できます。

ADRF5545A/ADRF5547/ADRF5549のスイッチは、平均で10W、ピーク対平均比 (PAR: Peak-to-Average Ratio) が9dBのRF信号を連続動作で処理することが可能です。また、障害が発生した場合でも、定格の2倍の電力に耐えることができます。10Wの電力に対応する製品は、ADRF5545A/ADRF5547/ADRF5549が市場で初めてであり、大電力を使用するMassive MIMOの設計に理想的な製品だと言えます。各アンテナ素子からの送信電力を高めることができれば、送信チャンネルの数を減らしても、同量のRF電力を基地局から供給することができます。ADRF5545A/ADRF5547/ADRF5549のアーキテクチャを図3に示しました。この図から、両チャンネルのスイッチに対する給電と制御は、同じピンによって行われることがわかります。なお、それらはLNA用の電源とは分離されています。

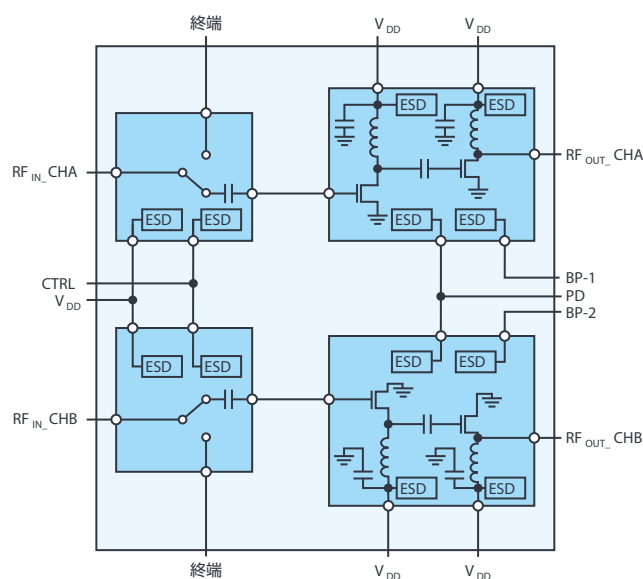


図3. ADRF5545A/ADRF5547/ADRF5549のアーキテクチャ

小さいノイズ指数

先述したように、2段構成のLNAはGaAsプロセスで製造されます。各LNAは5Vの単一電源で動作し、バイアス・ティ用の外付けインダクタは不要です。ゲインの特性は、周波数に対して平坦であり、高ゲイン・モードでは32dB、低ゲイン・モードでは16dBにプログラムすることが可能です。また、低消費電力モードでは、送信動作中にLNAをオフにしてバイアス電力を節約します。デバイスのノイズ指数 (NF: Noise Figure) は、スイッチの挿入損失を含めて1.45dBであり、大電力のMassive MIMOにも小電力のMassive MIMOにも対応できます。

図4に、各対応周波数帯におけるADRF5545A/ADRF5547/ADRF5549のNF性能を示しました。

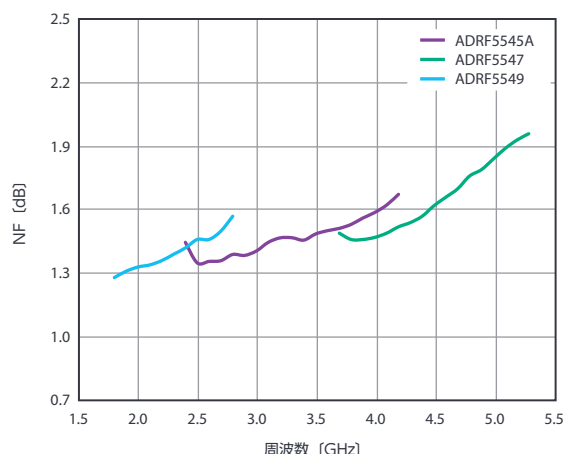


図4. ADRF5545A/ADRF5547/ADRF5549のNF性能

コンパクトなサイズ、最小限の外付け部品

ADRF5545A/ADRF5547/ADRF5549では、必要な外付け部品の数も最小限に抑えられています。電源ピンのプライマリ・デカップリング・コンデンサと、RF信号ピンのDCカット用コンデンサを除けば、チューニングやマッチング用の部品は一切不要です。RF入力と出力は50Ωでマッチングされています。また、LNAには、マッチング/バイアス用のインダクタが組み込まれています。そのため、インダクタなどの高価な部品の数を抑えられます。それだけでなく、隣接するトランシーバーとの間で生じるチャンネル間のクロストークを低減するためのハードウェア設計も簡素化できます。各製品は、背面パドルの熱特性が強化された6mm×6mmの表面実装パッケージで提供されます。また、-40℃～105℃のケース温度で動作仕様が規定されています。ADRF5545A/ADRF5547/ADRF5549のパッケージとピン配置は同一であり、同じ回路基板上で相互に交換することが可能です。図5に、これらの製品に対応する評価用ボードを示しました。このボードは、アナログ・デバイセズまたは販売代理店から入手できます。

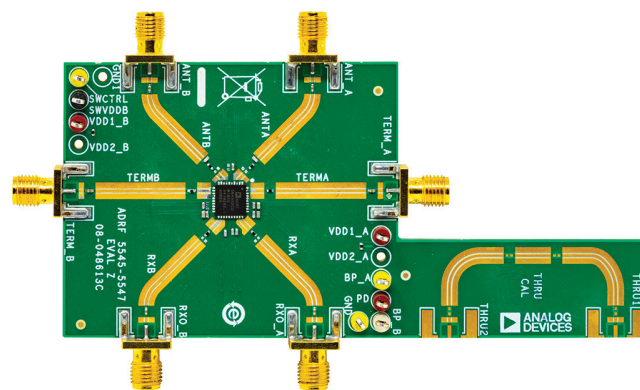


図5. ADRF5545A/ADRF5547/ADRF5549の評価用ボード

より詳しい技術情報、データシート、その他の参考資料などについては、analog.com/jpの製品ページをご覧ください。

著者について

Bilge Bayrakci (bilge.bayrakci@analog.com) は、アナログ・デバイセズでRF/マイクロ波制御用ICを担当するマーケティング/プロダクト・マネージャです。2009年に入社しました。イスタンブール工科大学で電気工学の修士号を取得。その後、半導体業界で20年以上にわたって経験を重ねてきました。

EngineerZone® オンライン・ サポート・コミュニティ



アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com にアクセス

*英語版デザイン・ノート記事は[こちら](http://ez.analog.com)よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2020 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possible はアナログ・デバイセズの商標です。

DN21627-9/19



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

VISIT ANALOG.COM/JP