

ΣΔ ADCのトポロジに関わる基本原理：パート2

著者: Michael Clifford
アプリケーション・エンジニア
Analog Devices, Inc.

AD717xは、アナログ・デバイセズの高精度シグマ・デルタ(ΣΔ) ADCの最新ファミリです。このADCファミリは、24ビットの真のノイズフリー出力を提供する、市場で最初のコンバータ・ファミリです。ノイズに極めて敏感な計測器回路の設計者は、AD717xのデバイスによってダイナミック・レンジを最大限に拡張することができ、シグナル・コンディショニング段においてアンプ・ゲインを前置する必要性を低減または解消できます。また、これらのデバイスは高速で動作し、セトリング・タイムを従来よりも短くすることができます。これにより、制御ループにおける入力のスティミュラスに対する応答時間を短縮したり、チャンネル密度を増加してチャンネルあたりのスループットを向上させて変換したりできます。

analog.comのAD717xに関するページでは、AD7172-2、AD7175-2、AD7172-4、AD7173-8、AD7175-8を含むファミリ全体の詳細が説明されています。これらの高精度ADCは、真のレールtoレールのアナログ入力バッファとリファレンス入力バッファを完全に統合したアナログ・シグナル・チェーンで構成されています。このファミリでは入力チャンネルが複数備わっており、ピンごとに、変換速度のアップグレードか、低ノイズまたは低消費電力のアップグレードのいずれかが可能です。AD7175-2とAD7175-8は、最高速の出力性能と最小のノイズ特性を備えています。AD7177-2は、32ビット分解能の出力を備えています。AD7172とAD7173は、最小消費電力オプションです。

AD7175-2には、評価の手助けとなる極めて便利なソフトウェア・ツールがあります。Eval+はアナログ・デバイセズのウェ

ブサイトからダウンロード可能な単一ソフトウェアで、これによって、ハードウェアの有無に関わらず、ADCの設定、解析、選択を行うことができます。このソフトウェアは、ハードウェアと共に使用する場合は標準的な評価用ボードにより動作します。ハードウェアを使用しない場合、ADCの機能モデルがバックグラウンドで実行され、その最終アプリケーションにとって最善の動作設定を確立することが可能となります。

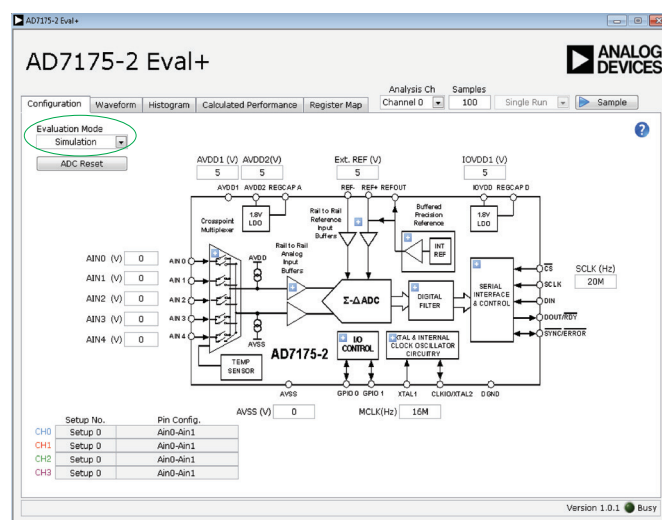


図2. 機能モデル評価モードのAD7175-2 Eval+ softwareの [Configuration] タブ

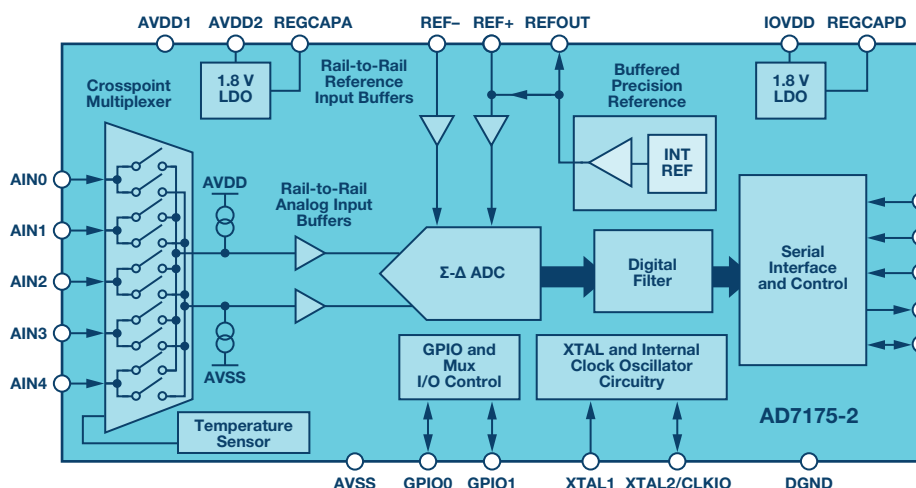


図1. AD7175x ΣΔ ADCファミリであるAD7175-2のブロック図とノイズ性能

ノイズフリー・ピークtoピーク分解能ビット	出力データ・レート
17.2	250 kSPS
17.8	2.5 kSPS
19.1	10 kSPS
19.9	2.5 kSPS
24	20 SPS

表1. AD717xファミリの概要。使用可能なチャンネル数オプションとファミリ製品のピン配列も表示

AD717x ファミリ				24-lead TSSOP	5 × 5 32-lead LFCSP	6 × 6 40-lead LFCSP
	ノイズフリー・ビット (フル速度)	変調器 (mA)		−2	−4	−8
AD7175 250 kSPS	17.2	8.4	高速、低ノイズ、 真のレールtoレール・バッファ、5V電源	●		●
AD7172 32 kSPS	17.2	1.5	低消費電力、真のレールtoレール・バッファ、 5V電源または3V電源	●	●	
AD7176 250 kSPS	17.3	8	高速、低ノイズ、非バッファ、5V電源	●		
AD7173 32 kSPS	17.5	1.5	低消費電力、バッファ入力、 5V電源または3V電源			●
AD7177 10 kSPS	19.1	8.4	高速、低ノイズ、32ビット、 真のレールtoレール・バッファ、5V電源	●		

$\Sigma\Delta$ ADCの量子化ノイズの除去： ノイズと帯域幅に関する考慮事項

AD7175 ADCを例として、デジタル・フィルタ処理を使用して $\Sigma\Delta$ ADCの量子化ノイズを除去する方法を説明します。これにより、ノイズと入力帯域幅およびセトリング・タイムとのトレードオフが明確になります。

図4は、AD7175デバイスについて、変調器の未加工のノイズ・データをDCからFMOD/2 (4MHz) までの周波数の対数に対してプロットしたものです。AD7175変調器は、8MHz (FMOD) の実効レートでサンプリングを行います。変調器はMASH方式で、変調器のノイズについて80dB/ディケードの傾きを持つよう設計されています。回路の熱ノイズは、変調器のノイズが上昇を始める周波数軸上の点に至るまでのインバンド・ノイズ・フロアを形成します。ノイズ・フロアが低いことを示すこのプロットから、このADCは低帯域幅の信号に対して高いダイナミック・レンジを持つことがわかります。この高いダイナミック・レンジとノイズ・フロアを押し下げるAD7175の機能によって、感度を向上させることが可能で、これは振幅の小さい信号を受信するアプリケーションにおいて特に有効に作用します。

ADCの最小オーバーサンプリング比、デジタル・フィルタの次数、コーナ周波数は全て、量子化ノイズがADCのノイズの制限要因とはならないことに寄与します。ノイズをフィルタ処理するには、フィルタのエンベロップが、量子化ノイズの大きさの増加率を処理できるだけの十分なロールオフで減衰可能であることが必要です。

AD7175の最小オーバーサンプリング比は32倍で、8MHzのFMODの場合、最大出力データ・レートは250kHzとなります。

AD7175では、多くの異なるタイプのフィルタを選択可能です。デジタル・フィルタの動作を裏付ける理論は、sinc5+sinc1フィルタとsinc3フィルタを様々な状況で比較することで説明できます。

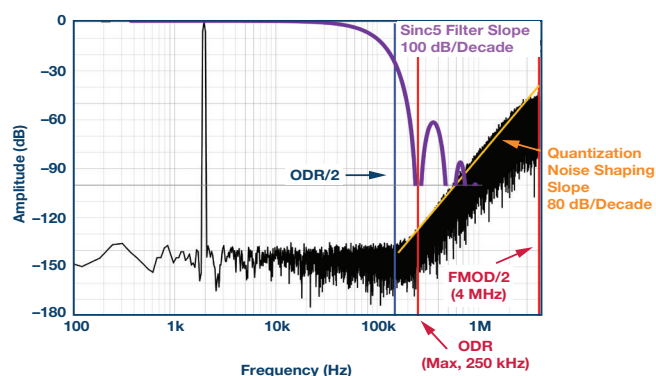


図3. AD7175変調器のDC～FMOD/2の出力スペクトル
(sinc5 + sinc1でデシメーション・レシオ32
(実効的にはsinc5のDC応答)の場合を重ね書き)。

出力データ・レート (ODR) が250kHzの場合、AD7175のsinc5 + sinc1は、およそ0.2 × ODR (50kHz) の−3dB周波数を持つsinc5パスとして直接構成されます。sinc5フィルタは、減衰エンベロップが−100dB/ディケードのフィルタです。つまり、sinc5フィルタの減衰量とロールオフは、図3に示すように変調器ノイズを十二分に除去できます。

反対に、250kHzのODRでsinc3に変更した場合、減衰量とロールオフは変調器ノイズを除去するには不十分です。データシートにある250kHzと125kHzでのODRのノイズ数値がこの事実を示しています。データ・レートが62.5kHz以下の場合のみ、sinc3の応答はADC出力の量子化ノイズをすべてフィルタ処理できます。

量子化ノイズをフィルタ処理する以外に、デジタル・フィルタを用いると、入力帯域幅と引き換えに低ノイズ化を図ることができます。これはデシメーション・レシオを増加することで実行できます。sinc5+sinc1フィルタの場合、オーバーサンプリング比を増加すると、最初の5次のsincフィルタが平均化されることになります。最初の出力を平均化することで、sinc5と後続のsinc5+sinc1平均によって様々な範囲の出力データ・レート、速度、帯域幅を選択して、ノイズ性能を向上させることができますようになります(図5参照)。sinc5の出力を平均化することで、出力データ・レートとそのレートの整数倍で1次のノッチが発生します。これは全体的なsinc5エンベロープに合成されます。従来、sinc形式のフィルタのノッチは、データ・レートを干渉周波数に一致するように意図的に設定して、既知の周波数での干渉を除去するために使用されてきました。その典型的な例は、ライン周波数である50Hzと60Hzの除去に見ることができます。

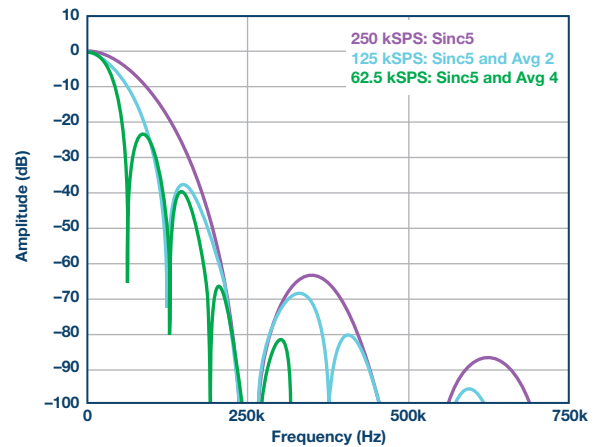


図 4. AD7175-2のsinc5 + sinc1フィルタ：ADCのデシメーション・レシオを変えることで入力帯域幅を調整。

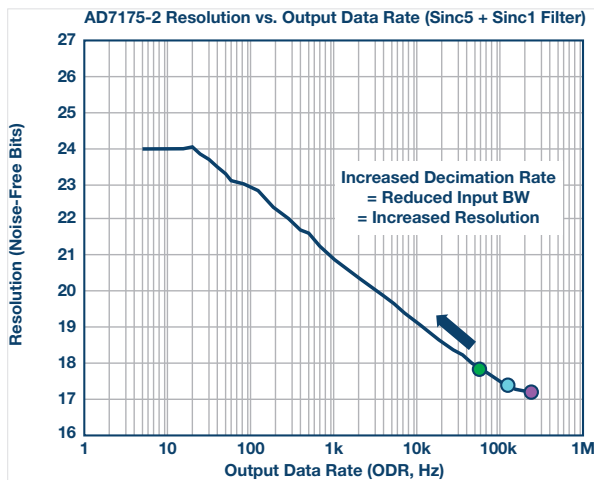
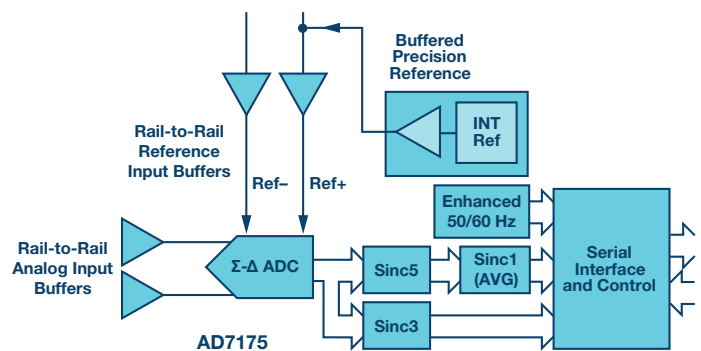


図5. AD7175-2のsinc5 + sinc1フィルタ - ノイズとODRの関係



sinc形式のフィルタは、移動平均フィルタで、 $\sin(x)/x$ の形をしています。そのため一般的に、sincフィルタと呼ばれています。このフィルタは、一連の積分器、デシメータとして動作する1個のスイッチ、およびこれに続く一連の微分器で構成されています。これは有限インパルス応答(FIR)タイプのフィルタです。入力ステップ変化に対し、既知で有限の直線位相応答を示します。出力データ・レートとその整数倍で、深いノッチがそのノッチ内の減衰信号と共に発生します。

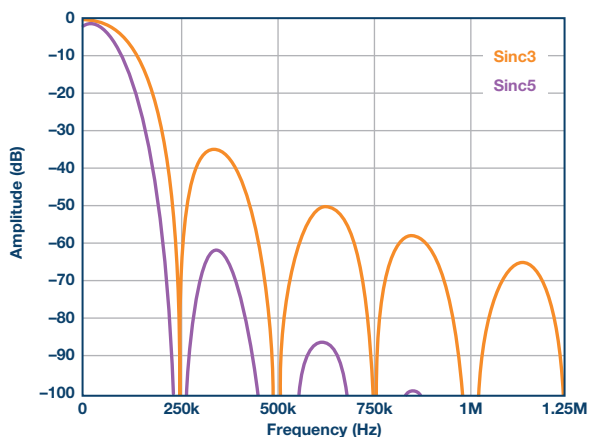


図 6. 次数の異なるsincフィルタの周波数領域での比較：sinc5とsinc3

図6は3次と5次のsincフィルタを比較したもので、どちらもAD7175に対しデシメーション・レシオを32として動作させています。この場合、どちらのフィルタも250kHzのレートで変換データを出します。フィルタの次数によってロールオフと-3dB周波数が決まります。sincPフィルタは、 $-P \times 20\text{dB/ディケード}$ の周波数応答エンベロープに収まります。ロールオフが急峻であるほど-3dB周波数は低くなります。次数の異なるフィルタ間での主要なトレードオフはフィルタのセトリング・タイムにあり、これが、状況に応じて最終的な計測アプリケーションに異なる影響をもたらします。

フィルタのセtring・タイム

デジタル・フィルタが $\Sigma\Delta$ 変調器からのデータ・ストリームの移動平均を処理する場合、セtring・タイムが付随します。遅延はどのFIRフィルタにも固有のものです、sincフィルタの次数ごとに異なります。遅延は通常、群遅延とセtring・タイムの2つの項で記述されます。群遅延とは、アナログ信号が入力された時点からデジタル信号として出力される時点までの遅延を示すものです。例えば、単音サイン波の場合、群遅延とはアナログ入力で観測されたサイン波の電圧ピークと、デジタル出力で観測された同じピークとの間の時間差のことです。

セtring・タイムとは、デジタル・フィルタの全平均時間のことです。アナログ入力にステップがある場合、ADCからのデータ出力がそれ以前の入力のステップと無相関になるまでには、フィルタのセtring・タイムを余さず必要とします。フィルタの計算時間など、その他の遅延が存在することもあります。AD7175ファミリに関しては、最初の変換ではセtring・タイムが長くなります。つまり、スタンバイ状態からのセtringが1/ODRの初期計算サイクルによる遅延を招くこともあります。フィルタのセtring・タイム以外の遅延はいずれも選択したコンバータによって異なる可能性があるため、ADCのデータシートを読む際には注意が必要です。

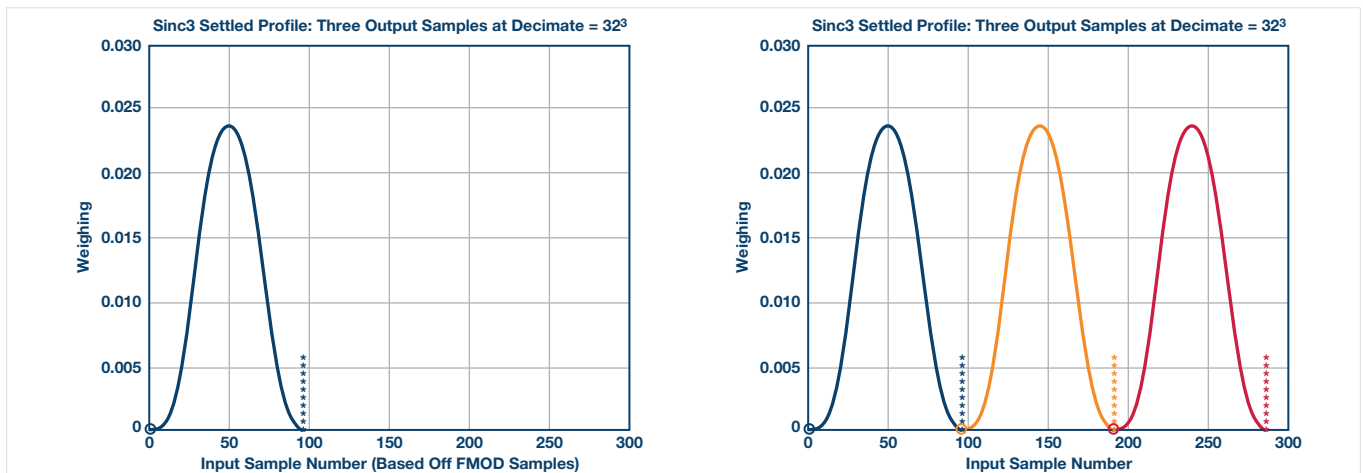


図8. マルチプレクスADC、sinc3フィルタ、3サイクル分の変換出力を完全にセtringしたデータ

フィルタのセtring・タイムの影響は、シングル $\Sigma\Delta$ ADCの場合とマルチプレクス $\Sigma\Delta$ ADCの場合を比較すると、最もよくわかります。デジタル・フィルタのセtring・タイムは、各チャンネル出力の独立性を保ちながら複数の入力チャンネルを巡回できるレートに強く影響します。

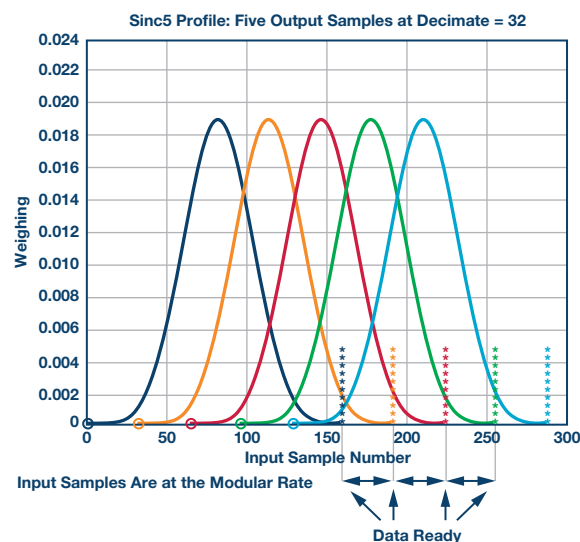


図7. 単一ADC入力、sinc5、5サイクル分の変換出力。

独立した出力を行うためにはセtring・タイムが完全に経過するまで待つ必要があるのはなぜでしょうか？単一入力源を持つシングルADCのデジタル・フィルタ処理を検討してみましょう。変調器 $\Sigma\Delta$ ADCからのデータは、FMODEのレートでデジタル・フィルタに受け渡され(図5参照)、各サンプルはこの移動平均フィルタを通過します。次数と形式に応じて、フィルタは(フィルタのデシメーション・レシオで設定される)その変換時間に

わたって各サンプルをそれぞれに重み付けします(図7参照)。入力サンプル0と後続のサンプルは、変調器クロックの単一周期で区切られた離散的な変調器出力結果です。y軸は、デジタル・フィルタによって各サンプルに割り当てられた重み付けを示します。この重み付けの形状が、ローパス・デジタル・フィルタを時間領域で表したものとなります。この状況での出力データは250kHz(8MHz/32 = FMODE/デシメーション・レシオ)です。データ・レディ信号(それぞれ色の異なる垂直の破線)間の時間差は、4 μ sです。このADCはデシメーション・レシオが32で、sinc5 + sinc1フィルタで動作するように設定されています。5通りの変換出力はすべて、フィルタ出力を定義する変調器入力内である程度重なり合っています。したがって、どれもお互いに独立というわけではありません。単一のADC入力に対し、各変換結果は変調器からの入力を共有しますが、フィルタはこれらの各変調器出力をそれぞれ重み付けします。

マルチプレクス入力の場合、それぞれの変換出力を作成するために提供される変調器データは、チャンネルごとに独立である必要があります。あるアナログ入力チャンネルから次のアナログ入力チャンネルにマルチプレクサが切り替わるまでに、フィルタのセtring・タイムが完全に経過している必要があります。sinc3形式のフィルタを例にとり、デシメーション・レシオを32とすると、1回の変換でのフィルタのセtring・タイムは、図8(a)のように示すことができます。フィルタが完全にセtringすると、データ出力はそれまでの96個の変調器出力の重み付け平均となります。これは12 μ s、すなわち、ADCの出力データ・レートの3周期分に相当します。

図8(b)に、マルチプレクス入力の場合の最初の3サンプルを示します。この場合、ADCの各サンプル出力は完全にセトリングしています。変調器出力は、どのサンプル間においても重なり合っていないです。DRDY(データ・レディ、図中の縦線)間の時間で表されるマルチプレクス・レートは、フィルタのセトリング・タイムで決まります。このレートは多くの場合、完全にセトリングした場合のデータ・レートとしてデータシートやパラメトリック・プロットに記載されます。

sincPフィルタの場合、フィルタのセトリング・タイムは、次数Piに1/ODRを乗じたものになります。250kHzのODRで動作するsinc3フィルタの場合、このフィルタのセトリング・タイムは $3 \times 1/250\text{kHz} = 12\mu\text{s}$ となります。比較のため、同じODRの250kHzでsinc5フィルタを使用すると、セトリング・タイムは $5 \times (1/250\text{kHz}) = 20\mu\text{s}$ となります。

チャンネル間の切替えレートのおよその値は、ODRをフィルタ次数で除したもので、sinc3フィルタではODR/3、sinc5フィルタではODR/5となります。これは、sincフィルタそのものであれば簡単ですが、sinc5+sinc1形式のような場合には追加の手順が必要になります。AD7175ファミリのADCでは、様々な形式のフィルタを選択できます。次のセクションでは、フィルタ・タイプ間の違いを説明すると共に、それぞれの場合についてセトリング・タイムの計算例を示します。

マルチプレクス入力の場合のセトリング・タイムを計算してみます。プロセス制御やファクトリ・オートメーションでの代表的なアナログ入力モジュールには、 $\pm 10\text{V}$ の入力をAD7175-8の入力範囲に収めるフロントエンド段があります。AD7175-8は、各チャンネルをマルチプレクスし、それぞれの入力または入力ペアを順番に変換します。全チャンネルの変換時間は使用するフィルタとチャンネル数によって決まります。

次の例は、sinc3フィルタとsinc5 + sinc1フィルタを使用する場合を比較するものです。どちらも同じ出力データ・レートに設定されているため、両者の違いとセトリング・タイムの計算方法を知ることができます。どちらのフィルタ・オプションも、AD7175-8のユーザが選択できます。

- a. sinc3フィルタを使用、62.5kHzのODR
セトリング・タイムの計算。

AD7175 sinc3 : ODR = 62.5kHz
セトリング・タイム = $3 \times (1/62.5\text{kHz}) = 48\mu\text{s}$ 、
チャンネル切替えレート = $1/48\mu\text{s} = 20.833\text{kHz}$

- b. sinc5 + sinc1フィルタを使用、62.5kHzのODR
セトリング・タイムの計算。

AD7175 sinc5 + sinc1 : ODR = 62.5kHz

2つの成分があることに注意してください。sinc5フィルタは $4\mu\text{s}$ のウィンドウ(FMOD = 8MHz)で平均化します。そのため、250kHzのレートで平均化ブロックにデータを受け渡します。

1. sinc5のセトリング・タイム = $5 \times 1/250\text{kHz} = 20\mu\text{s}$
これが最初のサンプルの平均化時間となります。
2. sinc1(平均化フィルタ)のセトリング
ODR = 62.5kHzに対し、250kHzのデータ・ストリームは4回平均化されます。
平均化のための残りの3サンプルのセトリング・タイムは、 $3 \times 1/250\text{kHz} = 12\mu\text{s}$ となります。
全セトリング・タイム = $20\mu\text{s} + 12\mu\text{s} = 32\mu\text{s}$ 、
チャンネル切替えレート = $1/32\mu\text{s} = 31.25\text{kHz}$

なお、sinc5 + sinc1フィルタの場合、データ・レートが10kSPS以下のADCのセトリングは単一サイクルとなります。つまり、この場合のADCのセトリング・タイムは1/ODRとなります。

表2に、4チャンネルのマルチプレクス測定について、(a)と(b)の各設定の比較を示します。sinc5 + sinc1フィルタを使用することで、チャンネル当たりのサンプリング・レートを高速化でき、これはセトリング・タイムが短いことの利点を示すものです。ただし、この大まかなルールはコンバータだけに当てはまるものです。各入力の前段にアナログの事前調整回路があり、その時定数がADCの時定数よりも長い場合は、それが最も厳しいケースのセトリング・タイムとして支配要因になります。

この比較を表2に示します。

表2. 4チャンネル・マルチプレクス・システムでのSinc5 + Sinc1フィルタとSinc3フィルタのチャンネル当たりのデータ・レートの比較(AD7175-8を使用した場合の例)

フィルタ・タイプ	ODR (kHz)	チャンネル当たりのセトリング・タイム (μs)	4チャンネルの変換に要する時間 (μs)	チャンネル当たりのデータ・レート (kHz)
Sinc3 + sinc1	62.5	32	128	7.8125
Sinc3	62.5	48	192	5.208

以上が、 $\Sigma\Delta$ ADCの概要です。変調器関係の理論とコンセプトを説明し、それに続いてデジタル・フィルタ処理とそのノイズ、セトリング・タイム、およびこの両者が計測システムに及ぼす2次的影響の例について説明しました。

参考文献

「ADCs for DSP Applications」シリーズ：
アナログ・デバイセズ、Newnes, Edition 1、2002年

著者について

Michael Clifford。

アナログ・デバイセズ・アイルランドのリニア/高精度テクノロジー・チームのアプリケーション・エンジニア。高精度ADCの開発に取り組み、主としてΣΔ形式のコンバータに携わる。

本稿は、同じアナログ・デバイセズのAdrian Sherry、Colin Lyden、Walt Kesterの協力を得て執筆。

オンライン・サポート・コミュニティ



当社のオンライン・サポート・コミュニティで、アナログ・デバイセズの技術専門家と連携することができます。設計上の難問について問い合わせたり、FAQ を参照したり、話し合いに参加することができます。

ezanalog.com

* 英語版技術記事は [こちら](#) よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市西区牛島町6-1 名古屋ルーセントタワー40F

©2018 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有に属します。
Ahead of What's Possible は
アナログ・デバイセズの商標です。

TA13205-0-2/16

www.analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™