

高速 ADC の電源回路設計で 考慮すべきこと

著者:

Rob Reeder, Senior Applications Engineer, High
Speed Signal Processing Group, Analog Devices, Inc.
Greensboro NC

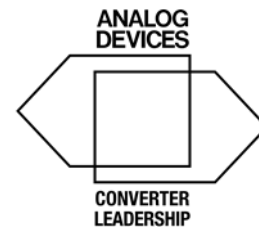


図 1. A/D コンバータと D/A コンバータの市場をリードする
アナログ・デバイセズ

背景

電源回路の設計手法には多数の選択肢があります。それらのうちどれを選択するのかが、高速 A/D コンバータにクリーンな電源を供給する回路を設計するうえでの重要な鍵になります。正しい選択を行い、最適な回路を設計するところが、設計者の腕の見せ所です。

A/D コンバータの電源には、古くから LDO (Low Drop Out) レギュレータが使われてきました。しかし LDO レギュレータは、効率が悪いという問題があります。それに対しスイッチング・レギュレータは高い効率が得られます。ただしスイッチング・レギュレータを利用する場合には、適切なレギュレータ製品を選択することはもちろん、ノイズの問題へ対処することが電源回路の設計における必須事項となります。

本稿ではまず、A/D コンバータの特性が、電源ノイズによってどのような影響を受けるのか、またその影響を評価するには、どのように測定を行えばよいのかを説明します。続いて、選択した A/D コンバータにとって、適切な電源回路を設計するためには、ノイズによる影響の測定結果を、どのように活用すればよいのかを明らかにします。最後に、高速 A/D コンバータ用の電源回路の設計における指針となる、いくつかの基本的なガイドラインを示します。

一般に、A/D コンバータ (ADC) を用いて、システム内の信号をより正確に測定したい場合には、なるべく高い分解能のものを使用する必要があります。実際、今日の多くのアプリケーションでは、12 ビットまたはそれ以上の分解能の ADC を使い、しかも高速なサンプリングを行うことによって、必要な測定精度を得ています。しかし分解能が高い ADC を使うと、システムとしては一般的にノイズに対して弱くなるとされています。例えば、ADC の分解能を 12 ビットから 13 ビットに上げた場合、ノイズに対するシステムの感度は 2 倍になってしまうのです。このような背景から、ADC を使用した設計では、設計者が忘れがちなノイズ源、つまりシステムの電源からのノイズについて考慮することが重要です。ADC はノイズに敏感なデバイスなので、データシートに記載されているとおりの性能を得るには、アナログ信号、クロックに加え、電源についても十分に配慮しなければなりません。

今日のエレクトロニクス業界では、コストの低減を図るために、数多くの新たな設計が生み出されています。そして、それらのほとんどは、環境に優しいものだとうたわれています。確かに、消費電力を抑えることは、発熱の管理を簡単にでき、電力効率を最大化することにつながります。特に電池で駆動する携帯型機器では、電池の消耗を抑制し、機器の利用時間を延ばすことができるという点で非常に大きな意味を持ちます。ところが ADC のデータシートを見ると、スイッチング・レギュレータよりもノイズが小さいという理由から、低効率のリニア・レギュレータを推奨していることがほとんどです。ADC の電源については、ノイズの問題を最優先で考える必要があります。しかし最近の技術の進歩により、通信機器や医療機器など、ノイズに対する要求の厳しい用途にも、スイッチング・レギュレータが適用可能であることが実証されてきています (稿末に示した参考文献『How to Test Power Supply Rejection Ratio (PSRR) in an ADC (ADC における電源電圧変動除去比の試験法)』を参照)。

本稿では、高速 ADC 用の電源回路を設計するうえで、重要な要素となる評価指標について説明します。それらは PSRR (Power Supply Rejection Ratio : 電源電圧変動除去比) と PSMR (Power Supply Modulation Ratio) です。これらは、使用する ADC が電源ライン上のノイズにどれだけ敏感であるかを表しています。言い換えると、ADC を使用する際、その ADC に期待する性能を引き出すためには、電源がどれだけ低ノイズでなければならないのかを判定するためのものです。

アナログ電源ピンは“入力ピン”と考える

通常、電源ピンは入力ピンとは見なされません。しかし ADC においては、アナログ電源ピンが、クロック入力ピンやアナログ入力ピンと同様に、ノイズや歪みに対して敏感であることが知られています。その場合、アナログ電源ピンは、クロック入力ピンやアナログ入力ピンと同じように扱わなければなりません。

電源ピンに印可されるのは、本質的には直流 (DC) 電圧です。通常のシステムでの DC 電圧は、周期的に変動することなどはなく、一見、一定の値であるように見えるでしょう。しかし詳細に測定してみると、その DC 電圧に若干のノイズと歪みが加わっていることがあります。ノイズとしては、もともと電源から発生するものと、外部から混入するものの両方が考えられますが、いずれにしても、ADC の変換結果に影響を与える可能性があります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

2012/02

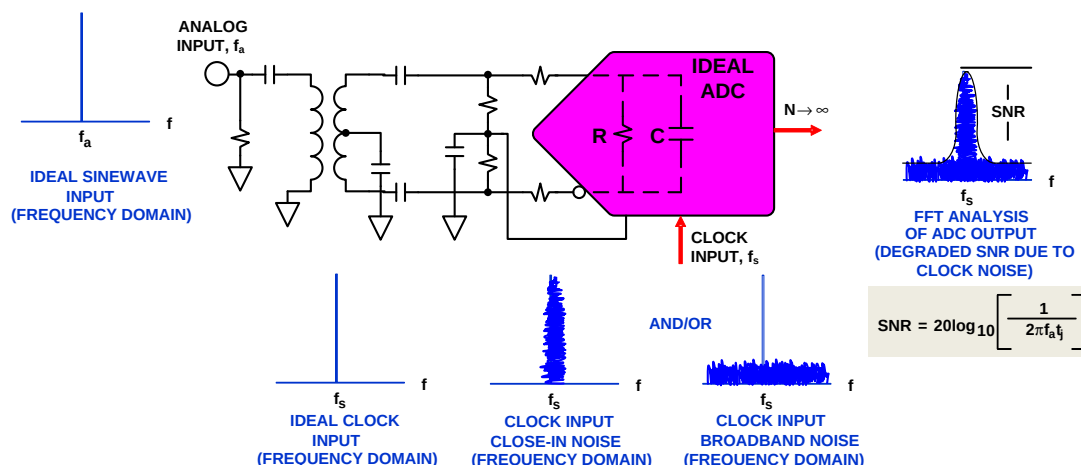


図 2. サンプリング・クロックのノイズが及ぼす影響

ADC のサンプリング・クロックにジッタが生じているケースについて考えてみましょう (図 2)。サンプリング・クロックに含まれるジッタは、周波数ドメインで見ると、近接ノイズ (close-in noise) や広帯域ノイズ (broadband noise) として現れます。これらのノイズの大きさは、使用する発振器とクロック回路に依存します。理想的な ADC に理想的なアナログ信号が入力されたとしても、クロックが理想的なものでなければ、A/D 変換後の出力スペクトルに影響が現れます。

とです。ただし大きく異なる点が 1 つあります。それは、電源ピンについては、40dB~60dB 程度 (ADC チップの製造プロセスと回路構成に依存する) 減衰する、広帯域な入力ピンだと見なすべきことです。一般に MOS トランジスタで構成された回路では、ソースカドレインのノードは、本質的に信号経路からは分離されています。そのためソースに生じたノイズは、ゲートのノードまたは信号経路に対して、大きく減衰します (図 3)。ただしこれが成り立つのは、回路構成が正しい方式を採用しており、最大限に分離が可能な場合だけです。図 4 に示したように、コモン・ソースのような回路構成の場合、出力部は抵抗素子を通して電源からバイアスされます。そうすると、電源のノイズが顕著に存在するようなケースでは、アナログ電源ピンに混入したノイズや変調成分が、簡単にノードを通り抜けることができ、その回路自身や近接する回路に影響を及ぼします。このようなことから、電源ノイズが ADC に及ぼす影響度は、ADC の内部に用いられている回路構成に依存しており、PSRR がいかに重要か分かります。

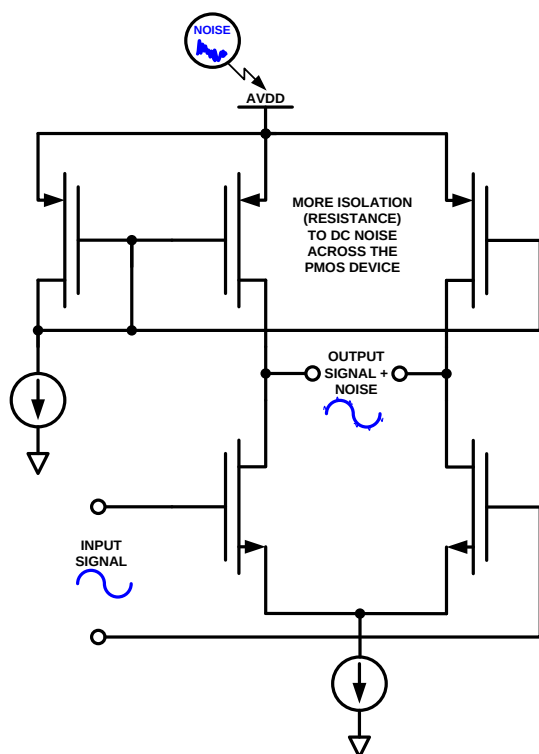


図 3. 回路構成の例 (その 1)

電源ピンのノイズについても、クロックのノイズと同じように影響を与えることは容易に推察できるでしょう。ここで図 2 のサンプリング・クロックを、アナログ電源に置き換えて考えてみます。この場合も、クロックの場合と同じメカニズムが働き、近接ノイズや広帯域ノイズの影響が出力スペクトラムに現われます。つまりアナログ電源ピンは、クロック入力ピンと同じような性質があるというこ

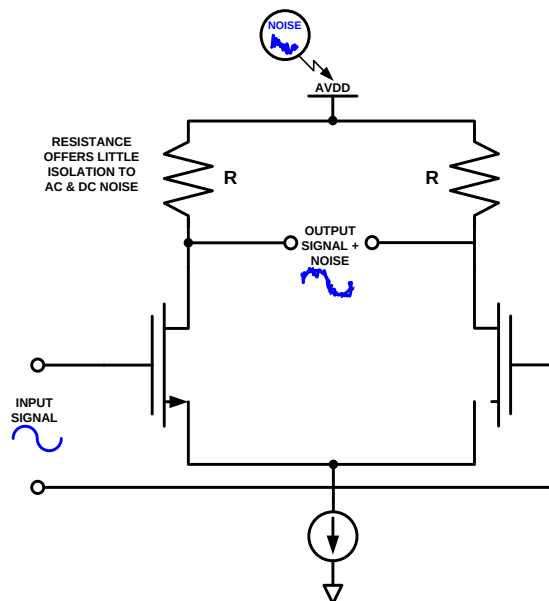


図 4. 回路構成の例 (その 2)

このことから推察できますが、ノイズの周波数特性は、寄生抵抗や寄生容量の成分、不整合性に依存します。半導体製造プロセスの

微細化が進み、半導体素子がより小さく形成できるようになったことで、素子の動作は高速になり、利用可能な帯域幅が広がる傾向にあります。同時に、電源電圧はより低くなり、トランジスタのスレッシュホールドもより低くなっています。これらの要因から、クロック入力ピンやアナログ入力ピンと同様に、アナログ電源ピンも、広帯域な入力ピンとして取り扱う必要があるのです。

PSRR/PSMR の定義

電源ライン上のノイズに対する、ADC の耐性を表す指標としては、PSRR-dc、PSRR-ac、PSMR があります。PSRR-dc は、電源電圧の DC 変動に対する ADC の出力変動（利得変動またはオフセット・エラー）の比です。これは一般的に LSB 換算か、パーセント、または dB 単位の対数値 $[\text{PSRR} = 20 \times \log_{10}(\text{出力変動}/\text{電源電圧の変動分})]$ で表現されます。PSRR-dc は、通常は DC 値として規定されます。しかし PSRR-dc は、電源電圧の DC 変動によって、特定の ADC のパラメータがどのように変化するかを表すだけのものです。言い換えれば、ADC 全体としてのノイズ耐性を表すことはできません。

もう 1 つの PSRR-ac は、PSRR-dc よりも優れた指標といえます。PSRR-ac は、DC 電源電圧に交流信号（ノイズ源）を重畳した状態で、その電源電圧の変動分がどのくらい除去されているかを測定します。具体的には、ある振幅の交流信号を与えたとき、ADC のノイズ・フロアから突出するスプリアス（ノイズ）を測定することにより、ADC のノイズ除去性能を評価します。これによって、電源にどのくらいの振幅のノイズが混入すると、ADC の変換精度に影響が出るのかを知ることができます。

3 つ目の指標である PSMR は、電源ノイズにより、アナログ入力信号がどのような変調を受けるかを表すものです。電源ノイズの影響により、ADC に入力された IF 信号周波数の近くに変調信号が現れることがあります。注意深く電源回路を設計していないと、キャリアの側波帯（サイドバンド）またはその周辺に大きなノイズが生じることがあるのです。PSMR はこの現象を評価する指標です。PSMR も、その ADC が電源ノイズに対してどのくらい敏感であるのかを示すものです。

ADC に入力されるほかのノイズと同様に、電源ノイズも重視する必要があります。ほかのノイズと同等な重要度でテストを行い、適切に処置を施さなければならないということです。システムの電源

ノイズによる影響について、ADC のユーザーがよく理解しておくことは極めて重要なことです。さもなければ、電源ノイズによって ADC のノイズ・フロアが上昇し、システム全体のダイナミック・レンジが制限されてしまいます。その結果、システムの要求性能が得られないという問題も生じかねません。

PSRR/PSMR の測定方法

図 6 は、基板上に実装された ADC の PSRR の測定方法です。PSRR の測定では、電源に交流信号を重畳し、ADC のダイナミックな挙動への影響を評価します。すべての電源に対して、この評価をそれぞれ行います。交流信号は、大容量のコンデンサ（例えば 100 μ F の無極性電解コンデンサ）を使用して重畳させます。また DC 電源に対して、交流信号の影響をブロックするため、1mH 以上のインダクタを使用します。これは「バイアス・ティー」と呼ばれているもので、コネクタ付きパッケージに収められた製品が市販されています。交流信号の振幅は、オシロスコープで測定します。具体的には、ADC の電源ピンにオシロスコープのプロブをつないで測定を行います。

話をわかりやすくするために、ここでは電源電圧に重畳させる交流信号の大きさを、ADC 入力フルスケールと比較しやすい値としてみます。例えば、ADC の入力フルスケールが 2Vp-p であれば、振幅が 200mVp-p の交流信号を使用するといった具合です。つまり入力フルスケールに対して、振幅が -20dB の交流信号を使用するという意味になります。このように設定したら、ADC のアナログ入力ピンをグラウンドにつないだ状態（アナログ入力信号がゼロの状態）にして、FFT でスペクトルを観察します。そして、ノイズ・フロアから突出した振幅の周波数成分（エラー・スプリアス）がないかどうかをチェックします（図 5）。

PSRR 値は、FFT スペクトル上で観測されたスプリアスの大きさから、単純に -20dB（上記の例の場合）を引き算することで算出できます。例えばスプリアスが -80dB のところにあれば、 $\text{PSRR} = -80\text{dB} - (-20\text{dB}) = -60\text{dB}$ となります（ $\text{PSRR} = \text{スプリアス} [\text{dB}] - \text{オシロスコープによる測定値} [\text{dB}]$ ）。-60dB という大きさはそれほど大きく感じられないかもしれませんが、電圧に換算すると 1mV/V（つまり $10^{-60/20}$ ）という値です。また ADC のデータシートに示される PSRR 値としても一般的なものです。

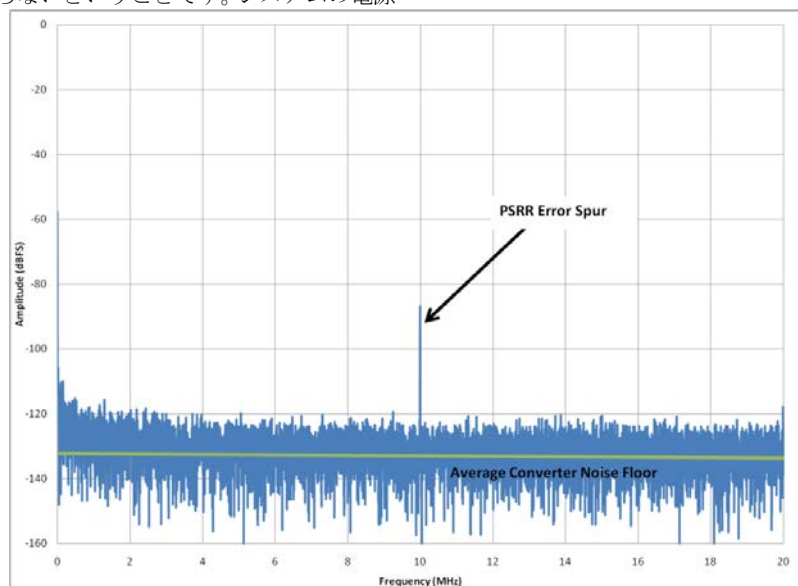


図 5. PSRR の測定結果（FFT スペクトラム）

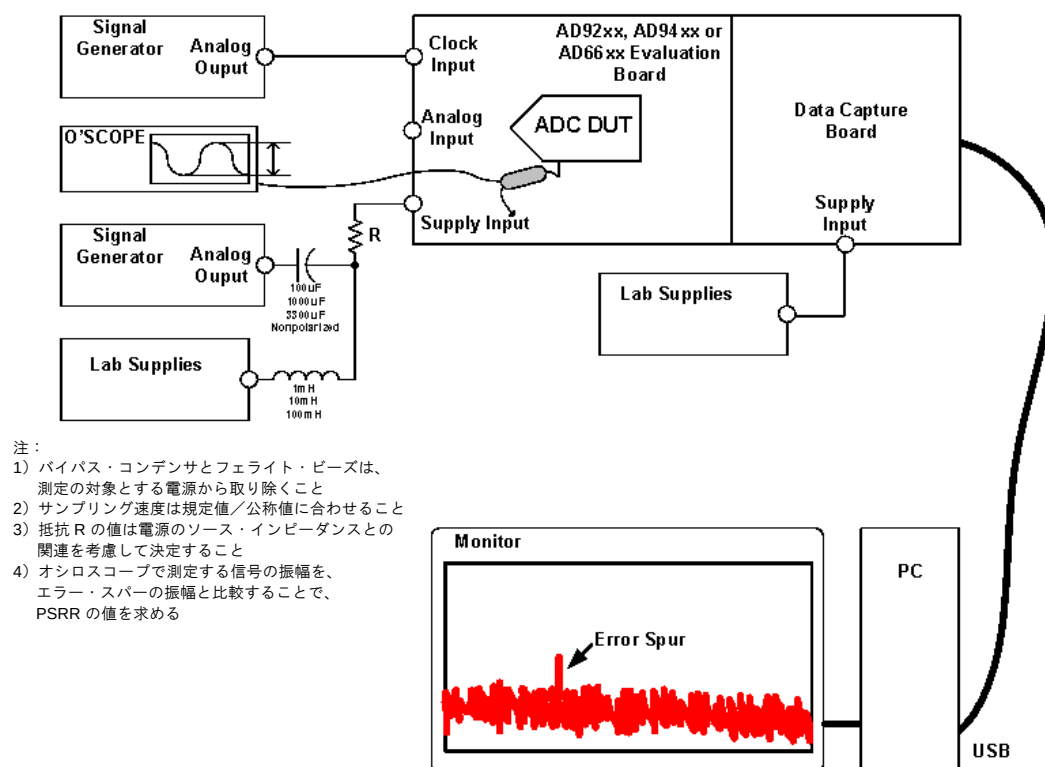


図 6. PSRR の測定系の典型的な構成

さらに詳細に ADC の PSRR を評価するために、続いて、交流信号の周波数と振幅を変化させてみます。ほとんどの場合、データシート上ではそれぞれのスペックは標準値 (typ 値) が示されています。まれにワーストケースの動作条件、あるいは最悪となる電源条件でのみ値を規定しているものもあります。仮に 5V のアナログ電源電圧を使用していたとしても、それが最悪な電源の条件というケースもありえます。データシートを参照する際には、すべての電源電圧に対して PSRR 値が規定されているかどうかを確認してください。完全に規定されていない場合には、メーカーに問い合わせてください。PSRR 値をきちんと考慮することにより、各電源に対して設計上の制約条件を適切に適用することが可能になります。

注意点として PSRR や PSMR の測定では、インダクタとコンデンサを組み合わせて使用することで、問題が生じることがあります。というのは、電源電圧に重畳する信号の周波数を掃引する際、ADC の電源ピンに印可したい振幅レベルを得るために、信号発生器の出力信号レベルを非常に大きくしなければならないケースがあるからです。これは、使用するインダクタとコンデンサの値により、ある周波数で信号が大きく減衰するノッチ・フィルタが構成されてしまうためです。このノッチ・フィルタにより、ノッチの周波数でグラウンド間を循環する電流が急増します。このことがアナログ入力に影響を及ぼす可能性もあります。このような現象を避けることは単純です。ある周波数で問題が起きるのなら、そのポイントでだけ、違う値のインダクタとコンデンサでテストすればよいということです。ただしここでは、インダクタとコンデンサによる損失が、直流でも生じることに留意する必要があります。例えば、電源電圧として 5V を使用しているのに、インダクタとコンデンサを通したテスト用基板上では 4.8V まで低下しているといったことが生じるのです。この損失分は、単純にもとの電源電圧を上げることで補償できます。この補正を行うために、必ず ADC の電源ピンの直流電圧も測定しておいてください。

PSMR は、PSRR とほぼ同じ方法で測定できます。異なるところは、PSMR の測定では、図 7 に示すように ADC のアナログ入力ピンに、

特定周波数のアナログ入力信号を印可することです。ノイズとして電源に印可する交流信号としては、変調効果を確認するために低い周波数の信号を用います。実際には 1kHz~100kHz 程度の周波数が使用されます。この交流信号の振幅は、その信号自体と変調された信号が、アナログ入力信号の周波数付近で観測される限り、比較的一定でかまいません。それでも、ノイズとして印可する交流信号の振幅を変えてみることは、無駄ではありません。結果的にアナログ入力信号の基本波成分の振幅と、エラー・スプリアスの最大振幅(最悪値)との比が PSMR になります。図 8 に PSMR の測定で得られる FFT スペクトラムの例を示します。

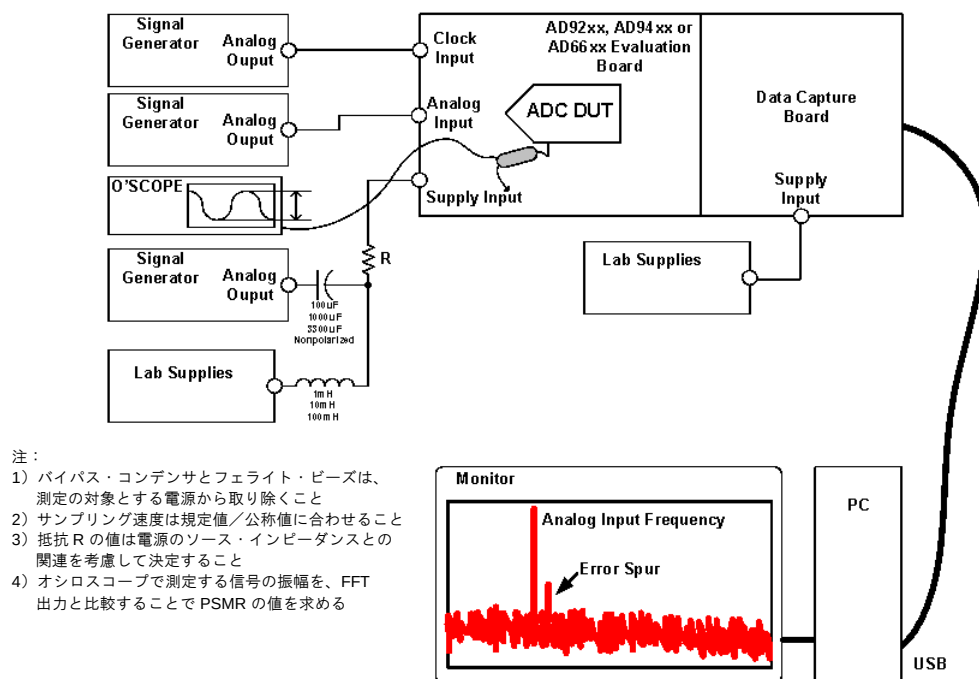


図 7. PSMR の測定系の典型的な構成

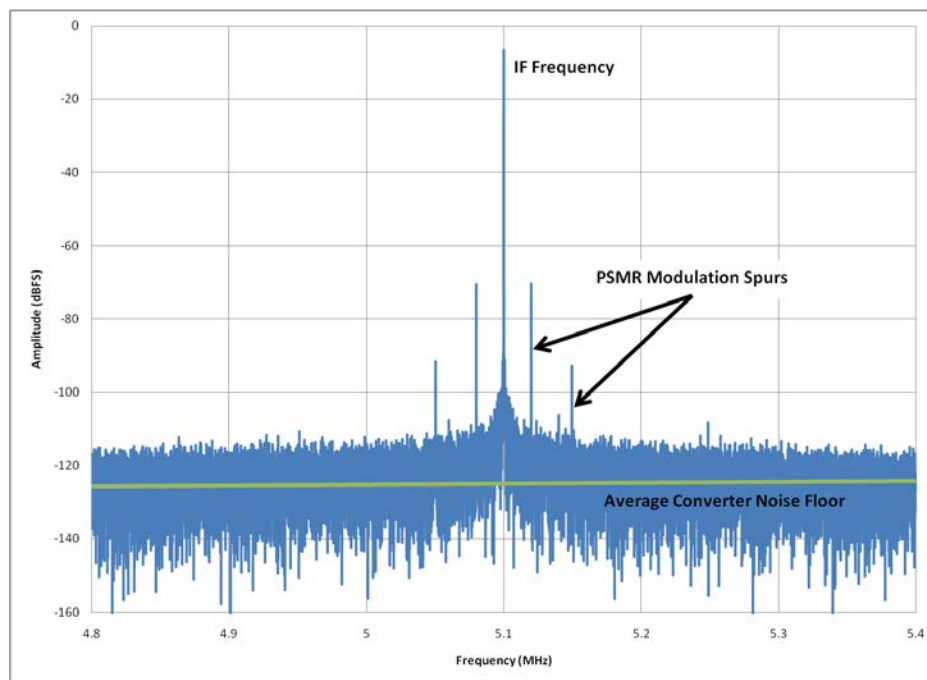


図 8. PSMR の測定結果 (FFT スペクトラム)

PSRR を電源回路設計に生かす

ADC にとって、言い換えればシステムにとって重要なことは、任意の端子からのノイズが性能に影響を与えないようにすることです。ここまで、その影響を評価する指標となる PSRR と PSMR について説明してきました。以降では測定値を実際に電源回路設計に活用する方法について述べていきます。

最初に行うべきことは、システムにとって最適な ADC を選択することです。そのうえで、リニア・レギュレータ、LDO レギュレー

タ、スイッチング・レギュレータなどのうち、どれを使うかを決定します。ここまでの説明でご理解いただけたと思いますが、レギュレータであれば何でもよいというわけではありません。データシートを確認し、各レギュレータのノイズとリップルの仕様について調べる必要があります。特にスイッチング・レギュレータについては、そのスイッチング周波数も確認しなければなりません。

一般的なレギュレータであれば、100kHz 帯域で 10μV 程度のノイズが生じるのが普通です。ここではそのノイズがホワイト・ノイズだ

と仮定しましょう。そうするとノイズ密度は、システム設計での規定周波数帯域の全体にわたって $31.6\text{nVrms}/\sqrt{\text{Hz}}$ になります。

次に、電源ノイズによって ADC の性能が劣化するポイントを知るために、PSRR のスペックをチェックします。ほとんどの高速 ADC では、PSRR 値は第 1 ナイキスト領域 (サンプリング周波数 f_s の 1/2 以下) にわたって -60dB (1mV/V) 程度の値となっています。この仕様が明記されていない場合には、上述した方法で測定を行うか、メーカーに値を問い合わせてください。

ここではサンプリング速度が 125MSPS (メガサンプル/秒) で、入力フルスケールが 2Vp-p 、S/N 比が 78dB の 16 ビット ADC を使用するケースを考えます。この場合ノイズ・フロアは 11.26nVrms となります。この ADC から見える電源ノイズによる影響を、このノイズ・フロア以下に抑えなければなりません。ADC のノイズは、第 1 ナイキスト領域において、 $11.26\text{nVrms}/\sqrt{\text{Hz}} \times \sqrt{125\text{MHz}/2} = 89.02\mu\text{Vrms}$ となります。レギュレータ自体のノイズ ($31.6\text{nVrms}/\sqrt{\text{Hz}}$) は ADC ノイズの 2 倍以上ですが、ADC の PSRR が -60dB なので、換算後のノイズは $31.6\text{nV}/\sqrt{\text{Hz}} \times 1\text{mV/V} = 31.6\text{pV}/\sqrt{\text{Hz}}$ となります。これは、ADC のノイズ・フロアよりはるかに低い値です。したがって、このレギュレータのノイズが ADC の性能を劣化させることはありません。

電源のフィルタリング、グラウンド、レイアウトなども重要な要素です。ADC の電源ピンに $0.1\mu\text{F}$ のコンデンサを付加すると、計算したレベルよりもさらにノイズを低く抑えることができます。また、チップ内部の構造にも依存しますが、電源ピンのなかには他のピンよりも多くの電流が流れたり、よりノイズに敏感であったりします。そのため、慎重にデカップリング・コンデンサを用いる必要があります。場合によっては、追加でデカップリング・コンデンサが必要になることもあるでしょう。またレギュレータ出力に単純な LC (インダクタ・コンデンサ) フィルタを追加することも、ノイズ抑圧に効果的です。スイッチング・レギュレータを使用する場合には、フィルタを多段にカスケードで使用すると、ノイズをさらに抑圧できることもあります。フィルタ段を追加すると、約 20dB/decade の傾斜で減衰量が得られます。

ここまで述べたことは、基本的に ADC を 1 つだけ使用することを前提としており、システム内で複数の ADC、もしくは複数のチャンネルを使用する場合は状況が異なります。例えば超音波検査装置では、複数の ADC チャンネルを搭載し、A/D 変換後に複数のデジタル・データを統合するという手法によって、広いダイナミック・レンジを実現しています。この手法では、チャンネル数が 2 倍になるごとに、ADC (システム) のノイズ・フロアを 3dB ずつ低下できます。2 つの ADC を使用する場合、ノイズ・フロアは半分になり (-3dB)、4 つの ADC を使用する場合にはノイズ・フロアはさらにその半分になります (-6dB)。これは「各 ADC は互いに相関のないノイズ源として取り扱うことができる」ということから成り立っています。相関のないノイズ源は、互いに独立しており、瞬時的にも互いに関連しないため、二乗和根 (Root Sum Squared) をとることができます。ここで電源回路設計に立ち返ると、1 つの注意すべき事があります。チャンネル数を増やすと、システムのノイズ・フロアが低くなり、よりノイズに敏感になるため、電源回路設計における制約条件が厳しくなるということです。

結論

現実のアプリケーションにおいて、すべての電源ノイズを完全に除去することを保証するのは不可能です。したがって ADC のユーザーは、電源回路の設計/レイアウトの段階で、常に先見性を持って作業を行わなければなりません。以下、本稿の締めくくりとして、プリント基板設計において、電源ノイズに対する耐性を最大限に高める有効なヒントを示します。

- すべての電源ラインをデカップリングする
- フィルタ段を追加すると、約 20dB/decade の傾斜で減衰量が得られる
- IC や基板の一部/領域に対して、長い電源配線をする場合には、デカップリングをさらに強化する
- 高周波信号と低周波信号の両方のデカップリングを行う
- 片側がグラウンドに接続されているデカップリング・コンデンサの直近 (デカップリング・コンデンサを中心として見た場合、IC の反対側) に、配線と直列にフェライト・ビーズを挿入する方法が一般的に用いられている。これについては、LDO レギュレータやスイッチング・レギュレータといった電源の種類にかかわらず、システム基板に供給される電源ごと (電圧源ごと) に個別に挿入する必要がある
- デカップリング・コンデンサを追加する場合、電源プレーンとグラウンド・プレーンが対面で配置 (4mil 間隔以下) された内層を用いること。これによりプリント基板内でこれらが高周波的に結合する
- 優れたパターン・レイアウトの考え方をを用いて、ADC のフロントエンド部やクロック回路のような、ノイズに敏感なアナログ回路から、電源配線はできるだけ離して配置する
- 適切に回路を分割することが 1 つの鍵である。部品によっては、プリント基板上のなるべく遠い場所にそれぞれ配置することで、相互の影響を軽減できる
- グラウンド・リターン配線には注意を払う。特に基板上のデジタル回路の過渡電圧が、アナログ回路に影響しないように、デジタル側の配線には気を配る。場合によっては、グラウンド・プレーンを分割して使用するという方法も有効である
- アナログ回路部分とデジタル回路部分は、それぞれの電源/グラウンド・プレーン上に配置する。これはノイズや結合による干渉を抑圧するのに有効である
- IC メーカーの推奨事項には極力従い設計を行う。アプリケーション・ノートやデータシートに明確な記載がなければ、その IC の評価ボードをよく調べる。評価ボードは、プリント基板設計における非常に良いお手本となる

以上、本稿では、高速 ADC の性能に大きく影響を与える、電源ノイズについて説明してきました。電源ノイズに対する ADC の感度についての基礎的な考え方と、システム性能を確保するうえでノイズの抑制が重要である理由について理解していただけたと思います。ADC のデータシートに記載されている性能を得るためには、レイアウト設計のテクニック、適切なハードウェアの選択も気を配る必要があります。高速 ADC の電源回路設計に、本稿を活用していただければ幸いです。

著者について

Rob Reeder は、アナログ・デバイセズ社（ノースカロライナ州グリーンズボロ、www.analog.com）の高速信号処理グループでコンバータ・アプリケーション分野のシニア・エンジニアを務めています。入社は 1998 年で、高速 ADC の開発とサポートに責任を持っています。イリノイ州デカルブにあるノーザン・イリノイ大学で、BSEE（電気工学士）と MSEE（電気工学修士）の学位を取得しています。メール・アドレスは rob.reeder@analog.com。

参考文献

“How to Test Power Supply Rejection Ratio (PSRR) in an ADC”. EETimes, July 2003.

Analog Dialogue 41 : [アプリケーション・エンジニアに尋ねる-37 低ドロップアウト・レギュレータ](#)

“Designing with Switching Regulators in High Speed A/D Converter Applications”. ADI Webinar. June 2009.

“Powering High Speed Analog-to-Digital Converters with Switching Power Supplies”. EETimes, TechOnLine. May 2009.

AN-835 アプリケーション・ノート :

[高速 A/D コンバータ \(ADC\) のテストと評価について](#)
(和文 Rev.0 / 最新版は[英文](#)をご覧ください)

Motchenbacher, C.D. and J.A. Connelly. 1993. *Low-Noise Electronic System Design*. Wiley.

Circuit Note CN-0135, *Powering the AD9272 Octal Ultrasound ADC/LNA/VGA/AAF with the ADP5020 Switching Regulator PMU for Increased Efficiency*.
<http://www.analog.com/jp/CN0135>

Circuit Note CN-0137, *Powering the AD9268 Dual Channel, 16-bit, 125 MSPS Analog-to-Digital Converter with the ADP2114 Synchronous Step-Down DC-to-DC Regulator for Increased Efficiency*.
<http://www.analog.com/jp/CN0137>