

# LO信号の位相ノイズをシステム・レベルで モデル化、PLLが分散配備された フェーズド・アレイの解析が可能に

著者: Peter Delos Analog Devices, Inc.

#### 概要

デジタル・ビームフォーミングを利用するフェーズド・ アレイでは、一般に局部発振周波数信号(以下、LO信 号)を生成するために、次のような実装方法がとられま す。すなわち、アンテナ・アレイ内に分散配備された一 連のフェーズ・ロック・ループ(PLL)に対して、共通 のリファレンス周波数信号を分配するという方法です。 ただ、分散配備されたPLL(以下、分散型PLL)の位相ノ イズ性能を総合的に評価する方法について詳しく記され た文献は存在しません。

分散型システムにおいて、各部に共有される部分がノイズ 源となる場合には相関性が生じます。一方、ノイズ源も分散 されていてそれぞれの非相関性が維持されるならば、RF信 号を結合する際にノイズが抑制されます。そのため、システ ムを構成するほとんどのコンポーネントについては直感的 な方法によって評価することができます。PLLの場合、ルー プを構成するすべてのコンポーネントには、ノイズの伝達 関数が存在します。それらが及ぼす影響の度合い(寄与分) は、制御ループの関数で表されます。また、周波数変換を伴 う場合にはそれにも依存します。このことから、位相ノイズ の総合的な評価は複雑なものになります。本稿では、PLLの 既知のモデル化手法を基に、相関と非相関それぞれの寄与 因子について評価することにより、周波数オフセットに対す る分散型PLLの寄与分を明らかにする方法を示します。

#### はじめに

どのような無線システムにおいても、レシーバーや励振器用の LO信号の生成方法を設計する際には、入念な注意が払われま す。最近では、フェーズド・アレイ・アンテナを実現するシス テムに、デジタル・ビームフォーミングが採用されるケースが 増えています。そうしたシステムについては、分散配備された 多数のレシーバーや励振器にLO信号とリファレンス周波数信号 を分配するために、より複雑な設計が求められるようになって います。

システム・アーキテクチャのレベルで1つ目の選択肢となるの は、必要なLO信号そのものを分配する方法です。もう1つの選 択肢は、それよりも低いリファレンス周波数信号を分配し、使 用個所に近いところで必要なLO信号を生成するというものにな ります。具体的には、PLLによってLO信号を局所的に生成する 方法が、直ちに利用可能で高度に統合された方法となります。 このアプローチを選択したとして、次に課題になるのは、分散 配備された多様なコンポーネントと中央のコンポーネントが原 因で生じるシステム・レベルの位相ノイズを評価することで す。

図1に、分散型PLLを備えるシステムの概念図を示しました。図 のように、共通のリファレンス周波数信号が多数のPLLに分配 されます。それを受け取った各PLLはLO信号を出力します。図1 (a) の回路の出力であるLO 1、…、LO Nは、図1 (b) のミキ サーの入力になります。

システム設計者にとっての課題は、分散型システムにおけるノ イズの影響について明らかにすること、相関/非相関のノイズ 源について理解すること、システム全体のノイズを見積もるこ とです。PLLには、周波数変換とループ帯域幅の設定に伴う関 数に加え、ノイズの伝達関数が存在します。それよって、課題 の内容はより複雑になります。







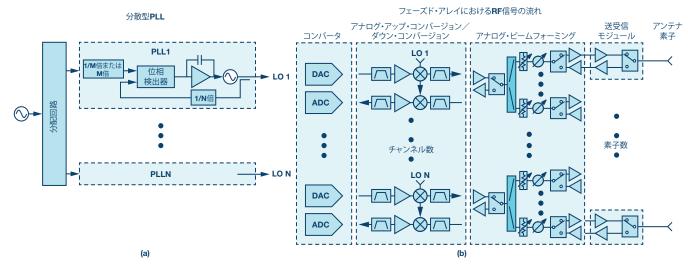


図1. 分散型PLLを使用するシステム。各PLLは、共通のリファレンス用発振器に対して位相をロックします。 LO信号(1~N)が、フェーズド・アレイのミキサーのLOポートに入力されます。

#### 複数のPLLによるトータルのノイズを測定する

図2に示したのは、複数のPLLによるトータルのノイズを測定した結果です。この測定は、トランシーバーIC「ADRV9009」を複数用意し、それらの送信出力を結合することによって行いました。ICが1個の場合、2個の場合、4個の場合のデータを示しています。このデータを見ると、複数のICの出力を結合することにより、10logN(NはICの数)という明らかな改善が得られることがわかります。但し、この結果を得るためには、ノイズの少ない水晶発振器をリファレンス源として使用する必要がありました。次のセクションでは、多数のトランシーバーで構成される大規模なアレイと、より一般的な分散型PLLを備える任意のアーキテクチャに対して、この測定値がその規模によってどのように変化するかを計算する方法を導出します。それに向けて必要な、PLLのノイズのモデル化も実施します。

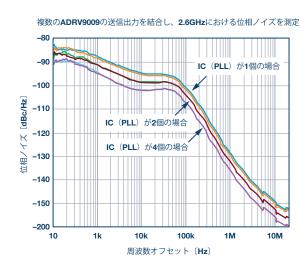


図2. 複数のトランシーバーIC(PLLを含む)の出力を結合し、 位相ノイズを測定した結果

#### PLLのモデル

PLLのノイズのモデル化については、既に実証済みの方法が確立されています¹~⁵。図3にPLLの出力に現れる位相ノイズの解析結果を示しました。このようなグラフがあれば、設計者はループを構成する各部品(寄与因子)がノイズにどれだけの影響を及ぼすのか直ちに評価することができます。その影響を加算することにより、全体的なノイズ性能を算出することが可能になります。モデルのパラメータには、図2のデータの代表値を設定しました。また、多数のICを結合するケースについては、位相ノイズの評価に使用した発振源の寄与因子を設定しました。

分散型PLLの影響を調べるために、まずはリファレンスの寄与分と、残りのPLLのコンポーネントからの寄与分を、PLLのモデルからエクスポートします。

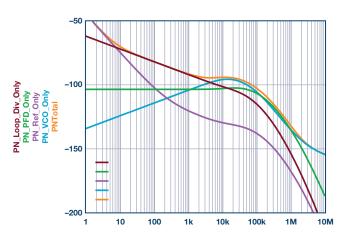


図3. 標準的なPLLのノイズの解析結果。すべてのコンポーネントからのノイズの寄与分を示しています。すべての寄与因子を組み合わせることによって、トータルのノイズ量を求めることができます。

#### 既知のPLLのモデルを分散型PLLのモデルに拡張

次に、多数の分散型PLLを備えるシステムのトータルの位相ノイズを計算する手順を説明します。この方法は、リファレンス用発振器からのノイズの寄与分が、VCO(電圧制御発振器)やループを構成するコンポーネントのノイズからの寄与分と分離できるという前提に基づいています。図4に示したのは、1つの発振器からのリファレンス周波数信号を多数のPLLに分配するという仮想的な例における位相ノイズです。原理を示すことを目的としており、分配時にはノイズは発生しないという非現実的な仮定の下で計算を行っています。分散型PLLからのノイズの寄与分は互いに非相関で、10logNだけ抑えられると仮定しています。ここでNは分散型PLLの数です。チャンネルを追加することに伴い、高いオフセット周波数におけるノイズが抑えられます。大規模な分配システムになると、ノイズに寄与するのはほぼ完全にリファレンス用の発振器のみとなります。

図4の例では、リファレンス用発振器からの信号の分配に関する仮定が簡素化されています。実際にシステム・レベルで解析を行う際には、この分配に伴う寄与分も考慮する必要があります。その寄与分によって、トータルのノイズ性能は低下します。ただ、このように簡素化を図った解析も、アーキテクチャにおけるトレードオフによって、システム全体の位相ノイズにどのような影響が生じ得るかを直感的に理解する上では非常に有用です。次のセクションでは、分配システムにおける位相ノイズの影響について検討します。

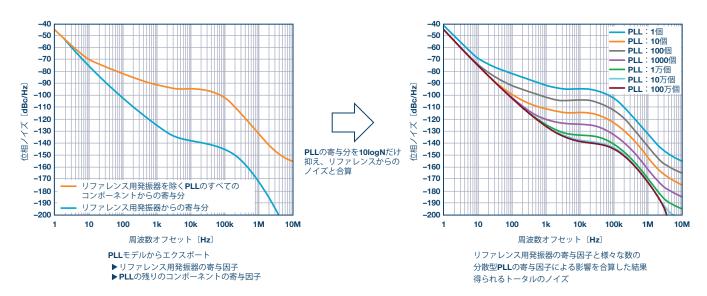


図4. 分散型PLLのノイズをモデル化するにあたっての出発点。リファレンス用発振器からの位相ノイズへの寄与分と、PLLを構成するその他すべてのコンポーネントからの位相ノイズへの寄与分は、PLLモデルから抽出しました。 分散型PLLの数の関数として表されるトータルの位相ノイズは、リファレンスからのノイズとの間で相関性を持ちます。 多数のPLLの間で分散されるノイズの寄与因子には相関性がないと仮定して算出しています。

## リファレンス信号の分配に伴う位相ノイズへの 影響

ここでは、2つの分配方式を例にとって評価を行います。図5に示したのが1つ目の例です。この例では、VCOの発振周波数を高速にチューニングすることが可能な広帯域対応のPLLを選択しています。リファレンス信号の分配は、クロックPLL ICによって実現されています。クロックPLL ICは、JESD204Bに対応するインターフェースをはじめとするデジタル・データ・リンクにおいて、タイミングに関する制約を緩和するためにも一般的に使用されています。左下のグラフは、個々の寄与因子による影響を示したものです。このグラフはデバイスの周波数における値を示したものであり、出力周波数にスケーリングした値を示しているわけではありません。右下のグラフは、システム・レベルの位相ノイズを示したものです。分散型PLLの数を変えた場合の値をプロットしています。

このモデルのいくつかの特性について説明します。ここでは、 公称周波数が100MHzの高性能な水晶発振器を1個使用するケ ースを想定しています。システム全体のソースとなるこの発振 器(以下、中央発振器)単体の寄与因子は、ハイエンドのレベ ルにあると言える水晶発振器の性能を反映して設定してありま す。とはいえ、必ずしも最も高額で最も高い性能が得られる発 振器を想定しているわけではありません。中央発振器からの信 号は、ファン・アウトの観点から、実際には限られた数のPLL にだけ供給されます。それらのPLLがファン・アウトの面で実 用的な範囲内で再び分配源となることにより、システム全体へ の分配が実現されます。この例では、まず16個のPLLに対して 分配が行われ、そこからまた枝分かれ状に分配が行われること を前提としています。図5の左下に示したグラフは、リファレン ス用発振器の寄与分を除き、PLLを構成する各コンポーネント のノイズの寄与分を表したものです。この例では、中央発振器 の出力と同じ周波数信号を分配すると仮定しており、ノイズに 対する寄与因子は、そのために必要な標準的なPLL ICに基づい たものとしています。

広帯域に対応するPLLは、Sバンドの周波数をカバーすると想定しています。高速にチューニングを行えるように、ループ帯域

幅は1MHzに設定しています。これもほぼ実用的な値です。

こうしたモデルの設定は、現実的な観点から標準的なものになるように行っています。これを利用することにより、アレイにおける累積的な影響を評価することができます。特定のPLLのノイズ性能は、設計の細かい部分を調整することによって改善することが可能です。実際、そのような調整が行われることが期待されますが、ここでは、全体的に最良の結果を得るためには、どこに設計リソースを割くべきなのかという設計時の判断を支援することを目的としています。言い換えると、使用しているコンポーネントから、どれだけの性能を引き出せるのかということを示そうとしているわけではありません。

図5の右下のグラフは、LO信号の分配に伴うトータルの位相ノ イズを計算した結果です。PLLの構成要素である個々の寄与因 子の伝達関数が適用されています。個々の寄与因子の影響は、 出力周波数に応じて増減します。また、PLLのループ帯域幅に も依存します。この分析では、システムにおける分配数も考慮 に入れてあります。それぞれ互いに非相関であることを前提と しているので、寄与分は10logNだけ低減されています。分配数 は16という前提なので、分配による寄与分は10log16だけ低減 されます。この値は分配が繰り返されるにつれて小さくなりま す。しかし、追加されるノイズの寄与分は、最初の寄与分より も小さくなります。大規模なアレイで分配を行う場合、ノイズ の大部分は、最初の一連のアクティブなデバイスによって生成 されます。ここで、ファン・アウト数が16、つまり、各16個の アクティブなコンポーネントで構成されるアクティブなデバイ スの入力に中央発振器からの信号が接続されるケースを考えま す。その場合、16個のデバイスで構成される2段目の分配にお いては、すべてが互いに非相関であるなら、約0.25dBしか性能 は低下しません。更に分配数を増やした場合、全体的な寄与分 はより小さくなります。そこで、解析を簡素化するために、分 配数に関する影響は考慮せず、分配によるノイズの寄与分は、 並列に配備された最初の16個のPLLコンポーネントだけを考慮 して計算することにします。

得られたグラフを見ると、複数の要因による影響が及んでいる ことがわかります。

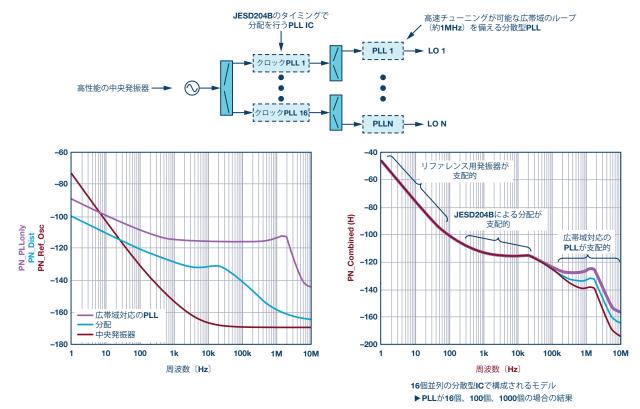


図5. 広帯域対応の分散型PLLを使用した場合の例。PLL ICによって分配を行っています。

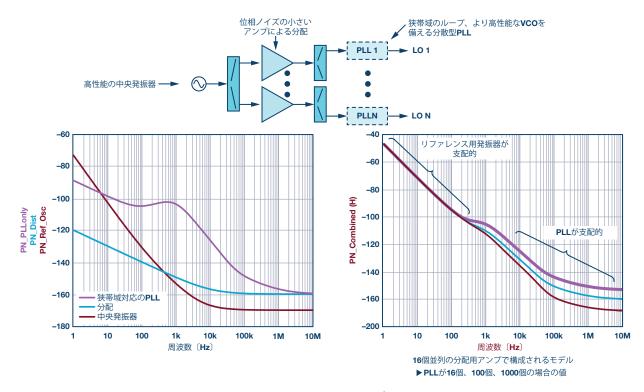


図6. 狭帯域対応の分散型PLLを使用した場合の例。アンプによって分配を行っています。

1個のPLLのモデルと同様に、周波数が低い領域においてはリファレンス信号の影響が支配的で、周波数が高い領域においてはVCOの影響が支配的であることが見てとれます。また、周波数が高い領域のノイズは、非相関のVCOの寄与分を加算することに伴って改善されます。これについては、かなり直感的に理解できるでしょう。一方、オフセット周波数軸上で見ると、分配用の選択肢に左右される広い領域が存在することがわかります。この部分について直感的に理解することは難しく、モデルの値の影響について詳しく見てみる必要があります。そこで、2つ目の例では、よりノイズを抑えた状態で分配を行い、よりループ帯域幅の狭いPLLを使用して検討を実施します。

図6に示したのは、1つ目の例とは異なる方法で信号の分配を行 った結果です。リファレンスについては、1つ目の例と同じくノ イズの小さい水晶発振器を使用しています。ただ、PLLによっ てリタイミングと再同期を行うのではなく、RFアンプを使用し て分配を実施しています。分散型PLLは、固定周波数で動作す るという設定です。これには2つの効果があります。1つは、単 一周波数でチューニング範囲が狭い場合、本質的にVCOの性能 を高くできるというものです。もう1つは、ループ帯域幅をはる かに狭められるということです。左下のグラフには、個々の寄 与因子による影響を示しています。中央発振器については、1つ 目の例と同じ設定です。分配用のアンプは、位相ノイズが小さ いというだけで、特に高性能なものではありません。それでも 1つ目の例のようにPLL ICを使用するよりも、はるかに良い結果 が得られていることに着目してください。VCOの性能が高くな り、ループ帯域幅が狭くなったことで、高いオフセット周波数 における分散型PLLのノイズ性能が改善されます。但し、1kHz 付近の周波数では、広帯域対応のPLLを使用した1つ目の例より も、ノイズ性能が低下します。右下のグラフは、トータルのノ イズ性能を示したものです。低い周波数では、リファレンス用 発振器の影響が支配的です。ループ帯域幅を超えると、分散型

PLLの影響が支配的になり、アレイのサイズと分散型PLLの数が 増大するにつれて性能は改善されます。

図7は、上記2つの例を比較した結果です。約2kHz~5kHzのオフセット周波数において、かなりの差がある点に注目してください。

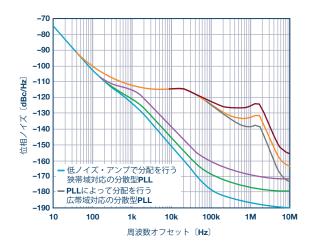


図7. 図5と図6を比較した結果。システム・レベルの性能は、 広い周波数範囲にわたって、選択した分配方式と アーキテクチャに依存することがわかります。

#### 分散型PLLに関するアレイ・レベルでの考察

ここまでの内容から、システム全体の位相ノイズ性能に対する 各寄与分の重み付けについてご理解いただけたと思います。ここまでの内容を踏まえれば、フェーズド・アレイまたはマルチ チャンネルのRFシステムのアーキテクチャに関する複数の結論 を導き出すことができます。

#### PLLの帯域幅

分散型PLLを採用した従来の設計では、位相ノイズを最適化するために、ループ帯域幅にオフセット周波数を設定することで、全体的な位相ノイズのプロファイルを最小化するということが行われていました。一般に、その周波数としては、出力周波数に対して正規化されたリファレンス用発振器の位相ノイズが、VCOの位相ノイズと交差する周波数が使われていました。ただ、多数のPLLを備える分散型システムの場合、それが最適なループ帯域幅ではない可能性があります。つまり、分散コンポーネントの数も考慮に入れる必要があります。

分散型PLLを使用したシステムにおいて、LO信号のノイズを最適化するには、リファレンス信号の相関ノイズの寄与分が最小限に抑えられるように、ループ帯域幅を狭くしなければなりません。

通常、PLLを高速にチューニングする必要があるシステムの場合、チューニングの速度を最適化するためにループ帯域幅が広く設定されます。残念ながら、これは位相ノイズの寄与分を最適化するという目的とは相反する処置となります。この問題を解決するための1つの方法は、広帯域に対応するループの前段に狭帯域に対応する分散型のクリーンアップ・ループを配置し、リファレンスがもたらすノイズと分配によるノイズが相関を持つオフセット周波数を低くすることです。

#### 大規模なアレイ

数千ものチャンネルを備えるシステムの場合、分散配備されたコンポーネントによって、かなりの性能の改善が得られます。但し、それは分散配備されたコンポーネントの寄与分の非相関性が維持される場合に限ります。重要な課題は2つあります。1つは、リファレンス用発振器として適切なものを選定することです。もう1つは、分散配備されたレシーバーや励振器に対して信号を分配するシステムのノイズを低く保つことです。

#### ダイレクト・サンプリング・システム

現在は、GSPS(ギガ・サンプル/秒)のレベルの変換レートに 対応するA/Dコンバータ(ADC)やD/Aコンバータ(DAC)が 普及し、その変換レートとRF入力の帯域幅が絶えず向上してい る状況にあります。そのことから、マイクロ波帯の周波数に対 応するダイレクト・サンプリング・システムの実装が可能にな りつつあります。結果として、1つのトレードオフが生まれま す。ADC/DACは1つのクロック周波数しか必要とせず、RF帯に 対応するチューニングは完全にデジタル領域で行われます。一 方、VCOでは、チューニングの範囲を制限することによって、 位相ノイズ性能を高めることができます。したがって、ADC/ DAC用のクロックを生成するPLLのループ帯域幅も抑えること が可能になります。ループ帯域幅を狭くすると、リファレンス 用発振器がもたらすノイズの伝達関数が、低いオフセット周波 数へとシフトし、システムに対する全体的な寄与分が低減され ます。このこととVCOの性能改善を組み合わせると、分散型シ ステムにメリットがもたらされる可能性があります。1チャン ネルで比較すると、別のアーキテクチャの方が有用であるよう に見えるかもしれません。しかし、チャンネル数が多い場合に は、ダイレクト・サンプリングの方が有効である可能性があり ます。

#### コンポーネントの選択肢

アナログ・デバイセズは、システムのアーキテクチャでとに 求められる異なる要件に応じ、広範な種類のコンポーネントを提供しています。RF/マイクロ波/ミリ波に対応する2018年版の製品セレクション・ガイドは、こちらから参照できます。VCOを内蔵する最新のPLL製品としては、「ADF4371」、「ADF4372」が挙げられます。出力周波数はそれぞれ最高 <math>32GHzと16GHzで、-234dBc/Hzという最高レベルの位相ノイズ性能( $FOM:Figure\ of\ Merit)を誇ります。また、「ADF5610」は最高<math>15GHz$ の出力周波数に対応します。「ADF5355」、「ADF5356」は最高13.6GHz、「ADF4356」は最高6.8GHzの信号を出力できます。

PLLとVCOを個別に実装したい場合に向けては「ADF41513」というPLL ICを提供しています。この製品は最高26GHzの信号を出力可能であり、-234dBc/Hzという最高レベルのFOMを誇ります。また、位相検出器をできるだけ高い周波数で動作させることにより、出力に20logNで寄与するループ内のノイズを最小限に抑えたいケースがあります。そのような場合に適した製品としては「HMC440」、「HMC4069」、「HMC698」、「HMC699」があります。これらの製品は、PFD(位相周波数検出器)を備えており、最高1.3GHzの出力を提供します。VCOについては、2GHz~26GHzの周波数を生成可能な製品が2018年版のセレクション・ガイドに数多く掲載されています。

ADC/DACについては、LバンドとSバンドにおけるダイレクト・サンプリングに対応可能な製品を提供しています。また、入力周波数の帯域幅が広く、Cバンドにおけるダイレクト・サンプリングが可能なADCも用意しています。「AD9208」は変換レートが3GSPSのデュアルADCです。9GHzまでの入力周波数に対応するので、高次ナイキスト・ゾーンにおけるサンプリングが行えます。また、「AD9213」は変換レートが10GSPSのシングルADCです。この製品を採用すれば、レシーバーの瞬時帯域幅を広くとることができます。DACについては、変換レートが12GSPSのデュアルDACを含む「AD917xシリーズ」、残余位相ノイズを抑えてSFDRが高くなるように最適化された同12GSPSのシングルDACを含む「AD916xシリーズ」を提供しています。いずれのシリーズも、LバンドとSバンドの波形生成をサポートします。

上記の製品群は、選定に着手する際の出発点にすぎません。現在も、より高い周波数で優れた性能を発揮する新製品を続々と市場に投入しています。最新製品の情報については、analog.com/jpを参照するか、最寄りの販売サポート窓口にお問い合わせください。

#### まとめ

以上、本稿では、分散型PLLを備えるシステムの位相ノイズを評価する方法を紹介しました。この方法は、個々のコンポーネントのノイズ、コンポーネントからシステムの出力へのノイズの伝達関数、使用するコンポーネントの数、デバイス間の相関関係に応じて個々のコンポーネントの寄与分を明らかにするという概念に基づいています。本稿で示した例は、利用可能なコンポーネントやアーキテクチャの能力を示すことを目的としたものではありません。デジタル・ビームフォーミングを適用したフェーズド・アレイでは、分散配備された波形生成器やレシーバーに対してLO信号とクロック信号を分配する必要があります。その分配用回路がアレイに対してもたらす位相ノイズの評価方法について、設計者に理解していただくことを目的として解説しました。

#### 参考資料

- <sup>1</sup> Ulrich Rohde「Microwave and Wireless Synthesizers: Theory and Design (マイクロ波とワイヤレス・シンセサイザ、その理論と設計)」 Wiley、1995年
- <sup>2</sup> Floyd Gardner「Phaselock Techniques. 3rd Edition (フェーズ・ロック技術 第3版)」 Wiley、2005年
- <sup>3</sup> Dean Banerjee「PLL Performance, Simulation, and Design, 4th edition (PLLの性能、シミュレーション、設計 第4版)」Dog Ear Publishing、2006年8月
- <sup>4</sup> Dan Wolaver「Phase-Locked Loop Circuit Design (PLL回路の設計)」 Prentice Hall、1991年2月
- <sup>5</sup> Avi Brillant「Understanding Phase-Locked DRO Design Aspects (フェーズ・ロックDROの設計について理解する)」 Microwave Journal、2000年9月
- <sup>6</sup>Peter Delos「Phase-Locked Loop Noise Transfer Functions (PLLにおけるノイズの伝達関数)」 High Frequency Electronics、2016年1月
- <sup>7</sup> ADS PLL Examples「PLL Phase Noise (PLLの位相ノイズ)」 Keysight Technologies
- <sup>8</sup> 「ADIsimPLL」 Analog Devices
- <sup>9</sup> Ian Collins「フェーズ・ロック・ループ (PLL) の基礎」 Analog Dialogue、2018年7月
- ¹º E. Anthony Nelson「Phased Array Noise Considerations (フェーズド・アレイのノイズに関する考察」 IEEE、Telesystems Conference、1991年
- <sup>11</sup> Heng-Chia Chang「Analysis of Coupled Phase-Locked Loops with Independent Oscillators for Beam Control Active Phased Arrays (外部発振器を使用する結合PLLの解析手法、ビーム制御方式のアクティブ・フェーズド・アレイの設計に活かす)」 IEEE Transactions on Microwave Theory and Techniques、Vol. 52、No. 3、2004年3月
- <sup>12</sup> Thomas Hohne、Ville Ranki「Phase Noise in Beamforming (ビームフォーミングにおける位相ノイズ)」IEEE Transactions on IEEE Transactions on Wireless Communication、Vol. 9、No. 12、2010年12月
- 13 Antonio Puglielli、Greg LaCaille、Ali Niknejad、Gregory Wright、Borivoje Nikolic、Elad Alon「Phase Noise Scaling and Tracking in OFDM Multi-User Beamforming Arrays (OFDM 方式のマルチユーザ・ビームフォーミング・アレイにおける位相ノイズのスケーリングとトラッキング)」 IEEE ICC、Wireless Communications Symposium、2016年5月

#### 著者について

Peter Delos (peter.delos@analog.com) は、アナログ・デバイセズ(米国ノースカロライナ州グリーンズボロ)の航空宇宙/防衛グループに所属するテクニカル・リードです。1990年にバージニア工科大学で電気工学の学士号を、2004年にニュージャージー工科大学で電気工学の修士号を取得しています。エレクトロニクス業界で25年以上の経験を積んでおり、そのうちのほとんどの期間は、アーキテクチャのレベル、プリント基板のレベル、ICのレベルで先進的なRF/アナログ・システムの設計に携わってきました。現在は、フェーズド・アレイ・アプリケーション用の高性能レシーバー、波形発生器、シンセサイザの小型化を図るための設計に注力しています。

## オンライン・ サポート・ コミュニティ



アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com にアクセス

\*英語版技術記事はこちらよりご覧いただけます。

## アナログ・デバイセズ株式会社

本 社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F 大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F 名古屋営業所 〒451-6040 愛知県名古屋市西区牛島町6-1 名古屋ルーセントタワー38F

