
高速双方向シリアル通信モジュールでの クロストークペナルティの測定

この記事に類似した内容が2005年6月23日号のEDN誌に掲載されています。

高速双方向シリアル通信モジュールでのクロストークペナルティの測定

1 はじめに

今日の高度なシリアル通信モジュールでは、電磁クロストークが重要な問題を引き起こします。主な悪影響は、クロストークノイズが存在する状況でのレシーバ感度の低下です。スループット向上のためのデータレート増大、ポート密度向上のためのモジュールの小型化、および電力損失の低減のための電源レールの低下につれて、クロストークペナルティの軽減はますます困難になっています。

この記事では、「送信信号と受信信号の間の位相差」に対する「レシーバのビットエラーレート(BER)」を観測することによって、クロストークペナルティを定量化する方法を探ります。また、この記事では、3種類の通信モジュールの例で実際にクロストークを測定した結果も示しています。

2 背景

2.1 クロストークの定義

2つのチャンネル間のクロストークは、(入力信号のない)チャンネルAの出力を、(入力信号によって励起された)チャンネルBの出力で割った比として定義されます。

BからAへのクロストーク(dB)は、以下で定義されます。

$$Crosstalk = 20 \log \frac{|V_{OA}|}{|V_{OB}|} \text{ dB} \quad (1)$$

絶縁されたチャンネルの場合、理論上は負の無限大(dB)となります¹。図1に示すように、双方向モジュールの場合、チャンネルAはレシーバプリアンプの出力となり、チャンネルBはトランスミッタドライバの出力となります。

2.2 クロストークペナルティの定義

この記事では、クロストークペナルティを、「伝導や放射によってトランスミッタから放出されるエネルギーに対する電磁感受性が原因となって生じるレシーバ感度の低下」と定義しています。高速な回路はダイナミック回路を頻繁に利用するため、入力端でのノイズに対して特に高感度になります²。クロストークで誘発されるエラーには2つのタイプがあります。時間エラーと論理エラーです。時間エラーとは、クロストークによって誘発される遅延差のことであり、論理エラーは、ダイナミック回路における誤った評価によって生じるものです³。この記事では、クロストークで誘発される論理エラーを中心に取上げます。設計者は、受信信号のBER(ビットエラーレート)を使用してこのエラーを定量化しています。

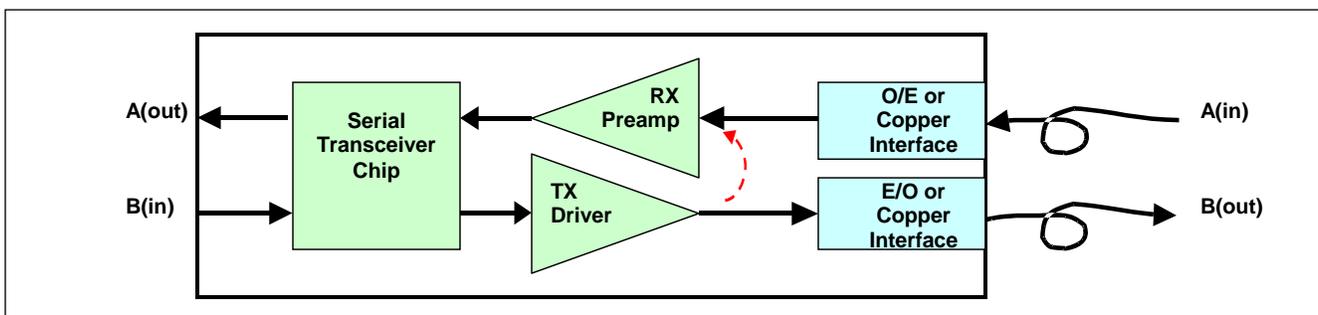


図1. 簡単な双方向通信モジュール。トランスミッタ(チャンネルB)からレシーバ(チャンネルA)へのクロストークを表しています。

3 クロストークの定量化

3.1 直接測定

クロストークの直接測定は、非常に困難な作業となる可能性があります。回路のトポロジ、インピーダンスのレベル、物理的なレイアウト、および IC 技術が、いずれもクロストークの強度において重要な役割を果たしています。差動回路トポロジは、グランド基準(シングルエンド)の回路に比べてクロストーク耐性が向上しダイナミックレンジが増大するため、よく使用されています。ただし、正確に差を測定する機能がいないため、2 つの複合回路間のクロストークの測定、シミュレーション、または予測が難しく、不可能な場合さえあります。

この困難な問題を打開する 1 つの方法は、PMVNA (ピュアモードベクトルネットワークアナライザ)を用いた直接測定です。PMVNAは、混合モードの散乱パラメータという観点でデバイスの差動モードとコモンモードの応答を測定します。混合モードのSパラメータを正確に収集することによって、クロストークが電磁シミュレータのモデリング性能を上回る場合ですら、差動回路間のRFクロストークを直接測定することができるようになります。関心のある方は、さらに詳細に記載されたBockelmanとEisenstadt⁴の記事をご覧ください。この方法は有効ではあるものの、高価な機器が必要で、また被試験回路に直接アクセスすることが必要となります。

クロストークの視覚的な効果を増大するため、よく知られたHoward Johnson⁵の著作に記載された3つの方法を利用しています。その方法とは、1次側(モニタ)信号のオフ、クロストーク源のオフ、または人工クロストークの生成です。1次信号をオフにするには、1次信号のドライバを非常に短い、低インダクタンスの接続部を持つグランドに短絡させます。短絡は極めて重要です。ドライバを開回路のままにしておく場合、相互インダクタンスによって結合されるノイズがなくなるからです。出力ドライバをオフにすると、クロストークがはっきりと目立ちます。クロストーク源は、妨害線を切断するか、アグレッサドライバを短絡することによって、オフにすることができます。いずれの場合も、電流をゼロに低減する必要があります。1次ドライバを有効にした状態で、波形の前後を観察します。計算機能を備えたデジタルスコープでは、波形を位置合わせして減算することで差を得ることができます。人工クロストークは、アグレッサドライバを立上り時間が既知のステップ関数に置き換えることによって生成することが可能で、クロストークはビクティムネット上に誘発される dv/dt に比例します。この手順は、PCBIに部品を実装

する前に使用すべきテストであり、クロストーク源をアイソレートして識別することができます。

これらの実験には、被試験デバイスの分解または一部破壊が必要となります。これによって、クロストーク状況の周囲環境を完全に変更することができます。これらの方法はクロストーク源の識別手段にはなりませんが、クロストークに関して本当に知る必要のあるもの、すなわちその相対的な性能のペナルティは得られません。

3.2 改善策:BERの測定

前項から、組み立て済みのモジュールでクロストークの直接測定を実施することは、困難であることがわかりました。そこでより良い方法を探してみると、幸いなことにあるのです。設備が十分に整った通信モジュールの研究開発室であれば、通常備わっている機器を使用して、ある有効な値を実際に測定することによって、クロストークを間接的に測定することができます。ある有効な値とは、送信データ経路からのクロストークが原因で受信データ経路に加わる感度ペナルティです。それでは、レシーバのBERペナルティを測定することで、クロストークの間接的な定量化を実施する方法を突き止めましょう。

4 クロストークペナルティの測定例

以下に示す3つの実際の測定例は、現在利用可能な高速通信モジュールを表しています。すなわち2.5Gbps光ファイバトランシーバ、10Gbpsシリアルトランシーバチップ、および10Gbps光ファイバトランスポンダです。これらの例がすべてのアプリケーションを網羅しているわけではありませんが、測定方法の基本として使用し、他のモジュールにも簡単に応用することができます。

それぞれの例について、類似した手法が使われています。完全に電気的な領域で動作するモジュールの場合、テストを実施するには、高精度リファレンスクロック、シリアルラインレートのパターン発生器、電気アッテネータ、可変位相遅延素子、CDR(クロックおよびデータリカバリ)ユニット、およびシリアルBERT(ビットエラーレートテスタ)が必要です。2.5Gbps以上のラインレートでは、モジュールに光学部品が含まれる可能性が高いと思われます。この場合には、追加のハードウェア、すなわち光トランスミッタ、光アッテネータ、および光パワーメータが必要です。では、測定に入りましょう。

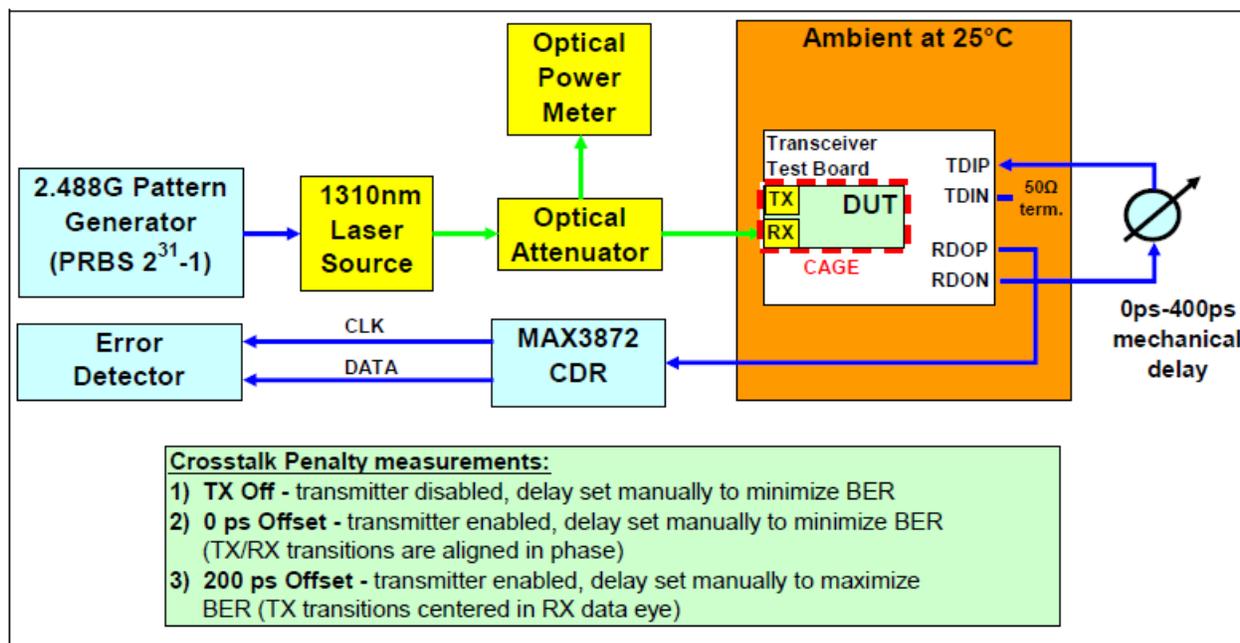


図 2. 2.5Gbps 光ファイバシリアルトランシーバのクロストークペナルティをテストするためのセットアップ図

4.1 2.5Gbps光ファイバシリアルトランシーバ

複数の製造業者が MSA (マルチソース協定) に従い、協力して互換性と相互運用性を保証していますが、この MSA は、2.5Gbps 光ファイバシリアルトランシーバの形態と機能を規定しています。ラインレートおよび CDR の修正が少ない場合、図 2 に示すテストのセットアップを使用すれば、この MSA の対象となる 155Mbps ~ 4.25Gbps のトランシーバをテストすることができます。

DUT (被試験デバイス) は、テスト基板へのケージに挿入されるプラグデバイスです。この例では、このデバイスの光レシーバへの入力、2.488Gbps パターン発生器によって駆動される 1310nm のレーザトランスミッタです。パターンは、 $2^{31}-1$ をシードとする PRBS (擬似ランダムバイナリシーケンス) で、周波数が広範囲の信号を生成します。レーザ光源は、DUT への光パワーを測定するためのパワータップを備えた可変光アッテネータに供給されます。トランシーバのレシーバ経路は、入射光パワーに比例した出力電流を生成する APD (アバランシェフォトダイオード)、電流をアナログ電圧に変換する TIA (トランスインピーダンスアンプ)、およびアナログ電圧からデジタル出力を生成するリミティングアンプで構成されています。出力は差動であり、これによって非反転信号が CDR ユニット (エラー検出器のクロックとデータを駆動) に送信されます。

重要な部分は以下のとおりです。反転出力は可変位相遅延素子に供給されます。位相遅延素子は基本的に、機械的なラインストレッチャーの役割を果たす回転ダイヤルを備えた同軸管 (トロンボン) です。次に、可変遅延信号はトランシーバのトランスミッタの入力に転送されます。送信信号と受信信号の間の位相関係を調整し、クロストークペナルティを最大化または最小化することができます。これは、エラー検出器の BER の相対的な差でわかります。

トランシーバのレシーバの感度測定には、光の減衰量を 0.5dB 刻みで調整し、それによって得られる BER を測定する必要があります。この例の場合、感度は、BER = $1e-10$ 、すなわち 100 億ビットに 1 回のエラーが発生する入力レベルとして求められます。クロストークによってトランスミッタから誘発される感度ペナルティを測定するため、図 3 に示す 3 つの感度曲線を測定しました。最も感度の良い -31dBm は、トランスミッタを完全にオフにしたときに測定しました。ベストケースのクロストークペナルティである 0.3dB は、トランスミッタの遷移の位相をレシーバの遷移の位相に揃えたときに発生しました。ワーストケースのペナルティである 1.3dB は、トランスミッタの遷移が受信データアイの中央、つまり 2.5Gbps の信号 (400 ピコ秒ビット周期) に対して 200 ピコ秒だけずれているときに測定しました。これらの測定結果から、送信信号と受信信号の間の位相関係は、ワーストケースのクロストークペナルティを求める上で重要な要因であることがわかります。

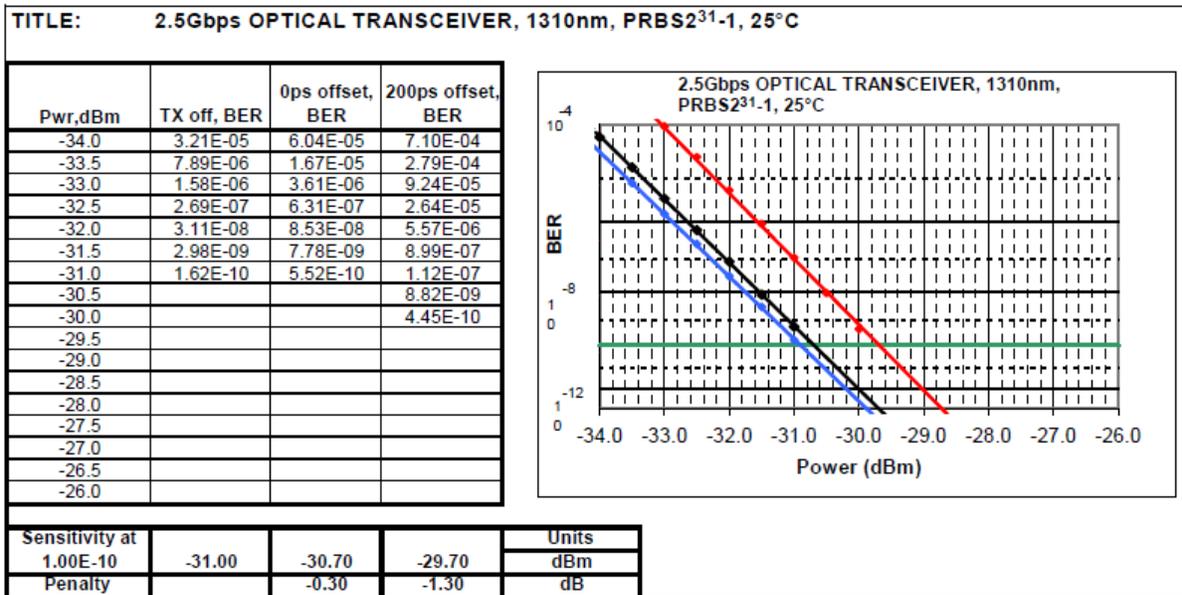


図 3. 2.5Gbps、40km のシリアル光トランシーバの感度ペナルティの測定。a)送信データをオフにした場合、b) 遷移の位相を受信データの位相に揃えた状態で送信データをオンにした場合、および c)受信データからの位相オフセットが0.5UI (400 ピコ秒)の状態 で送信データをオンにした場合

4.2 10GbpsシリアルトランシーバIC

次の例では、各方向で、データタイミングのための CDR 機能を備えた 10Gbps の双方向シリアルトランシーバチップのクロストークペナルティを測定しています (図 4)。このタイプのチップは、9.95~11.1Gbps のシリアルラインレートの銅または光ファイバのトランシーバで使用されています。たとえば、XFP (10 ギガビットの

スモールフォームファクタのプラグブルモジュール)の MSA 準拠モジュール内で使われています。図 4 に、このタイプの IC のクロストークペナルティをテストするためのセットアップ図を示します。これらのデバイスは完全に電気的な領域でのみテストされるため、光ファイバトランシーバのテストよりも簡単です。

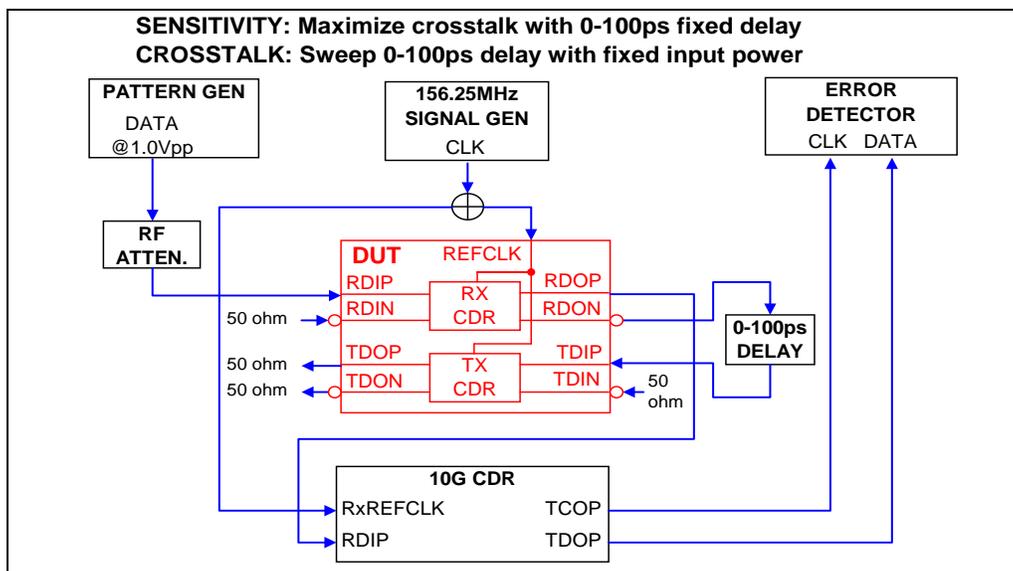


図 4. デュアルのクロックおよびデータリカバリ(CDR)回路を備えた 10Gbps 双方向シリアルトランシーバのクロストークペナルティをテストするためのセットアップ図

電氣的に減衰する手動調整のシリアル PRBS データストリームは、パターン発生器で生成され、被試験デバイスのレーザ経路入力に転送されます。差動レーザ出力の半分は外部 CDR に供給され、この外部 CDR が「クロックおよびデータリカバリ」を実行して、エラー検出器を駆動します。差動レーザ出力の残りの半分は、手動遅延素子に供給され、トランスミッタ経路の入力に戻ります。トランスミッタは、ドライバにストレスを与える 50 オームの負荷で終端処理され、トランスミッタからレーザへの信号遅延は 0~100 ピコ秒、すなわち 1UI (10Gbps における 1 ユニットインターバル)で掃引されます。

クロストークペナルティは、入力を減衰してレーザをエラー状態(約 $1e-6$ BER)にしたまま、0~100 ピコ秒の遅延掃引に対して受信した信号の BER 変動です。この BER 範囲は実際のアプリケーションでは役立ちませんが、図 5 は、位相に関連する BER 変動を示すのには良い図であることがわかります。この特定のデバイスでは、公称 BER が $1e-7$ (すなわち 10Mb につき 1 回のエラー)にて、約 20 倍のスイングが発生しました。

「最小 BER (トランスミッタの遷移がレーザの遷移と揃った状態)」対「最大 BER (トランスミッタの遷移が受信

データアイの中央にある状態)」の感度差によってクロストークを定量化することもできます。この例の場合、感度は、BER = $1e-12$ (すなわち 1 兆ビットにつき 1 回のエラー)の場合の入力レベルとして求められます。

対応する感度ペナルティを図 6 に示します。このケースの感度ペナルティは、電気電圧の領域で 1.2dB でした。トランスミッタをオフにすると、このデバイスで、13.5mV 差のレーザ入力感度が測定されました。送信信号と受信信号間のワーストケースの位相差(0.5UI、すなわち 50 ピコ秒)において、感度は 15.5mV 差まで低下しました。この感度の低下は、一見したところでは重要ではないように思われるかもしれませんが、このデバイスを光トランスミッタで組み立てた場合、システム性能に対して悪影響が生じる可能性があります。光パワー感度ペナルティは、電気電圧感度ペナルティのちょうど半分(すなわち 0.6dB)で、光リンクパワーのバジェットはこの量だけ減少します。もう 1 つの悪影響は、ホストモジュールに LOS (信号喪失)が含まれる場合、入力信号が比較スレッシュホールドに近いときに、LOS (信号喪失)の早期トリップと人工トリップが発生するというものです。

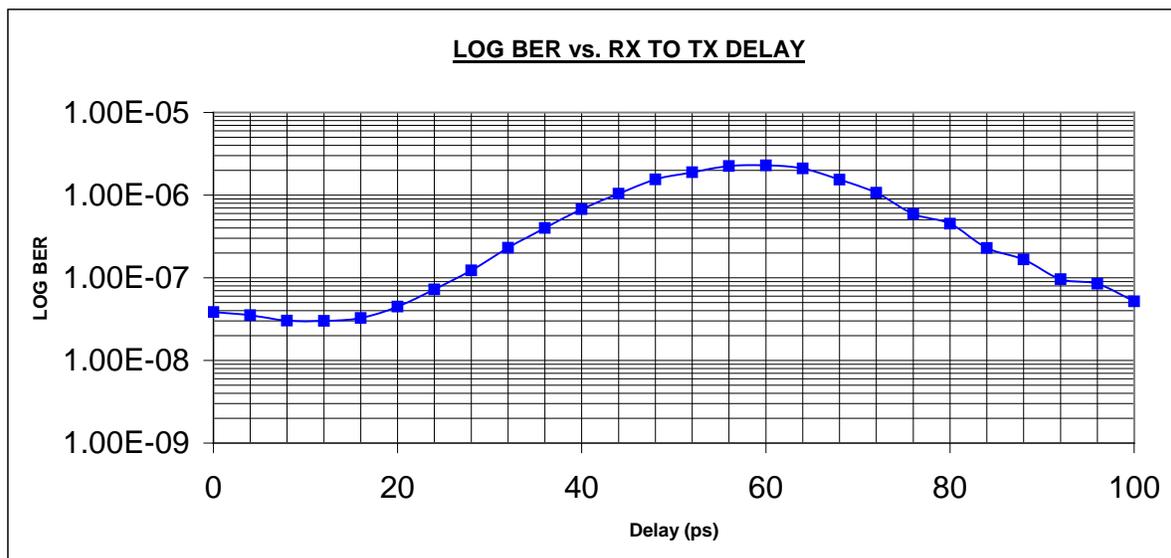


図 5. 送信信号から受信信号への遅延が 1UI (100 ピコ秒)だけ変動するときのレーザ感度の変動。被試験デバイスは、デュアル CDR 回路を備えた 10G 双方向シリアルトランスミッタチップです。

TITLE: 10G BIDIRECTIONAL TRANSCEIVER CHIP

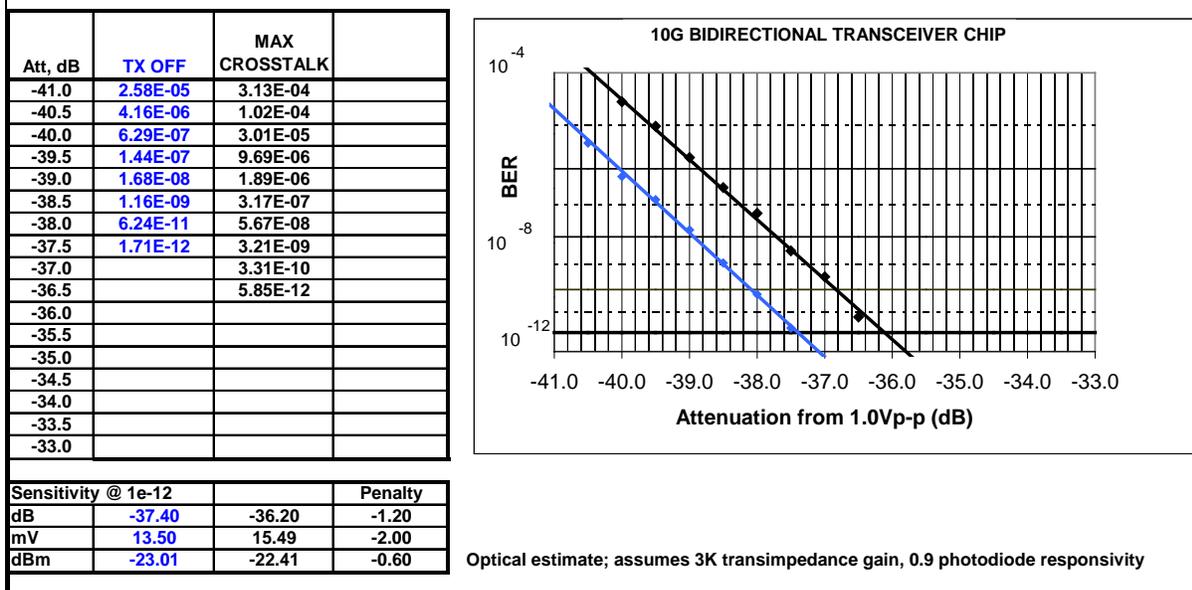


図 6. 双方向シリアルトランシーバチップのレシーバの感度測定。a) TX データをオフにした場合、および b) 受信データからの位相オフセットが 0.5UI (50 ピコ秒)の状態 でTX データをオンにした場合

4.3 10Gbps光ファイバトランスポンダ

最後の、最も複雑な例は、「622Mbps パラレルから 10Gbps シリアル」への 300 ピン光ファイバトランスポンダのクロストークペナルティの測定を伴うものです。テストセットアップのブロック図を図 7 に示します。これらのデバイスは完全なシリアルではありませんが、光ファイバを経由して伝送するための、シリアルのトランスミッタとレシーバのペアが含まれています。トランスミッタとレシ

ーバの光エンジンは、それぞれ 16:1 のマルチプレクサと 1:16 のデマルチプレクサと結合されます。セットアップは 2.5Gbps トランシーバのセットアップと類似していますが、以下のようにいくつか顕著な相違点があります。すなわち、ラインレートが 10Gbps であるということ、電気モジュールインタフェースのデータがラインレートの 1/16 の速度で並列であるということ、およびデータのリカバリとタイミングのためにリファレンスクロックが必要であるということです。

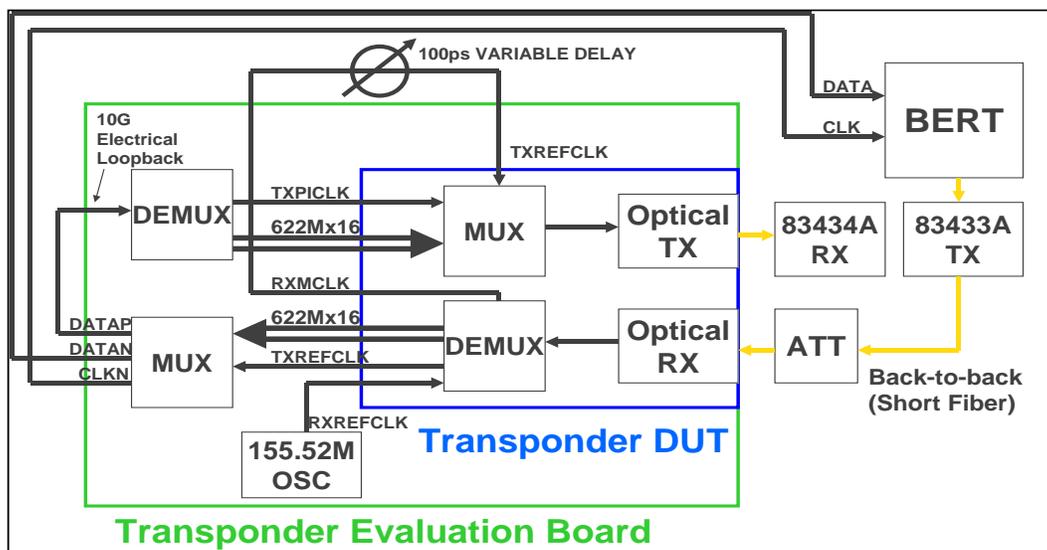


図 7. 「622Mbps パラレルから 10Gbps シリアル」への多重化逆多重化の光ファイバトランスポンダのクロストークペナルティをテストするためのセットアップ図

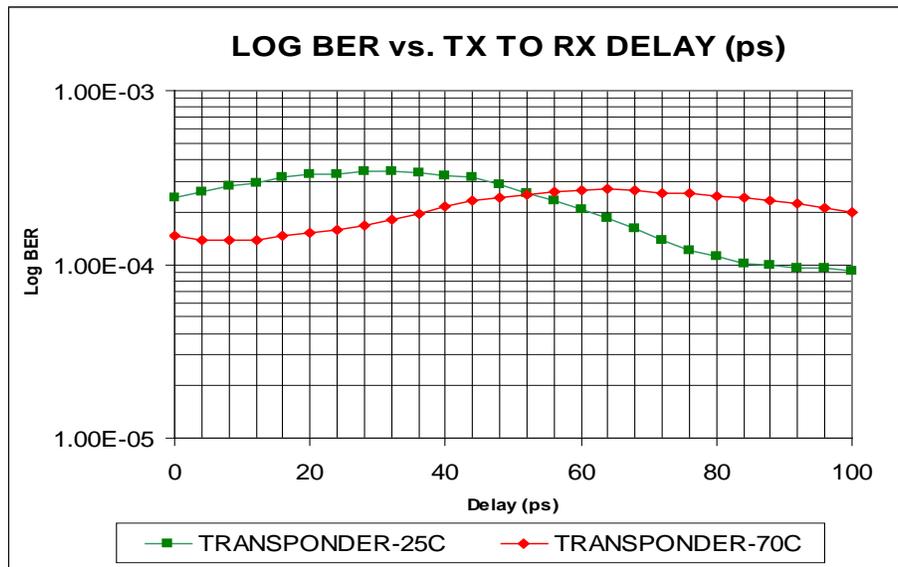


図 8. トランスミッタからレシーバへのデータ遅延が 1 ユニットインターバル(100 ピコ秒)だけ変動するときの、「622Mbps パラレルから 10Gbps シリアル」への多重化/逆多重化の 300 ピン光ファイバトランスポンダのビットエラーレートの変動(25℃と 70℃で測定)

データは、PRBS $2^{31}-1$ パターン発生器の信号から 9.95328Gbps (OC-192 SONET レート)にて生成され、実験室標準の 1550nm レーザトランスミッタを駆動します。次に、この光データは、被試験トランスポンダへの入力レベルをモニタリングするための較正済みパワータップ付きの光アッテネータに送信されます。トランスポンダのレシーバ経路はリファレンスクロックを使用して、クロックおよびデータリカバリを実行し、次にシリアルデータを 16 のパラレルチャネルに逆多重化します。パラレルデータは、トランスミッタ経路のマルチプレクサへのパラレルデータクロックによって、トランスポンダ評価基板の外部マルチプレクサ/デマルチプレクサのペアを経由して電氣的にループバックされます。シリアル伝送データのリタイミングを行うトランスミッタのリファレンスクロックは、受信経路の再生クロックを遅延させたコピーです。データ FIFO は、トランスミッタのパラレルクロックとシリアルクロックを別にすることができます。次に、シリアルトランスミッタデータとシリアルレシーバデータとの位相関係を手動で調整して、クロストークの測定を行うことができます。レシーバ経路の 16:1 の外部マルチプレクサから直接 BERT を駆動することによって、レシーバがトランスミッタからのクロストークを受けている間、トランスミッタ経路とは無関係にレシーバの BER を測定することができます。

図 8 に、シリアルレシーバを基準にしてシリアルトランスミッタのデータ遅延を 0~100 ピコ秒掃引したときに得られる BER の変動を示します。25℃と高温の 70℃の両方で測定を実施しましたが、よく似た結果が得られました。

BER の変動は、 $1e-4$ のエラーレート(10kb あたり 1 回のエラー)でおおよそ 5 倍です。この BER の変動は、光領域では約 0.3dB の感度ペナルティになります。

5 結論

双方向シリアル通信モジュールのクロストークは、複雑で理解しにくい現象で、簡単には定量化することができません。時間領域または周波数領域でのクロストークの直接測定は、モジュール内で常に実行することができるとは限らず、ケースを取り外すと環境状態が変更されることがわかっています。このため、新しいクロストークの測定方法を見つけて、本来の動作状態でエンティティ全体としてモジュールをテスト可能なようにしました。これによって、実際のアプリケーションで予想される最大のクロストークペナルティ、すなわち真に重要な性能パラメータを正確かつ現実的に測定することが可能になります。

双方向伝送が行われるエンクロージャ内でのクロストークは避けられませんが、優れた RF 設計の実践例を利用すれば、クロストークノイズによって受けるペナルティを大幅に低減することができます。技術の進歩によって電子デバイスが小型化および軽量化されるにつれて、将来の高度な通信システムに要求される高度な信号の完全性を維持するため、クロストークのアイソレーション設計にますます大きな重点を置く必要があります。

6 推奨されるマキシムの部品

155Mbps～4.25Gbpsシリアルトランシーバ

MAX1932	デジタル制御、精度 0.5%、安全な APD バイアス電源
MAX3658	622Mbps、低ノイズ、高利得、トランスインピーダンスプリアンプ
MAX3744, MAX3745	2.7Gbps、SFP トランスインピーダンスアンプ(RSSI 付き)
MAX3738	消光比制御付き、155Mbps～4.25Gbps SFF/SFP レーザドライバ
MAX3799	1Gbps～14Gbps、SFP+マルチレートリミティングアンプおよび VCSEL ドライバ
MAX3748A	小型、155Mbps～4.25Gbps リミティングアンプ
MAX3735A	2.7Gbps、低電力 SFP レーザドライバ
MAX3740A	診断モニタ付き、3.2Gbps SFP VCSEL ドライバ
MAX3795	自己診断モニタ付き 1Gbps～4.25Gbps のマルチレート VCSEL ドライバ
MAX3982	1Gbps～4.25Gbps、SFP 銅ケーブルブリエンファシスドライバ
DS1864	SFP レーザコントローラおよび診断 IC
MAX4007, MAX4008	高精度、76V、ハイサイド電流モニタ(SOT23)
MAX15059	APD バイアスアプリケーション用、76V、300mW ブーストコンバータおよび電流モニタ

9.95Gbps～10.7Gbps光ファイバトランスポンダ、シリアルトランシーバ

MAX3945	1.0625Gbps～11.3Gbps、SFP+デュアルパスリミティングアンプ
MAX3941	10Gbps、3Vp-p EAMドライバ(バイアスネットワーク内蔵)
MAX3942	10Gbps、6Vp-p変調器ドライバ
MAX3946	レーザーのインピーダンスミスマッチを許容する 1.0625Gbps～11.3Gbps、SFP+レーザードライバ
MAX3799	1Gbps～14Gbps、SFP+マルチレートリミティングアンプおよび VCSEL ドライバ
MAX3984	受信イコライザ付き、1Gbps～10Gbps ブリエンファシスドライバ
MAX3991, MAX3992	リミティングアンプ内蔵の10Gbps CDRとイコライザ内蔵の10Gbps CDR
MAX3622	2出力、低ジッタ、高精度クロックジェネレータ
MAX8520, MAX8521	光モジュール用、超小型 TEC パワードライバ
DS1862A	XFP レーザ制御およびデジタル診断 IC
DS1874	デジタル LDD インタフェースを備えた SFP+コントローラ

マキシムは、ほぼすべての電気設計アプリケーションのためのアナログ部品とミックスドシグナル部品の幅広い製品ポートフォリオを用意しています。

¹ J.E. Rayas-Sanchez, "A Frequency-Domain Approach to Interconnect Crosstalk Simulation and Minimization". Department of Electronics, Systems and Informatics, ITESO University, Tlaquepaque, Jalisco, 45090 Mexico.

² A. Vittal, L.H. Chen, M. Marek-Sadowska, K. Wang, and S. Yang, "Crosstalk in VLSI Interconnections". *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 18, No. 12, pp. 1817-24, December 1999.

³ H. Chou, and S. Chiu, "Crosstalk Reduction and Tolerance in Deep Sub-Micron Interconnects". Department of Electrical and Computer Engineering, University of Wisconsin, Madison, WI.

⁴ D.E. Bockelman and W.R. Eisenstadt, "Direct Measurement of Crosstalk Between Integrated Differential Circuits", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 48, No. 8, August 2000, pp. 1410-13.

⁵ H. Johnson and M. Graham, *High-Speed Digital Design: A Handbook of Black Magic*. Prentice Hall PTR: Upper Saddle River, NJ, 1993, pp. 189-211.