

フェーズド・アレイ・レーダーに最適なADCを選択する方法【Part 2】

著者：Benjamin Annino、アプリケーション・ディレクタ

概要

フェーズド・アレイ・レーダーで使用するビームフォーミングには、いくつかの実現形態が存在します。具体的には、デジタル・ビームフォーミング、RFビームフォーミング（アナログ・ビームフォーミング）、ハイブリッド・ビームフォーミングの3つがあります。現在、それぞれの方式を採用した場合のシステム上のトレードオフや優劣について活発な議論が行われています¹。本稿では、これまでの取り組みを踏まえて、DCの消費電力を基準とした場合のダイナミック・レンジ（直線性とノイズ）とサンプル・レートのトレードオフについて説明することになります。対象とするのは、RF信号からA/Dコンバータ（ADC）までがカスケードに接続されたマルチチャンネルのシステムです。DCの消費電力を基準とし、ADCのサンプル・レート、有効ビット数（ENOB）、RF／デジタルのチャンネル結合の最適な選択について評価を実施することになります。なお、ADCについては、Schreier FOM（Figures of Merit：性能指数）とWalden FOMが広く使用されています。これらは、マルチチャンネルのシステムにも拡張することが可能です。その手法を利用することで、システムのFOMを算出する方法を提案します。そのFOMは、DC消費電力に対して正規化された最適なダイナミック・レンジを表します。前回の記事「[フェーズド・アレイ・レーダーに最適なADCを選択する方法【Part 1】](#)」では、検討のベースとなるシステムのモデルを構築する方法について説明しました。今回（Part 2）は、得られた結果についての解析を行い、システムのFOMに基づいた結論を示すことにします。

システムのモデリングの結果

Part 1では、システムのモデリングを実施しました。今回示すグラフでは、表1にまとめた要素を指標として使用しています。

表1. モデルで使用した指標

性能の属性	掃引する変数
SFDR	ADCのENOB、 RF加算とデジタル加算の比率（総数は常に64）
感度	
チャンネルあたりのDC消費電力	

システムのカスケード・モデルには、RFフロント・エンド（以下、RFFE）、RFチャンネルに対する加算処理（以下、RF加算）、ADC、デジタル・チャンネルに対する加算処理（以下、デジタル加算）が含まれています。本稿では、64チャンネルのサブアレイを使用するシステムを例にとっています。以下で示す多くのグラフにおいて、水平軸の最も左側はオール・デジタルの加算（64チャンネルのデジタル加算のみ。RF加算はなし）、最も右側はオールRFの加算（64チャンネルのRF加算のみ。デジタル加算はなし）を表します。両者の間では、デジタル加算とRF加算（アナログ加算）の両方を使用していることになります。これがハイブリッド・ビームフォーミングと呼ばれるものです。グラフでは、左から右に行くほどRF加算の比率が高まっていきます。以下では、ADCのENOBを掃引してグラフに表示するという解析手法を使用します。また、DC消費電力とスプリアスフリー・ダイナミック・レンジ（SFDR）／感度（SENS）を掃引し、それらのパラメータに関する傾向も解析します。

図1～図3に示したのは、システムモデルを基にして各パラメータを変化させた結果です。これらのグラフのように、感度、SFDR、DC消費電力を個別に扱うと、性能と消費電力が切り離された状態で表示されてしまいます。これでは、良し悪しを簡単に判断することはできません。例えば、できるだけ少ないDC消費電力で最大限のSFDRを得ることが目標であったとします。その場合、ADCのENOBやRF加算／デジタル加算の比率はどのように設定すればよいのでしょうか。このような疑問に対する答えが、グラフを見比べるだけでは得られないということです。そこで、次のセクションでは、ダイナミック・レンジをDC消費電力に対して正規化した結果を示します。そのようにすれば、同一の条件で性能を比較して、より有用な結果を得ることができます。

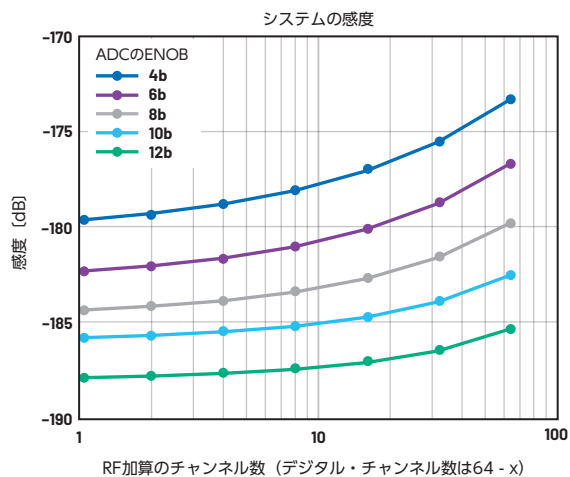


図1. システムの感度、RF 加算のチャンネル数、ADCのENOBの関係

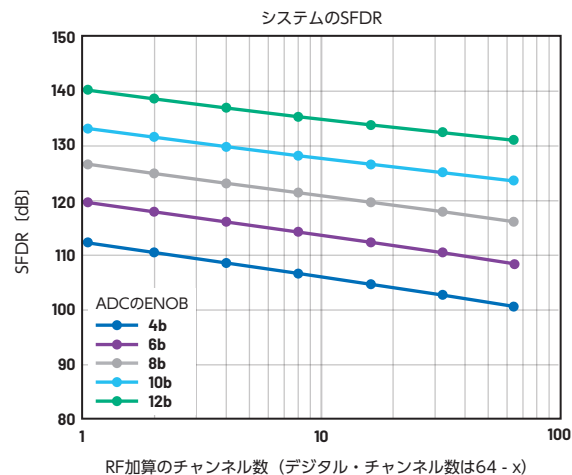


図2. システムのSFDR、RF 加算のチャンネル数、ADCのENOBの関係

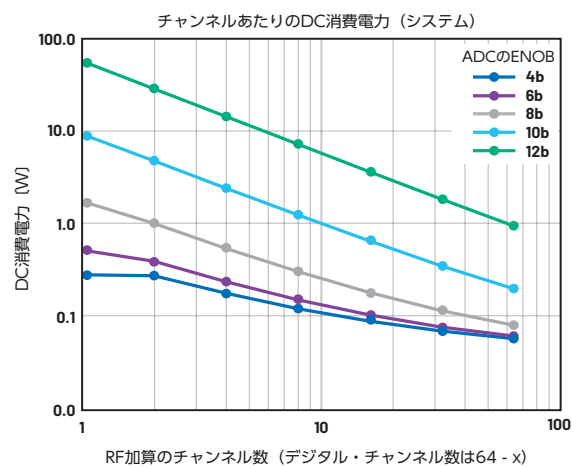


図3. システム全体のDC消費電力、RF 加算のチャンネル数、ADCのENOBの関係

図4～図6は、RFFE、ADC、デジタル加算／デジタル・インターフェースの消費電力の相対的な割合を示したものです。図4を見ると、ENOBの低いADCを使用し、全アンテナ素子に対してデジタル加算を行う場合には、デジタル加算／デジタル・インターフェースによる消費電力が全体の中で大きな割合を占めることがわかります。一方、RF加算の比率が高いシステムでは、デジタル・インターフェースによる消費電力の割合は低くなります。また、ADCのENOBが低い場合にはRFFEの消費電力が支配的になり、ADCのENOBが高い場合にはADCの消費電力が支配的になるという傾向も見てとれます。これらのグラフからは、ADCのENOBとRF加算／デジタル加算の比率が、DC消費電力に対する支配的な要素に大きな影響を及ぼすことがわかります。

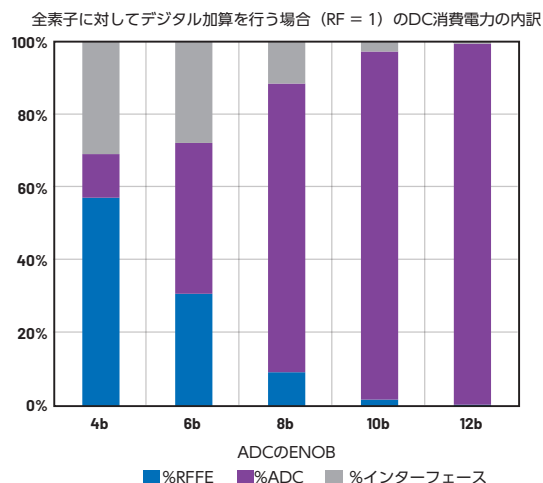


図4. RFFE、ADC、デジタル加算／デジタル・インターフェースがDC消費電力に占める割合 (全素子に対してデジタル加算を行う場合)

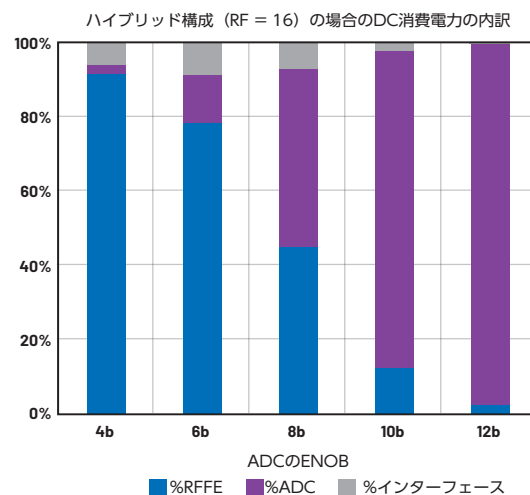


図5. RFFE、ADC、デジタル加算／デジタル・インターフェースがDC消費電力に占める割合 (サブアレイのサイズが中程度の場合)

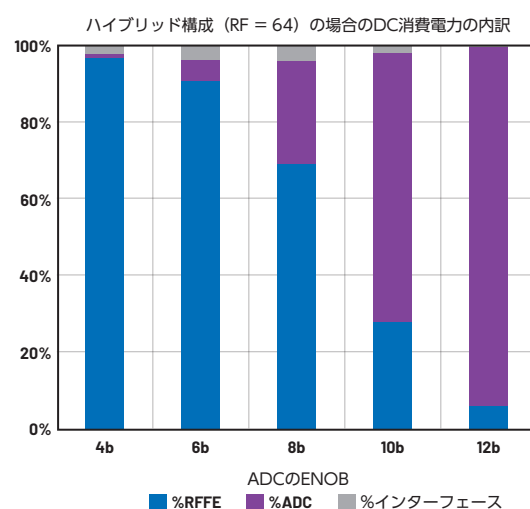


図6. RFFE、ADC、デジタル加算／デジタル・インターフェースがDC消費電力に占める割合 (サブアレイのサイズが大きい場合)

続いて、SFDRと感度の相対的な性能を、チャンネルあたりのDC消費電力に対して正規化します。それにより、ADCのENOBとRF加算／デジタル加算の比率に対してどのような結果が現れるのかを示します。上では、それぞれ感度、SFDR、DC消費電力と、RF加算／デジタル加算の比率の関係を表す3つのグラフを示しました。それらを再編成し、DC消費電力に対して正規化した場合の性能の傾向をよりわかりやすく視覚化します。

図7、図8は、RF加算／デジタル加算の比率を一定にした3本のプロットにより、SFDR／感度とDC消費電力の関係を示したものです。トレース上のドットはENOBの値を表しています。図9、図10も同じデータを基に異なる形で再編成を行ったものです。各トレースは、ENOBが一定の場合に対応しています。RF加算／デジタル加算の比率については、左から右に向かってすべてRF加算の状態（以下、オールRF）からすべてデジタル加算（以下、オール・デジタル）へと変化していきます。

図7～図10のグラフから、DC消費電力を基準とした性能に関する結論を導くことができます。表3は、それについてまとめたものです。

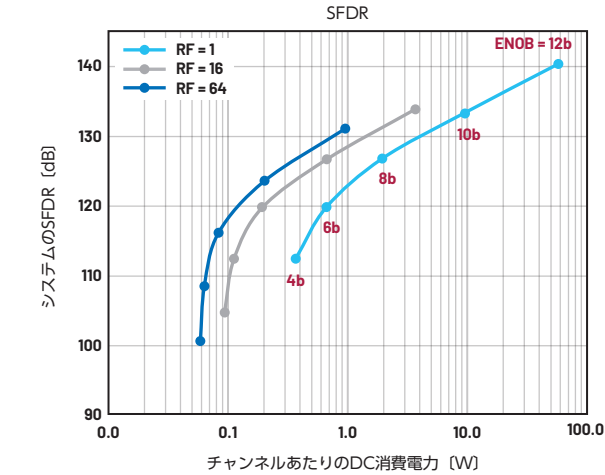


図7. SFDRとチャンネルあたりのDC消費電力の関係。トレースごとにRF加算とデジタル加算の比率が異なります。各ドットは ENOBの値を表しています。

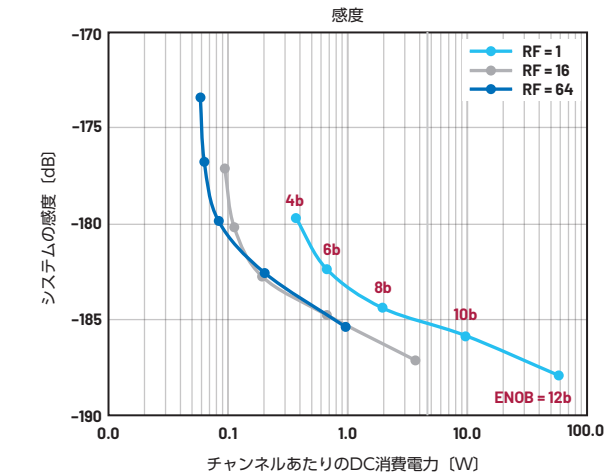


図8. 感度とチャンネルあたりのDC消費電力の関係。トレースごとにRF加算とデジタル加算の比率が異なります。各ドットは ENOBの値を表しています。

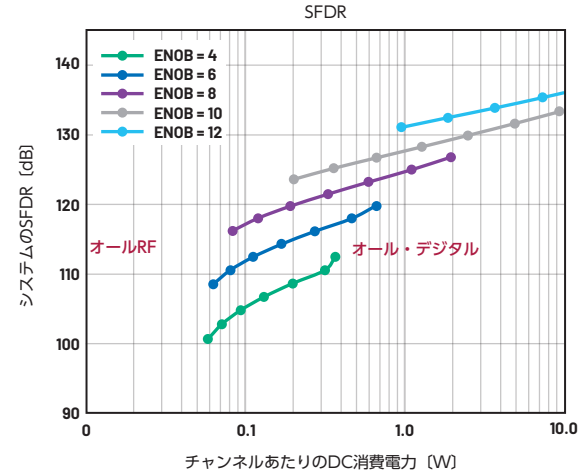


図9. SFDRとチャンネルあたりのDC消費電力の関係。各トレースにおいて ENOBは一定です。各ドットは RF加算／デジタル加算の比率を表しています。

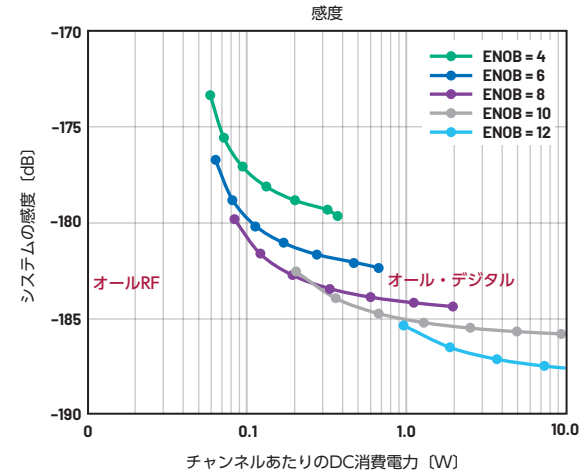


図10. 感度とチャンネルあたりDC消費電力の関係。各トレースにおいてENOBは一定です。各ドットは RF加算／デジタル加算の比率を表しています。

表2. 集約結果の比較

属性	掃引する変数	各トレース上のマーカー
SFDR、感度	チャンネルあたりのDC消費電力。RF加算／デジタル加算の比率（総数は 常に64）	ENOB（左から右に向かって4b～12bまで2bステップで増加）
SFDR、感度	チャンネルあたりのDC消費電力。ADCのENOB	RF加算／デジタル加算の比率（総数は常に64）。いちばん左側は 64:1でオールRF。比率は 32:2、16:4、8:8、4:16、2:32と変化し、いちばん右側では 1:64でオール・デジタルとなる。

表3. グラフから得られた結論

項目	所見	理由	結論
最適なRF加算／デジタル加算の比率は？	SFDR／感度が同じ値の場合と比較すると、RF加算の比率を高めることで、システムのDC消費電力を削減できる	ADCの数が減り、RFFEの直線性に対する要件が緩和されるため（それによりDC消費電力が減少する）	ビームに関連する目標を満たせる範囲でRF加算を最大限に活用する。RF（RFサブアレイのサイズ）が2～16の場合、顕著な消費電力の削減効果が得られる。RFが16より大きくなると効果は小さくなる
ADCの最適なENOBは？	DC消費電力が一定である場合、SFDRと感度はENOBが4～8になると急速に向上する。但し、ENOBがそれ以上になると向上の度合いは鈍化する	図7～図10のニー（Knee: 急な折れ曲がり）	ENOBが6～8の場合に、DC消費電力の値を基準にした性能は最も高くなる

一般に、SFDR／感度が同じ値という条件で比較すると、RF加算とデジタル加算のビームフォーミングを組み合わせたハイブリッド・ビームフォーミングを採用した場合、オール・デジタルのシステムと比べて、よりENOBの高いADCが必要になります。ただ、その場合、全体的な電力効率は高くなります。ここまでに示したグラフのニー（Knee：急な折れ曲がり）は、SFDR、感度、DC消費電力を総合的に評価した場合、その結果には性能のスイート・スポットが存在するということを表しています。すなわち、ニーを超えると、ENOBを高める効果は減少します。一方、ニーを下回れば、ENOBが低くなるにつれて性能は急速に低下します。では、どちらの状況においても、オール・デジタルを採用した方がよいのでしょうか。ダイナミック・レンジの効率という観点からは、DC消費電力の面でハンディがあるため、そうとは言えません。オール・デジタルのメリットは、ビームフォーミングをソフトウェア定義型で実現できることにより、柔軟性と適応

性が得られることにあります。ただ、それを実現するためには消費電力の増加を受け入れなければなりません。

表4は、設計上の優先項目がそれぞれに異なるシナリオについて比較したものです。すべてのシナリオに適した単一の構成は存在しません。システムにおける目標が異なれば、性能の面で優先すべき項目も異なります。そのため、複数の属性の間で性能のトレードオフを行うことが不可欠になります。

表5は、実用的なIF帯域幅（処理帯域幅）を想定し、なおかつADCのENOBが8という一般的な値であるケースについてまとめたものです。ほとんどのADCでは、フル・スケールに近づく直線性が低下します。したがって、ADCの信号レベルには留意しなければなりません。ADCの最適なRF動作領域は、処理帯域幅の拡大に伴って増大します。実際には、ADCはフル・スケールまで最適に動作することはありません。

表4. 一般的なシナリオの比較

必須の目標	トレードオフ	RF加算／デジタル加算の比率	ADCのENOB	SFDR dBs 1Hz	感度 dBm 1Hz	チャンネルあたりのDC消費電力 W
オール・デジタルのビームフォーミング	DC消費電力が多い	1:64	8.2	127	-185	2
オール・デジタルのビームフォーミング、チャンネルあたりの消費電力は1W未満	SFDRと感度が低下する	1:64	7.2	124	-184	1
オール・デジタルのビームフォーミング、チャンネルあたりの消費電力は約0.25W	SFDRと感度がかなり低下する	1:64	4	112	-180	0.28
消費電力を最小限に抑える	SFDRと感度がかなり低下する。 RF加算とデジタル加算を組み合わせることが必要	64:1 64:1 64:1	4 6 8	101 109 116	-173 -177 -180	0.057 0.061* 0.080
チャンネルあたりの消費電力が1W、SFDRと感度は最大限に高める	RF加算とデジタル加算を組み合わせることが必要	64:1 16:4 2:32	12 10.5 8	131 128 125	-185 -185 -184	1 1 1

* やや高いが、悪くない値

表5. 現実的なIF帯域幅を使用する例（ADCの入力電力には制約があることと、それがIF帯域幅によって変化することに注意）

IIF帯域幅 (処理帯域幅)	RF加算／デジタル加算の比率	ADCのENOB	SFDR dB	感度 dBm	SFDRに対するRF入力レベル dBm	ADCに入力する前の信号のゲイン dB	ADCに対するRF入力レベル dBm	チャンネルあたりのDC消費電力 W
1MHz	1:64	8.2	87	-125	-37	15	-22	2
10MHz			81	-115	-34		-19	
100MHz			74	-105	-30		-15	
1GHz			67	-95	-27		-12	
1MHz	4:16	8.2	84	-124	-40	20	-20	0.6
10MHz			77	-114	-37		-17	
100MHz			71	-104	-34		-14	
1GHz			64	-94	-30		-10	

システムのFOM

本稿では、RFからADCまでがカスケード構成のシステムのFOMを確立する方法を提案します。そのFOMは、システムの性能と消費電力のトレードオフについて比較するために使用できます。また、そのFOMを確立するためには、ADCのWalden FOMとSchreier FOMを利用します。目標は、各種のパラメータを掃引し、DC消費電力に対して正規化されたシステム・レベルの性能の「最高値」を特定できるようにすることです。

ここでは、以下の変化によってFOMの値がどのように変化するかを明らかにします。

- ▶ RF 加算／デジタル加算の比率を、オール・デジタルからオールRF まで変化させる
- ▶ ADC の ENOB、直線性、DC 消費電力を変化させる

本稿では、Schreier FOMは、SNDR (Signal-to-Noise and Distortion Ratio) をSFDRに置き換えることにより、2つのトーンに対する直線性能を反映したFOMに変換できるという提案を行います。図11、図12は、システムのFOMとRF加算／デジタル加算の比率の関係をプロットしたものです。

$$SNR_{system} = NSD_{system,input} - Full\ Scale_{system,input} + 10Log\left(\frac{F_{s,Nyq}}{2}\right)$$
$$NSD_{system,input} = -174 \frac{dBm}{Hz} + NF$$
$$SFDR\ dB = \frac{2}{3} (IIP3\ dBm - [感度]\ dBm)$$
$$[感度]\ dBm = -174 \frac{dBm}{Hz} + NF + 10Log(IFBW)$$

(1)

上の式において、温度は290K (16.85℃) を前提としています。また、Full Scale_{system,input} は、入力を基準としたフル・スケールです。

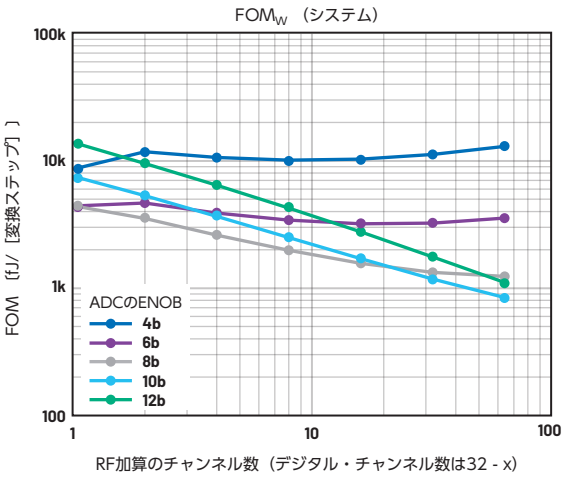


図11. Walden FOMをベースとしたシステムのFOM (低いほど良い)

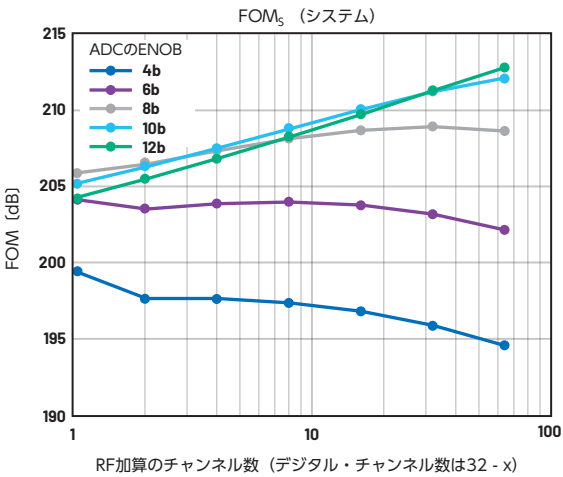


図12. Schreier FOMをベースとしたシステムのFOM (高いほど良い)

表6. ADCのFOMとシステムのFOMの関係

	ADCの FOM	ADCを含むシステムのFOM (提案)	単位	FOMの値の意味
Walden FOM	$FOM_W = \frac{[消費電力]}{2^{ENOB} \times f_{s,Nyq}}$ $ENOB = \frac{SNDR - 1.76}{6}$	同じ $ENOB_{system} = \frac{SNR_{system} - 1.76}{6}$	$\left(\frac{fJ}{[変換ステップ]}\right)$	低いほど良い
Schreier FOM	$FOM_S = SNDR + 10Log\left[\frac{f_{s,Nyq}/2}{[消費電力]}\right] \text{ dB}$	$FOM_S = SFDR + 10Log\left[\frac{f_{s,Nyq}/2}{[消費電力]}\right] \text{ dB}$	dB	高いほど良い

上では、「最高値」という表現を使用しました。これは、所定のコスト（すなわちDC消費電力）を支払った場合に得られる最高の効果（すなわち性能）という意味です。本稿で提案するFOMは、DC消費電力に対して正規化された性能を表します。そのため、最高値に関する結論を導き出す上で役に立ちます（表7）。感度に関する所見はWalden FOM（図11、低いほど良い）、SFDRに関する所見はSchreier FOM（図12、高いほど良い）を基にしたシステムのFOMから導出しています。

まとめ

フェーズド・アレイ・レーダーでは性能が非常に重視されます。このようなアプリケーションでは、サンプル・レート、ダイナミック・レンジ、DC消費電力の最適なバランスが得られるようにしなければなりません。いずれか1つを過度に優先すると、最適ではない（あるいは単に役に立たない）ソリューションになってしまいます。

ADC製品の中には、20GSPS、あるいは100GSPSを超えるサンプル・レートを達成するものもあります。しかし、そのような高スループットは、DC消費電力とダイナミック・レンジ（ENOB）という2つの重要な性能と引き換えに達成されています。つまり、FOMの3つの要素のうち2つを犠牲にしているということです。高いサンプル・レートは、技巧的な設計によって達成されているわけではありません。DC消費電力の増加とENOBの低下と引き換えにサンプル・レートを優先するという選択を行った結果得られるものです。多くの場合、フェーズド・アレイ・システムで使用するADCについては、ダイナミック・レンジとDC消費電力を優先すべきです。サンプル・レートは、周波数プランニングの効率とオーバーサンプリング・ゲインに対応できれば十分だと考えてもよいでしょう。

一般に、フェーズド・アレイ・レーダーでは、ダイナミック・レンジとサンプル・レートが高く、ENOBが8程度のADCが選択されます。それにより、ダイナミック・レンジとDC消費電力の間でバランスをとることができるからです。まずはSNDR（ENOB）の定義に注意してください。その上で、SNDRに加えて、2つのトーンに対する相互変調性能について必ず検討してください。フェーズド・アレイ・レーダーで使用するADCには、高い直線性も必要です。3次インターセプト・ポイント（IP3）は

22dBm以上確保するべきでしょう。また、SNDRについて評価する際には、インターリーブ・スプリアスが含まれているかどうかを確認してください。加えて、スペクトル領域が都合良く選択されていないことを確認する必要もあります。

高いダイナミック・レンジを確保しつつオール・デジタルのビームフォーミングの採用を考える場合には、それが絶対に不可欠という理由が必要です。オール・デジタルを選択すると、DC消費電力が大幅に増加するからです。フェーズド・アレイにおいて、各種の性能とDC消費電力の最適なバランスを得たいなら、ハイブリッド・ビームフォーミングを採用すべきです。ハイブリッド・ビームフォーミングでは、RFビームフォーミングが適用されるサブアレイの後に、ADCとD/Aコンバータ（DAC）を組み合わせたノードが分散配備されます。それらのノードによってデジタル・ビームフォーミングが適用されます。ビームの属性の面で許されるのならば、RFビームフォーミングを適用する小さなサブアレイを各ADCの前に配置すると、性能を高めつつ、DC消費電力を削減することができます。RFビームフォーミングを利用すれば様々な効果を得ることが可能になります。例えば、少ないDC消費電力でSFDRと感度を改善することができます。また、ビームのヌル・ステアリングを使用してブロックを低減することも可能です。そのため、RFビームフォーミングは利用が推奨される手法です。一方、オール・デジタルのビームフォーミングであれば、ソフトウェア定義型の手法を導入して適応性を実現することができます。しかし、それには更に多くの電力を費やす必要があります。

今後5～10年の間に、オール・デジタルを採用したフェーズド・アレイはより高い性能を発揮するようになるでしょう。利用する技術の成熟度と実行可能性が向上することが期待できるからです。そのような状況を実現するためには、サンプル・レートとENOBを維持しつつDC消費電力を削減することに重点を置いた最先端のADCを開発する必要があります。ADCのサンプル・レートは引き続き向上し、世間の注目を集めることになるでしょう。しかし、そのメリットを享受するのは、フェーズド・アレイ・システムではなく、EW（Electronic Warfare）システムのような広帯域のアプリケーションかもしれません。フェーズド・アレイの市場では、サンプル・レートのスイート・スポットが見定められることになるはずですが（恐らくは10GSPS～20GSPS程度）。その条件で、最も高いENOBを最小限の消費電力で提供できるICメーカーが勝者になるでしょう。

表7. FOMをベースとした検討に関するまとめ

項目	所見
感度	DC消費電力の値に対して感度が最も高くなるのは、ADCのENOBが高く（8～12）、RF加算の比率が高い場合である
	ENOBが6程度のADCであっても、RF加算の比率が低い場合（オール・デジタルまたはほぼデジタル）には有用。但し、ENOBが4～5に下がると、性能が全般的に低下する
SFDR	オール・デジタルの場合、DC消費電力の値に対するSFDRは、ENOBが6～12の範囲で同等になる。ダイナミック・レンジの拡大に伴ってDC消費電力が増加するので、効果が相殺されてFOMは一定になる
	DC消費電力の値に対してSFDRが最も高くなるのは、ENOBが8～12で、RF加算の比率を最大限に高めた場合である
	オール・デジタルの場合、ENOBが6程度であっても対応できるが、RF加算を2以上に増やしていくとそれでは足りなくなる。その場合、ENOBが8～12のADCの方が明らかにより良い選択肢になる
	RF加算が2～8の場合、ENOBが8～12の範囲であれば性能は同等になる
	RF加算が16以上になると、ENOBが8では不足し始める。10～12のENOBが適切な選択肢になる
	ENOBが4～5のADCは感度に対して望ましくないが、それ以上にSFDRに対して望ましくない。すべてのシナリオでSFDRの値は最も低くなり、ENOBがそれより高いケースと比べて決定的に良い性能が得られることはない

参考資料

¹ Prabir Saha 「フェーズド・アレイ向けのハイブリッド型ビームフォーミング、受信側の電力効率を定量的な解析で明らかにする」 Analog Devices

J. Bankman (2022年8月) 「How to calculate interface power (インターフェースの消費電力の計算方法)」 (インタビュー：B. Annino)

「Receiver Sensitivity/Noise (レシーバーの感度とノイズ)」 Military Handbook

B. Murmann 「ADC Performance Survey 1997-2022 [Online] (ADCの性能の調査 1997年～2022年 オンライン版)」 GitHub, Inc., 2023年

Peter S. R. Delos (2022年) 「ハイブリッド・ビームフォーミング・レシーバーのダイナミック・レンジ：理論と実際」 Analog Devices, 2022年11月

Salvador H. Talisa, Kenneth W. O'Haver, Thomas M. Comberiate, Matthew D. Sharp, Oscar F. Somerlock 「Benefits of Digital Phased Array Radars (デジタル・フェーズド・アレイ・レーダーがもたらすメリット)」 Proceedings of the IEEE, Vol. 104, No. 3, 2016年2月

著者について

Benjamin Anninoは、アナログ・デバイセズのアプリケーション・ディレクタです。航空／防衛ビジネス・ユニットを担当しています。2011年にHittite Microwave（現在はアナログ・デバイセズに統合）に入社。2014年にアナログ・デバイセズに転籍しました。それ以前は、Raytheonで様々なレーダー技術に従事。ダートマス大学で電気工学の学士号、マサチューセッツ大学ローエル校で電気工学の修士号、マサチューセッツ大学アマースト校で経営学の修士号を取得しています。

EngineerZone[®]

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

*英語版技術記事は[こちら](#)よりご覧いただけます。



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイセズのエキスパートへの質問、FAQの閲覧ができます。

©2023 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイセズの商標です。

TA24600-6/23

VISIT [ANALOG.COM/JP](https://analog.com/jp)