

AI用のアクセラレータ・カードに対する給電方法、トランジエントの影響を回避する

著者 : Hamed Sanogo、エンド・マーケット・スペシャリスト

概要

ハイ・パフォーマンス・コンピューティングの分野では、GPU (Graphics Processing Unit) やTPU (Tensor Processing Unit)、ASICといった高性能のICが利用されています。これらのICの特徴は、並列処理向けの強力な能力を備えている点になります。この特徴を活かすことで、AIにおけるトレーニングや推論という非常に大きな負荷に対応して処理の高速化を図ることができます。

AIでは、特に学習と推論を実施する際に膨大な演算能力が必要になります。その影響は、演算を担うICに対する給電方法にも及びます。結果として、電源回路の限界が新たなレベルまで押し上げられることになります。ICは、より高度な処理を行わなければならないことに加え、より高密度の負荷を処理しなければなりません。また、過渡的な状態にも対応できるようにするためには、より厳しい要件が課せられることになります。このような理由から、電源回路（配電回路）のあらゆる部分を最大限の能力で動作させなければならなくなっています。このような理由から、AI用のアクセラレータ・カードでは電力に関して非常に厳しい要件が課せられます。このことは、システムの性能にも影響を及ぼします。本稿では、まずAI用アクセラレータ・カード向けの電源回路に求められる要件について説明します。その上で、電源の出力トランジエントがもたらす影響について分析します。更に、非常に厳しい要件を満たすことが可能なマルチフェーズ対応の給電ソリューションを紹介します。

はじめに

AIは、人間の脳を模したニューラル・ネットワークを実現します。そのためには、革新的なコンピューティング・アーキテクチャが必要になりました。AIは、既に至るところに存在しているように感じられるかもしれませんが、しかし、実際にはAIを支える技術はまだ発展途上の段階にあります。AIに必要な演算に特化したプロセッサ・アクセラレータICとしては、GPU、FPGA、TPU、

ASICなどが挙げられます。本稿では、これらのICを「xPU」と総称することにします。

データ・センターでは、AI技術の活用が進んでいます。そのため、AI用のアクセラレータ・カードについては、今後も大きな需要が見込まれます。Gartnerは、AI用のICの売上高は2021年に340億米ドル（約5兆円）を上回り、2026年までに860億米ドル（約13兆円）にも達するとの予測を示しています¹。xPUは、超並列コンピューティングを実現できるよう実装されています。そのため、通常のCPUを使用する場合と比べてAIに関する処理性能を飛躍的に高めることができます。xPUの特徴は、小さなコアを多数搭載している点にあります。これは、AIに求められる処理の実行に非常に適しています。実際、ニューラル・ネットワークのトレーニングとAIの推論を実行する際の処理性能を高めることが可能です。しかし、AIにおける演算とデータの移動の処理は多くの電力を消費します。端的に言って、xPUは消費電力が極めて多いICです。そのため、電力に関する要件も非常に厳しくなります。その結果、AI用のアクセラレータ・カードに対しては新たな要件が課せられることになります。また、それらの要件はシステムの性能にも影響を及ぼします。以下では、AI用アクセラレータ・カードの電源回路に求められる要件について説明します。

AIがもたらす給電の問題

AIを利用すれば、多くのことを実現できます。しかし、それには電力効率の改善は含まれていません。AIが動作する際、特にディープ・ラーニングや推論といった負荷が重い処理が行われる際には、膨大な演算能力が必要になります。システムのレベルで見ると、AI用のアクセラレータが担う役割は非常に大きいと言えます。その種のアクセラレータを利用し、ほぼ瞬時に結果を提供することによってAIの価値を高められるからです。あらゆるxPUは、数十億個ものトランジスタで構成されたハイエンドのコアを複数個搭載しています。それらの消費電流は数百Aものレベルに達します。そのため、xPUのコアの電源電圧 V_{CORE} は1.0V未満にまで引き下げられています。



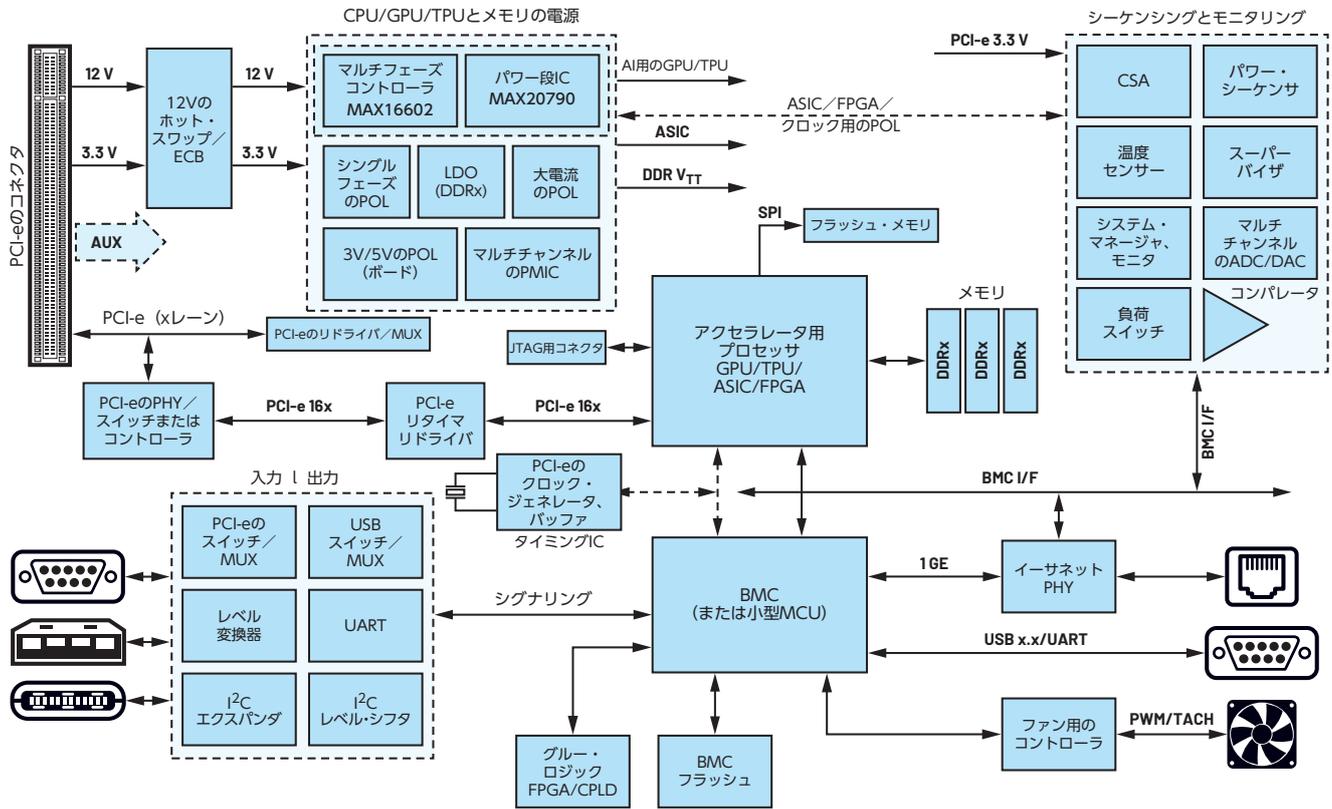


図1. 一般的なAI用アクセラレータ・カードのブロック図

図1は、典型的なAI用アクセラレータ・カードのブロック図です。本稿では後ほど、このようなシステムに適したマルチフェーズ対応のコントローラと集積度の高いパワー段ICを紹介することになります。

AI用アクセラレータ・カードでは、ピークの電流密度が非常に高くなります。その高さは、どのようなマザーボードでも対応できないほどです。その種のカードでは、負荷の性質が非常に動的であり、急峻な電流トランジェントが生じます (di/dtが非常に高くなります)。また、数マイクロ秒間も継続するスパイクを伴った非常に破壊的な電圧トランジェントも発生します。つまり、xPUが破損するおそれがあるということです。一般的なAIが使われるシステムでも、そのような継続的な負荷が生じることがあります。その場合、デカップリング・コンデンサによって、瞬時の要求に応えられるだけのエネルギーを常に供給することはできません。一般に、AI用のアクセラレータでは、電源回路全体にストレスを与えるトランジェントが発生します。ただ、このトランジェントを回避する方法は存在します。それが、アナログ・デバイスが提案するマルチフェーズ対応のPOL (Point of Load) ソリューションです。それについて説明する前に、まずはAIが電源の設計にもたらす課題について整理しておくことにしましょう。

AIによってもたらされる電源設計の課題

現在、AIに関連する電力の要件は、従来の電源回路の能力をはるかに上回るペースで厳しくなっています。特にxPU用の電圧レ

ギュレータ (VR : Voltage Regulator) に対する要件は、標準的なPOLレギュレータに対する要件とはかなり異なります。例えば、アプリケーションによっては、1V未満の電源電圧によって1000Aを超える電流を供給することが求められます。もちろん、非常に安定していてほとんどノイズを生成しない電源回路を実現することも重要になります。それに加えて、電圧トランジェントに関するあらゆる可能性を排除することも重視しなければなりません。電圧トランジェントは、xPUの内部に不適切なトリガを引き起こすおそれがあります。AI用アクセラレータでは、高い性能を実現するために大量の電流を必要とします。この用途に向けたPOLレギュレータを設計する際には、主要な要件を満たすために十分に配慮しなければなりません。

電圧のスパイク/トランジェントの管理

AI用アクセラレータ・カードの主要な要件の1つは、電圧トランジェントを適切に管理できるようにVRを設計することです。システムの種類に関わらず、数kWもの電力を供給するというは極めて難易度の高い課題です。電源の出力電圧には、許容誤差、リップル、負荷の影響による過渡的な上下変動が現れます。ただ、その出力電圧は、システムのハングアップを回避するために、常にxPUの最小電圧を上回っていないければなりません。一方、xPUの損傷を防ぐためには、常にその最大電圧を下回っている必要があります。アクセラレータ・カードにおける過渡的な電力スパイクは、最大熱出力の目標値の2倍以上に達する可能性があります。

重要なのは、発生する可能性がある高速のトランジェントに対応できるように、POLのループ帯域幅を柔軟に広げられるようにしておくことです。帯域幅が広いほど、ループ応答は高速になります。それにより、電圧の変動幅は小さくなります。では、高速トランジェントに対応可能な電源を実現するための具体的な策はどのようなものになるのでしょうか。最も単純な方法は、高速な過渡応答性能を備えるレギュレータ製品を選択することです。アナログ・デバイセズの場合、AI用のxPUの V_{CORE} に電力を供給するためのICを提供しています。それらの製品は、周波数成分として現れる出力ノイズが非常に小さく、過渡応答が高速で、効率が低いという特徴を備えています。負荷ライン制御にも対応するので、アナログ・デバイセズのAI用電源チップセットを利用すれば、電源設計者の負担は大幅に軽減されます。つまり、AIの負荷によって生じるトランジェントとスパイクを適切に管理することが可能になるということです。

長い電源配線パターンの抵抗によって生じる損失

先述したとおり、AIで使用されるxPUの消費電流は増加し続けています。そのため、POL型の給電ソリューションでは密度の重要性が増しています。これについては、放散された熱がICの信頼性に影響を及ぼし、熱暴走を引き起こすのではないかと懸念があります。実際、xPUのあらゆる部分に確実に電力を供給するのは非常に難しくなっています。言い換えれば、大電力に対応する電源の設計においては、熱の管理が非常に重要な課題になっているということです。従来の給電方法では、VRをxPUの近くに配置し、プロセッサに対して電力を横方向に供給していました(後述)。この方法では、配線パターンの抵抗値を最小限に抑えていたとしても、許容できないレベルの電力損失(I^2R)が生じる可能性があります。また、プリント回路基板の電源プレーンにも抵抗成分が存在します。従って、その総量に応じた電力損失が生じます。その値は、xPUの消費電流の増加に比例して増大することになります。つまり、VRとBGAのピンをつなぐ数cmの配線パ

ターンによって莫大な量の損失が生じるということです。実際、VRの性能と効率を算出すると、基板の電源プレーン(銅プレーン)における損失が最も支配的な要素になっていることがあります。この課題に対処するために、アナログ・デバイセズは、電流と温度を制御するための回路を内蔵したモノリシックのパワー段ICを提供しています。従来の3チップ(ディスクリート構成)の給電ソリューションを実装するためには、基板上に大電流が流れる多くの配線パターンを設ける必要がありました。それに対し、アナログ・デバイセズのパワー段ICを採用すれば、その配線パターンの数を大幅に減らすことができます。

「MAX16602 + MAX20790 + CL」がもたらす価値

AI用のVRには、より高い精度を実現することが求められます。また、効率とサイズも優先度の高い要素です。加えて、性能と電力損失も重要な検討項目になります。先述したように、AI用アクセラレータ・カード向けにVRを設計する際には多くの課題に直面します。それらを解決する作業は、気の遠くなるようなものになります。ただ、設計者は次のことを十分に理解しています。すなわち、望ましくないトランジェントの影響に対処しなければ、要求に応じて大きなステップで電流を増加させることはできないということです。この課題を解決するには、高精度で動的な何らかの電圧ポジショニング(負荷ライン制御)が必要になります。

アナログ・デバイセズは、AIの市場に対して重点的に投資を行っています。その結果、48V系と12V系の両方のシステムに最適な多数のソリューションを提供できるようになりました。ここでは、AI向けのPOLを設計する際に直面する課題の解決を支援するものとして、マルチフェーズに対応する電源チップセットを紹介します。そのチップセットは、マルチフェーズ対応のコントローラ「MAX16602」、集積度の高いパワーIC段「MAX20790」、当社が特許取得済みの結合インダクタ(CL: Coupled Inductor)技術から成ります。

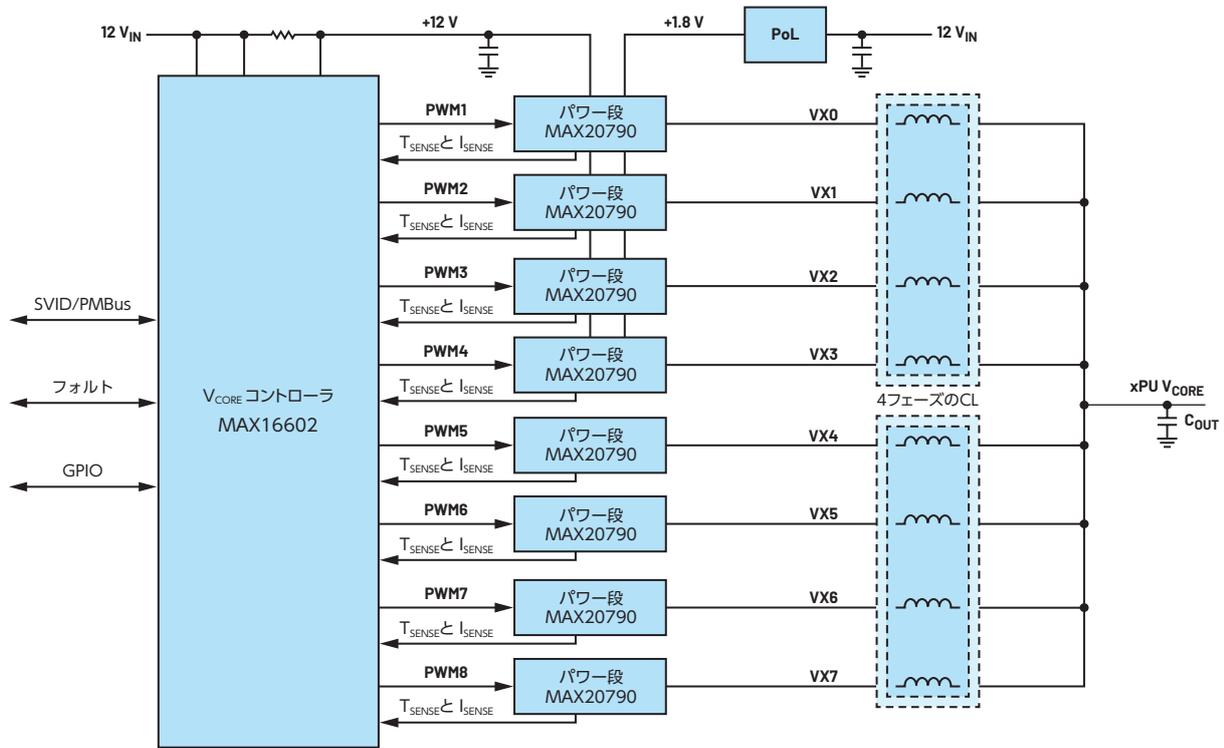


図2. 8フェーズのVR回路。アナログ・デバイセズの集積度の高いチップセットを使用しています。外部への接続が少ない高密度の設計が実現されています。

図2は、このチップセットを使用して構成した8フェーズの評価用回路のブロック図です (MAX16602CL8_EV)。このような簡素化された設計により、1フェーズあたり約88A_{PK}という高い電流供給能力が実現されています。内部補償と高度な制御を実現するアルゴリズム、パワーIC段が内蔵する電流検出回路、CLを組み合わせた小型のソリューションにより、最高レベルの効率を達成できます。

集積度の高いモノリシックのスマート・パワー段IC

MAX20790は、豊富な機能を備えたスマート・パワー段ICです。MAX16602 (またはポートフォリオに含まれるその他いくつかのコントローラ) と組み合わせることで、高密度かつマルチフェーズ対応のVRを実装できるように設計されています。モノリシックのICなので、ディスクリートな設計に見られるFETとドライバの間の寄生抵抗とインダクタンスがほぼ存在しません。そのため、高速なスイッチングを実現できます。同時に、従来の実装と比べて電力損失がはるかに小さく抑えられます。MAX20790は、スイッチ・ノードV_xのフォルトを検出すると、直ちにシャットダウンします。同時に、フォルトのIDをコントローラに通知します。このスマート・パワー段ICは、電流センサー (電流検出用の回路ブロック) も内蔵しています。この電流センサーは、インダクタの直流抵抗 (DCR) を使用する方法よりもはるかに優れた結果をもたらします。広く知られているように、DCRを利用した

単純な電流検出では高い精度を得ることができません。信頼できる電流の測定結果を得るためには、温度補償の仕組みを適用する必要があります。

マルチフェーズに対応するコントローラIC

MAX16602は、マルチフェーズに対応するコントローラICです。AI用のxPUのV_{CORE}に対する給電を担うVR向けに設計されています。高密度で柔軟性が高く、拡張が可能なソリューションとして実現されています。PWM (Pulse Width Modulation) の並列化をサポートしており、最大16フェーズの制御に対応できます。

MAX16602のアーキテクチャは、次のようなメリットをもたらします。まず、部品点数を削減し、設計を簡素化することができます。また、高度なパワー・マネージメント機能とテレメトリ機能が提供されます。更に、全負荷範囲にわたってエネルギーの削減効果を高められます。同ICは自律的な位相シェディング機能を備えているので、全負荷範囲にわたって高い効率が維持されます。

チップセット全体は、マルチフェーズに対応する高効率の降圧コンバータとして機能します。また、多様なステータスやパラメータの値を測定する機能も備えています。回路の保護やシャットダウンに使用するパラメータは、パワーIC段で収集されるフォルトの情報も含め、PMBus®のインターフェースを介して設定/監視されます。以下では、このコントローラがサポートするその他の主要な機能を紹介いたします。それらは、任意のAI向けの給電回路において重要な意味を持ちます。

AMSによる過渡応答の改善

MAX16602は、過渡応答を改善するための変調方式としてAMS (Advanced Modulation Scheme) を採用しています。これを利用して、遅延を最小限に抑えつつ、フェーズのオン/オフを実現できるようになっています。負荷が重くなった場合には複数のフェーズを同時にオンにし、負荷が軽くなったときには直ちにオフにするといった具合です。AMSを有効にすると、フェーズ・マージンを損なうことなく、システムのクローズドループ帯域幅を拡大することが可能になります。それにより、このPOLソリューションは、AI用のVRで生じる瞬間的かつ動的な電流に関する要件に対応できる確率が高まります。

負荷ライン制御の実現

MAX16602の負荷ライン制御 (Load Line Control) を使用すれば、出力電流の値に基づいて V_{CORE} の値を最小値と最大値の間で変化させることができます。基本的に、負荷が軽い場合は V_{CORE} を高く設定し、負荷が重い場合には V_{CORE} を低く設定します。その目的は、制御ループがより多くの負荷電流に対応できるようにすることです (これは適切な動作を得るために必要なことです)。MAX16602は、出力電流の全範囲で出力の負荷ライン制御を正確に実行します。出力における電圧ポジショニングは、パワー段ICからの、損失を伴わない電流検出信号を使用して実行されます。また、この信号はコントローラにフィードバックされます。負荷ライン制御に関する設定は、コントローラの中で電圧制御ループのエラー・アンプのDCゲインをデジタル的にプログラムすることによって行われます。このコントローラのデータシートを見ると、電気的特性の一覧と表6に、 $0.105\text{m}\Omega \sim 0.979\text{m}\Omega$ という広い範囲におけるDC負荷ラインの特性が示されています。図3に示したのは、このソリューションによって構成した16フェーズのPOL回路の過渡応答です。40Aから360Aまでステップ状に負荷を変化させた場合 (スルー・レートは800A/マイクロ秒) の例を示しています。これを見ると、オーバーシュートが最小限に抑えられていることがわかります。

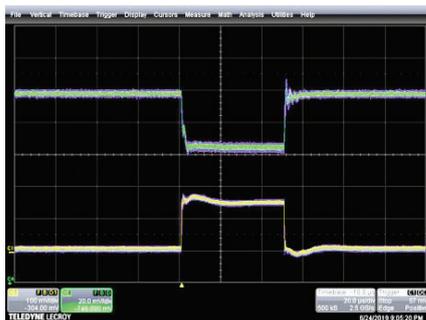


図3. 16フェーズのPOL回路の過渡応答。40Aから360Aまでステップ状に負荷を変化させた場合 (スルー・レートは800A/マイクロ秒) の例を示しています。

アクティブ電圧ポジショニング (AVP: Active Voltage Positioning) の機能を回路に追加すると、負荷過渡応答の要件が緩和されます。それにより、xPUの許容誤差のウィンドウ全体をより有効に活用できるようになります。負荷ライン制御は、ステップ状の負荷の変化に対する出力電圧のピークtoピークの変

動を抑えることに役立ちます。また、出力レールのバルク容量を低減することを可能にします。加えて、全体的な電圧の変動幅が抑えられ、xPUがクラッシュしたり破損したりするリスクが低減されます。なお、MAX16602では負荷ライン制御用の回路ブロックを無効化することが可能です。

CLがもたらすメリット

アナログ・デバイセズは、CL技術の開発に10年以上前から取り組んできました。この特許取得済みの技術をソリューションに組み込むことで、より高い密度、より広い帯域幅、より高速な過渡応答が実現されました。ディスクリット構成の実装と比べて、効率は50%高くなり、磁気部品の大きさを1/1.82に抑えられます。CLは、定常状態では大きなインダクタンス、過渡状態では小さなインダクタンスとして機能します。これを採用すれば、インダクタのサイズを抑えつつ、 C_{OUT} の値を低減できます²。図4に、CL製品シリーズの外観を示しました。これらの製品は、アナログ・デバイセズが提供するマルチフェーズ対応のVRソリューションで一般的に使用されています。



図4. CL製品シリーズの外観。アナログ・デバイセズが提供するマルチフェーズ対応のVRソリューションで一般的に使用されています。

設計に関する仕様や優先事項に応じ、CLのサイズを更に小さくするか、効率を更に高めるのかという選択を行うことができます¹。但し、その場合、CLによる電流リップルの除去性能は低下します。AI向けのPOLの設計にCLを採用すれば、VRのトータルのフットプリントが小さいソリューションを比較的容易に実現できます。このことは、システムにとって大きなメリットになります。また、アナログ・デバイセズにとっての差別化要因でもあります。当社は、磁気部品を提供する複数の有名なメーカーに対し、CL技術のライセンスを無償提供しています。それらのメーカーから、必要な製品を入手することが可能です。

トップサイド冷却を採用したパッケージ

トップサイド冷却は、表面実装型のパッケージに対し、新たな放熱経路を提供するものです。MAX16602とMAX20790は、どちらもFCQFNパッケージを採用しています。その上面には、露出した放熱パッドが設けられています。FCQFNはリードレスの高度なパッケージであり、設計者が望む最高レベルの熱性能を備えています。このパッケージであれば、寄生インダクタンスを削減できるだけでなく、デバイスの接合部から周辺環境に熱を直接放出することが可能です。MAX20790の場合、接合部からケース表面までの熱抵抗 θ_{JC-TOP} は $0.25^\circ\text{C}/\text{W}$ です。トップサイド冷却をAI向けの電源の設計で活用することにより、システムの熱性能と設計の柔軟性を高めることができます。アナログ・デバイセズが提供するマルチフェーズ対応のVR/POL製品を採用すれば、高い効率と高い電力密度を実現できるということです。

図5に、16フェーズのソリューションの効率曲線を示しました。この評価結果は、MAX16602、MAX20790、「CLH1110-4」を組み合わせた評価用ボードを使って取得しました。この効率曲線には、バイアスとインダクタに伴う損失の影響も反映されています。アナログ・デバイセズは、様々なAI用アクセラレータのアプリケーションを対象として、VRをはじめとする電力変換のソリューションを提供しています。お客様は、当社のマルチフェーズ対応のコントローラと集積度の高いパワー一段ICを組み合わせたソリューションにより、xPUの非常に厳しい動的な電力要件に対応できます。また、今日のAIアプリケーションが直面する設計上の課題を解決することが可能になります。

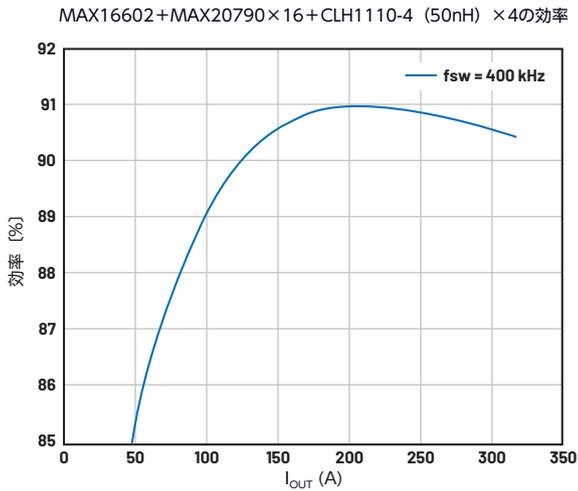


図5. 16フェーズのソリューションの効率曲線。AI向けVRの評価用ボードを使用して取得しました。

垂直給電

AIの分野は、複雑な処理を担うxPUが登場したことによって大きく発展しました。しかし、xPUは極めて多くの電力を消費します。xPU向けには、最大650Aの連続電流と1000Aを超えるピーク電流を供給可能なVRを使用することが一般的になっています。AI用のxPUに対する給電においては、効率を維持することが課題になります。従来の電源のアーキテクチャでは、消費電力が極めて多いAI用のxPUに対応し続けることはできません。VR用のICメーカーや設計者は、根本的に異なるアプローチを採用した給電方法に目を向けています。そうした給電方法の新たなトレンドとして注目されているのが垂直給電 (Vertical Power) です。この手法は、バックサイド・パワー・デリバリーとしても知られています。

大電流を伴う給電を行う際には、負荷の入力部に当たるxPUの電源ピンのできるだけ近くにVRを配置する必要があります。しかし、従来の横方向の給電方法ではこの要件を十分に満足することはできません。そこで考えだされたのが垂直給電です。この手法では、xPUの真下にVRを配置します。それにより、基板上で生じ得るあらゆる損失を排除します。より具体的に言うと、パワー・コンバータ、パワー一段、コンデンサ、磁気部品を基板の背面に配置し、ビアを介してxPUに垂直的に電力を供給します。つまり、xPU (BGA) の下から垂直方向に電流が供給されます。この垂直のパスは短いので、インダクタンスは大幅に低減されます。結果として損失が削減されます。図6は、垂直給電のアーキテクチャの一例です。この例では、xPUの下に基板があります。そして、基板の反対側の面に給電用のモジュールを実装しています。なお、この図は説明を目的としたものであり、大幅に簡素化した状態を描いています。

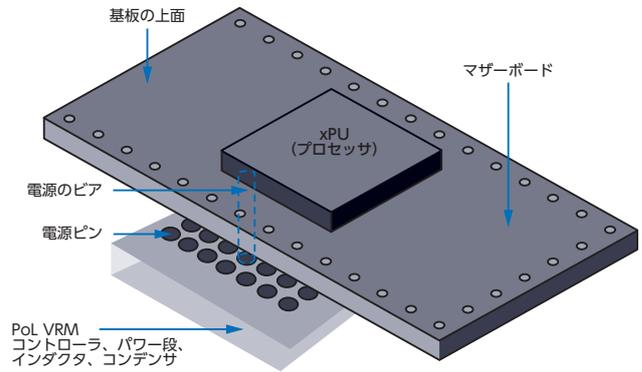


図6. 垂直給電のアーキテクチャ

垂直給電のソリューションを構築する際にはいくつかの課題に直面します。例えば、電源モジュールの重量と実装の問題を解決しなければなりません。垂直給電では、xPUの下に基板を配置します。瞬時の要求に対応するためには、エネルギーの貯蔵に使用する高周波数対応のデカップリング・コンデンサが必要になります。基板の反対側の面は、同コンデンサを配置するのに最も適した場所でもあります。アナログ・デバイセズのCL技術と垂直給電を組み合わせることで、より高い電流密度と電力密度に加えて、より高速な過渡応答性能が得られます。垂直給電は、アナログ・デバイセズをはじめとするPOLメーカーに対して新たな機会をもたらします。つまり、革新を生み出し、独自の方法でムーアの法則に従った進化を続けるチャンスがもたらされるということです。

まとめ

AI用のアクセラレータ・カードは、機械学習やディープ・ラーニングに対応するために使用されます。そうしたカードは、AIを理論上の存在から、実用的な主流の技術へと進化させました。その背景にあるのは、トレーニングと推論の負荷に高速に対応するための並列処理の能力です。高性能のAI用アクセラレータ・カードに適したVR/POLを設計するのは難易度の高い課題です。特に、高度な最新xPUに対応するのは簡単なことではありません。xPUの電力に関する要求は、電流量と電圧の精度の面で非常に厳しくなっているからです。

本稿では、xPUに適したVR/POLのソリューションを紹介しました。それらがターゲットとする要件は、標準的なPOLレギュレータに求められるものとはかなり異なっています。xPUの電源レールでは、負荷が非常に高速に変化します。そのため、動的な電圧ポジショニングや負荷ライン制御が必要になります。また、サイズを小さく抑えることも重要な要件です。

アナログ・デバイセズは、そうした課題を解決することが可能な数多くのソリューションを開発しました。実際、AI用のxPUの V_{CORE} に給電するための広範な製品ポートフォリオを擁しています。当社の電源ソリューションは、最小のフォーム・ファクタで最高レベルの効率を達成します。本稿では、マルチフェーズ対応のコントローラであるMAX16602とモノリシックの小型パワーIC段であるMAX20790を組み合わせたソリューションを紹介しました。このソリューションは、市場で最も高い電力変換効率、最も高速な過渡応答、最も正確なテレメトリ報告機能を提供します。これらのチップセットの詳細について、またMAX16602CL8の評価用キットについては[こちら](#)をご覧ください。

参考資料

¹ [Forecast: AI Semiconductors, Worldwide, 2021-2027 (予測：世界のAI用半導体 2021年～2027年)] Gartner、2023年4月

² [Utilizing the Benefits of Coupled Inductors (結合インダクタがもたらすメリットを活かす)] Analog Devices

著者について

Hamed M. Sanogolは、アナログ・デバイセズでクラウド／通信を担当するエンド・マーケット・スペシャリストです。グローバル・アプリケーション・グループに所属しています。17年間にわたり、FAE/FAEマネージャや製品ライン・マネージャなど、様々な職務に従事。以前は、General Motorsのシニア設計エンジニア、Motorola Solutionsのシニア・スタッフ電気エンジニアやNode-B/RRHベースバンド・カードの設計者などを務めていました。ミシガン大学ディアボーン校で電気工学の修士号、グラス大学で経営学の修士号を取得しています。

EngineerZone[®]

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

*英語版技術記事は[こちら](#)よりご覧いただけます。