

高速コンバータを使いこなすためのサバイバル・ガイド【デジタル出力編】

著者：Jonathan Harris、プロダクト・アプリケーション・エンジニア

概要

A/Dコンバータ（ADC）製品を選択する際には、様々なパラメータについて検討する必要があります。そうしたパラメータの1つがデジタル・データの出力方式です。現在、高速コンバータでよく使用されているのは、CMOS、LVDS（Low Voltage Differential Signaling）、CML（Current Mode Logic）の3種です。それぞれには、個々のアプリケーションにおいて考慮すべき長所と短所があります。各長所／短所は、ADCのサンプリング・レート、分解能、出力データ・レート、システムで許容できる消費電力などに関連づけられます。本稿では、各出力方式の電氣的仕様や物理的構成、効率などについて説明します。最後に、各方式はどのようなアプリケーションに適しているのかということについてまとめます。

CMOS方式のデジタル出力ドライバ

一般に、サンプル・レートが200MSPS未満のADCでは、CMOS方式のデジタル出力が使われています。同方式に対応する最も典型的なデジタル出力ドライバは、図1（a）に示すようなものになります。ご覧のように、電源 V_{DD} とグラウンドの間に接続した2個のトランジスタ（1個のPMOSと1個のNMOS）で構成されています。この構成では、ローがハイに、ハイがローにといった具合に出力が反転します。これを避けたい場合には、図1（b）のようにバック・ツー・バックの構成を使用します。CMOS用の出力ドライバには、入力インピーダンスが高く、出力インピーダンスが低いという特徴があります。入力インピーダンスが高い理由は、入力部が2個のCMOSトランジスタのゲートに相当するからです。CMOSトランジスタのゲートは、ゲート酸化膜によって他の導体から絶縁されています。そのため、入力インピーダンスは数k Ω から数M Ω のレベルに達します。一方、ドライバの出力インピーダンスは、ドレイン電流 I_D によって決まります。通常、同電流の値は大きくはありませんが、インピーダンスは数百 Ω 未満に抑えられます。CMOS出力では、出力電圧が V_{DD} 近辺からグラウンドまで（あるいはその逆）の間で変化することになります。そのため、 V_{DD} の値によっては、かなり振幅の大きい信号が出力されることになります。

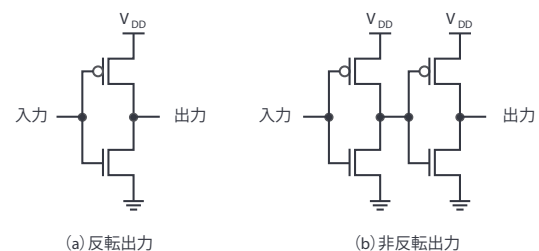


図1. CMOS出力用の典型的なデジタル出力ドライバ

入力インピーダンスが高く、出力インピーダンスが比較的低いことから、通常は1つのCMOS出力によって複数のCMOS入力を駆動できます。このことは、CMOS方式の長所の1つです。また、CMOSには、スタティック電流（静止電流）が少ないという長所もあります。多くの電流が流れるのは、2つのトランジスタがスイッチングするときだけです。ドライバの入力がグラウンドに接続されたローの状態か、 V_{DD} に接続されたハイの状態では、ドライバにはほとんど電流は流れません。しかし、ローからハイまたはハイからローに切り替わる時だけ、瞬間的に V_{DD} からグラウンドに至る低抵抗の経路が形成されます。200MSPS以上のADCでは、CMOS方式はあまり使用されません。その主な理由は、この過渡的な電流によって消費される電力が問題視されるからです。

また、CMOS方式の出力ドライバは、ADCの各ビットに対して1個必要になります。つまり、分解能が14ビットのADCであれば、14個のドライバが必要になるということです。一般的なADC製品では、1つのパッケージ（1つのチップ）に1個以上のADCが集積されます。1個のパッケージ内にあるADCの数は最大8個程度です。その場合、データを出力するためだけに112本の出力ピンが必要になります。これは、パッケージングの観点から言って好ましいことではありません。それだけでなく、消費電力の増加や基板レイアウトの複雑化の原因にもなります。このような問題に対処するために導入されたのがLVDSです。

LVDS方式のデジタル出力ドライバ

LVDSは、CMOSに勝るいくつかの特徴を備えています。例えば、シングルエンドの信号ではなく差動信号を使用する点や、その信号振幅が約350mVという低い電圧である点が挙げられます。信号の振幅が小さいということは、スイッチング時間を短くできるということを意味します。そうすれば、EMI（電磁干渉）を低減することができます。また、差動型であるという特徴から、同相ノイズを除去できるというメリットが得られます。差動型の場合、信号経路の両方（+側と-側）に同等のノイズが結合することになり、差動レシーバーの部分でそれらのほとんどが相殺されるからです。一方、LVDSには、インピーダンスを厳密に調整しなければならないという欠点もあります。具体的には、負荷抵抗が約100Ωになるようにしなければなりません。通常、これはLVDSレシーバーに終端抵抗を並列接続することで実現します。また、LVDSでは、インピーダンスを調整した信号伝送ラインを使用する必要があります。シングルエンドの場合には50Ω、差動の場合には100Ωにインピーダンスを維持します。

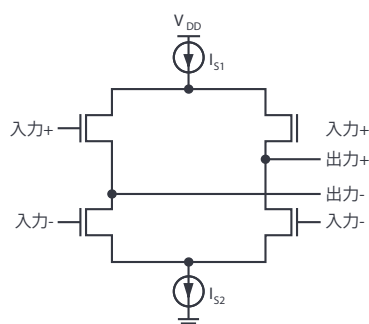


図2. LVDS出力用の典型的なデジタル出力ドライバ

図2に示したLVDS用の出力ドライバをご覧ください。そのトポロジから理解できることですが、この回路は、出力電源のDC負荷電流が固定された状態で動作します。そのため、出力の論理が変化する際に、CMOS方式で見られるような大きな電流スパイクが発生することはありません。この回路のソース電流/シンク電流は、3.5mA（公称値）に設定されています。そのため、終端抵抗が100Ωであれば、出力電圧の振幅は350mV（公称値）になります。この回路のコモンモード・レベルは1.2V（代表値）に設定されており、電源電圧としては3.3V、2.5V、1.8Vを使用できます。

LVDSのインターフェースについて定義した規格は2つあります。最もよく使用されているのは、ANSI/TIA/EIA-644仕様（Electrical Characteristics of Low Voltage Differential Signaling [LVDS] Interface Circuits）です。もう1つは、IEEE 1596.3（IEEE Standard for Low-Voltage Differential Signals [LVDS] for Scalable Coherent Interface [SCI]）です。

LVDSを利用する場合には、信号配線のレイアウトに特別の注意を払うことが求められます。そうすれば、サンプリング・レートが200MSPS以上のADCには多くのメリットがもたらされます。LVDSに対応する出力ドライバの動作は定電流動作なので、CMOS方式のように多くの電流を消費することなく、多くの出力を駆動できます。また、LVDSはDDR（Double-data Rate）モー

ドの動作に対応できます。つまり、単一のLVDSドライバにより、2倍の速度で、2倍の量のビット・データを伝送できるということです。このことから、CMOS方式と比べて必要な出力ピンの数を1/2に削減できます。同時に、消費電力も削減されることになります。このように、LVDSにはCMOSより多くの長所がありますが、やはり限界はあります。例えば、ADCの分解能が高くなるにつれ、必要なデータ出力の数に対応してLVDSインターフェースを基板上に配置するのが難しくなります。また、ADCのサンプル・レートは高まり続けているので、いずれはLVDSインターフェースで対応できるデータ・レートを超えるレベルに達することになるでしょう。

CML方式の出力ドライバ

ADCのデジタル出力インターフェースについては1つのトレンドがあります。それは、CML方式の出力ドライバを使用してシリアル・インターフェースを構成するというものです。この方法は、分解能が高く（14ビット以上）、高速（200MSPS以上）で、消費電力が少なく、パッケージが小型の製品でよく使用されます。例えば、最新のADCで使われるJESD204のシリアル・インターフェースは、CMLに対応する出力ドライバを採用しています。それにより、JESD204B（現在の最新リビジョン）に対応するシリアル・インターフェースでは、ADCの出力データ・レートが12Gbpsまで高められています。また、シリアル・インターフェースを採用していることから、出力ピンの数が大幅に削減されます。加えて、クロックは8b/10bで符号化されたデータ・ストリームに埋め込まれることから、クロック信号を伝送する必要はありません。データ用の出力ピンの数も、最少2本に削減できます。今後もADCの分解能、速度、チャンネル数が増加していくと、求められるスループットに対応するためには、データ用の出力ピンの数を増やさなければならなくなるかもしれません。その場合でも、CMLではシリアル・インターフェースを採用していることから、ピンの増加数はCMOSやLVDSに比べるとわずかで済みます。CMOSやLVDSでは、パラレル・データを伝送することから、かなりピン数を増やさなければならなくなります。

図3に示したのは、CML用のドライバの典型的なアーキテクチャです。この構成は、JESD204または同様のデータ出力形式に対応するADCでよく使われます。図3のアーキテクチャでは、任意のソース終端抵抗とコモンモード電圧を使用しています。この回路の入力は、2つの出力端子に適切な論理値が送出されるよう各電流源のスイッチを駆動します。

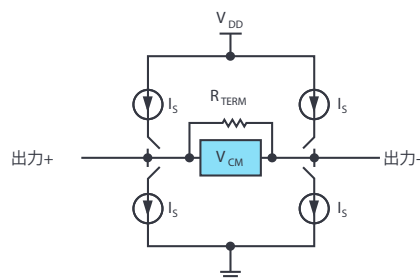


図3. CML出力用の典型的な出力ドライバ

CML用のドライバは、LVDS用のドライバと同様に定電流モードで動作します。そのため、消費電力が少ないというメリットが得られます。また、出力ピンの数自体が少ないので、トータルの消費電力も少なく抑えられます。一方、LVDSと同様に、負荷終端に加え、シングルエンドの場合で50Ω、差動型の場合で100Ωにインピーダンスを調整した伝送ラインが必要になります。図3に示したように、高帯域信号の感度に依存した信号の反射を抑えるために、ドライバ自身にも終端を施すことがあります。JESD204に対応するADCでは、データ伝送速度に応じて差動電圧とコモンモード電圧の仕様が異なります。データ伝送速度が6.375Gbpsまでの場合、差動電圧のレベルは800mV（公称値）、コモンモード電圧は約1.0Vです。データ伝送速度が6.375Gbps～12.5Gbpsの場合には、差動電圧のレベルは400mV、コモンモード電圧は約1.0Vです。ADCの速度と分解能は引き続き向上しています。また、多種多様なアプリケーションでADCに求められる要件と足並みを揃えるためには、高速伝送に対応できるCML方式のドライバを採用するのが望ましいと言えるでしょう。

タイミングに注意！

各方式に対応する出力ドライバを使用する際には、タイミングに注意を払わなければなりません。CMOSとLVDSでは、複数の並列データ出力が存在するので、スキューを最小限に抑えるために信号の配線経路に注意する必要があります。スキューが大きすぎると、レシーバーで適切なタイミングを確保できなくなってしまうかもしれないからです。また、クロック信号と出力データ信号は整列させた状態で配線する必要があります。クロックと出力データの配線経路については、スキューが大きくならないように細心の注意を払わなければなりません。

JESD204対応インターフェースで使われるCMLについては、デジタル出力の配線経路に注意する必要があります。CMOS、LVDSと比べると出力データ数が大幅に少ないので、その作業は比較的容易になります。それでも、完全に無視してはなりません。CMLではクロックがデータに埋め込まれるので、出力データとクロックの間のタイミング・スキューを気にする必要はありません。但し、レシーバーでCDR（Clock and Data Recovery）回路が適切に働いていることを確認する必要があります。

CMOSとLVDSでは、スキュー以外にセットアップ・タイムとホールド・タイムにも注意を払わなければなりません。出力データは、クロックのエッジが変化するよりも前のタイミングで適切な論理状態に駆動されている必要があります。また、クロックのエッジが変化した後には十分な時間その論理状態が維持されていなければなりません。これについては、出力データとクロックの間のスキューからの影響を受けることがあります。したがって、良好なタイミング関係を維持することが重要です。LVDSでは、

小振幅の信号を差動型で伝送します。そのため、CMOSにはないメリットが得られます。LVDS用のドライバは、CMOS用のドライバのように振幅の大きい信号を駆動する必要はありません。また、論理を切り替えるときに電源から多くの電流が流れることもありません。そのため、論理を変化させる際に問題が生じる可能性は低いと言えます。いくつものCMOS用ドライバが同時にスイッチングすると、電源電圧が降下し、レシーバーに対して正しい論理値を送出できなくなる可能性があります。一方、LVDSでは、電流レベルを一定に維持することによって、そのような問題を回避しています。また、LVDSは差動伝送を採用しているので、同相ノイズに対して本質的な耐性を発揮します。CMLは、LVDSと同様の長所を備えています。まず、CML用のドライバでも電流レベルが一定に維持されるので、それによるメリットが得られます。また、シリアル・データを伝送することから、LVDSよりも必要なピン数が大幅に少なくなります。更に、CMLも差動伝送を採用しているので、同相ノイズに対する耐性が得られます。

ADCの速度と分解能が向上するのに伴い、デジタル出力用のドライバ技術も進化させる必要があります。高性能のADCでは、データ伝送方式としてシリアル・インターフェースが採用される傾向があります。そのため、デジタル出力にはCML方式がより広く使われるようになってきました。ただ、最新の設計において、CMOSやLVDSも引き続き使われています。アプリケーションごとに、どれが最も適切であるかは異なるからです。CMOS、LVDS、CMLのいずれにも長所と短所があり、設計の際に考慮すべき事柄が存在します。サンプリング・レートが200MSPS未満のADCについては、現在でもCMOSが使用に適した技術だと言えます。それよりもサンプリング・レートが高い場合には、多くのアプリケーションにおいて、CMOSよりもLVDSの方が妥当な選択肢になるでしょう。更に効率を高め、消費電力とパッケージ・サイズを削減したい場合には、JESD204のようなシリアル・インターフェースに対応するCMLを選択するとよいでしょう。

参考資料

Cindy Bloomingdale, Gary Hendrickson [AN-586 Application Note: LVDS Data Outputs for High-Speed Analog-to-Digital Converters（高速A/DコンバータのためのLVDSデータ出力）] Analog Devices、2002年

JEDEC Standard JESD204（2006年4月）、JEDEC Solid State Technology Association

JEDEC Standard JESD204A（2008年4月）、JEDEC Solid State Technology Association

JEDEC Standard JESD204B（2011年7月）、JEDEC Solid State Technology Association

著者について

Jonathan Harrisは、アナログ・デバイセズの高速コンバータ・グループ（ノース・カロライナ州グリーンズボロ）に所属するプロダクト・アプリケーション・エンジニアです。アプリケーション・エンジニアとして7年以上の経験を有しており、RF製品のサポートを担当してきました。ノースカロライナ大学シャーロット校で電子工学の学士号、オーバーン大学で電子工学の修士号を取得しています。趣味は、モバイル・オーディオ、ニトロ・ラジコン、大学フットボールに加え、2人の子供と過ごすことです。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

* 英語版技術記事は[こちら](#)よりご覧いただけます。