

JESD204Bと シリアルLVDS： 広帯域データ・コンバータ・ アプリケーション用インターフェースに 関する検討

著者：George Diniz、製品ライン・マネージャ

概要

シリアル・インターフェースの業界標準であるJESD204A/JESD204Bは、最新の広帯域データ・コンバータと他のシステムICを、効率的かつコストのかからない方法で相互に接続する際の問題に対処するために開発されたものです。その動機となったのは、スケーラブルな高速シリアル・インターフェースを使用することで、データ・コンバータとFPGA（フィールド・プログラマブル・ゲート・アレイ）やSoC（システム・オン・チップ）といった他のデバイスの間のデジタル入出力の数を減らすことができるようなインターフェースを標準化することでした。

近年の傾向を見ると、新しいアプリケーションの出現や既存アプリケーションの発展によって、サンプリング周波数とデータ分解能を一層向上させた広帯域データ・コンバータの需要が高まっています。これらの広帯域コンバータとのデータのやり取りは、設計上の重要な問題を提起します。既存のI/O技術には帯域上の制約があり、コンバータ製品のピン数を増やす必要が生じるからです。結果として、システムのPCB設計は、相互接続の密度の点でますます複雑なものとなっています。課題は、電氣的ノイズに対処しながら、大量の高速デジタル信号を配線することです。より少ない相互接続でGSPSレベルのサンプリング周波数を実現する広帯域データ・コンバータを使用することができれば、PCBレイアウトに関する問題を緩和して、全体的なシステム性能に影響を与えることなく、フォーム・ファクタをより小さくすることが可能です。

市場は、与えられたシステムに対して常により多くの特徴と機能を、そしてより高い性能を強く求めており、これがより高いデータ処理能力への需要を喚起しています。高速A/Dコンバータお

よびD/AコンバータからFPGAへのインターフェースは、いくつかのシステムOEMが次世代のデータ集約的な需要を満たそうとする際の制限要因となっていました。JESD204Bシリアル・インターフェース仕様は、この重要なデータ・リンクの問題に対応することによって問題解決の助けとするために、特に策定されたものです。JESD204A/JESD204Bを使用した高速コンバータとFPGA間の代表的な相互接続構成を図1に示します。

以下では、この仕様の普及を推進しているいくつかの重要なエンドシステム・アプリケーションについて述べ、更にシリアルLVDS（低電圧差動伝送）とJESD204Bを対比します。

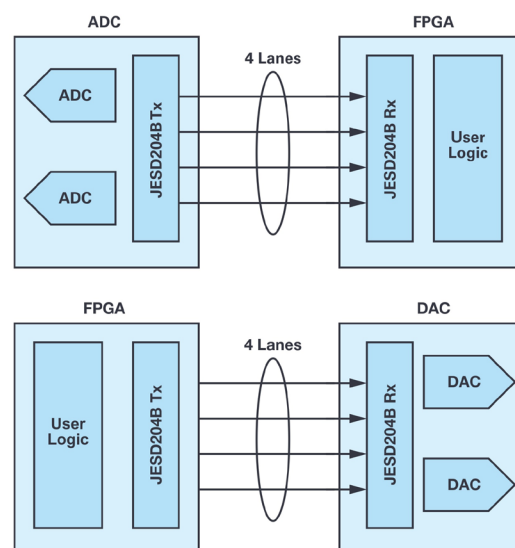


図1. JESD204A/JESD204B インターフェースを使用した高速コンバータとFPGA間の代表的な相互接続構成（原典：Xilinx®）

JESD204Bの需要を喚起するアプリケーション

ワイヤレス・インフラストラクチャ用トランシーバー

LTEなど、今日のワイヤレス・インフラストラクチャ用トランシーバーに使われるOFDMベースの技術は、アンテナ・アレイ素子を駆動するFPGAまたはSoCデバイス上に実装されたDSPブロックを使用して、各加入者のハンドセット用にビームを生成します。それぞれのアレイ素子は、送信モードと受信モードの両方において、FPGAとデータ・コンバータ間で1秒あたり数百メガバイトのデータを移動しなければならないことがあります。

ソフトウェア無線

今日のソフトウェア無線は、随時その場で設定を変更してチャネル帯域幅を手早く拡大できる高度な変調方式を利用しており、かつてないワイヤレス・データ・レートを実現します。アンテナ・パス内でFPGAとデータ・コンバータを結び、効率的かつ消費電力とピン数の少ないインターフェースは、その性能に重要な役割を果たします。ソフトウェア無線アーキテクチャは、GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、およびTD-SCDMAをサポートするマルチキャリア、マルチモードのワイヤレス・ネットワーク用トランシーバー・インフラストラクチャにとって、不可欠なものとなっています。

医療用イメージング・システム

超音波、コンピュータ断層撮影（CT）スキャナ、磁気共鳴映像法（MRI）などの医療用イメージング・システムは、多数のチャネルからなるデータを生成し、これらのデータはデータ・コンバータを通じてFPGAやDSPに送られます。増え続けるI/O数によって、FPGAとコンバータのピン配置を合わせるためのインターポーザを使用する必要が生じるため、コンポーネント数が増加してPCBの構成が更に複雑になります。このためにシステムのコストが上がって複雑さも増しますが、これは、効率の優れたJESD204Bインターフェースによって解決することができます。

レーダーとセキュア通信

今日の先進的レーダー・レーシーバーのパルス構造はますます高度化しており、このために信号帯域幅が1GHz以上に押し広げられています。最新世代のアクティブ電子走査アレイ（AESA）式レーダー・システムを構成する素子の数は、数千個にも上ることがあります。アレイ素子のデータ・コンバータと、データの受信・送信処理を行うFPGAまたはDSPを接続するには、広帯域SERDESベースのシリアル・インターフェースが必要です。

シリアルLVDSとJESD204B

シリアルLVDSとJESD204Bインターフェースのどちらを選ぶか

LVDSと各種JESD204シリアル・インターフェース仕様のどちらを採用したコンバータ製品を選択するかを決定するには、それぞれのインターフェースの機能と能力を比較することが有効です。簡単な比較表を表1に示します。SERDESレベルにおけるLVDSとJESD204の目立った違いは、レーン・データ・レートです。LVDSと比較して、JESD204はレーンあたり3倍以上のシリアル・リンク速度をサポートしています。マルチデバイス同期、確定的遅延、高調波クロッキングなどの高レベル機能で比較すると、JESD204Bはこれらの機能を備えた唯一のインターフェースです。すべてのレーンとチャネルで確定的遅延に敏感な広帯域マルチチャネル・コンバータを必要とするシステムでは、LVDSやパラレルCMOSを効果的に使用することはできません。

表1. シリアルLVDSとJESD204仕様の比較

機能	シリアルLVDS	JESD204	JESD204A	JESD204B
仕様の発表	2001年	2006年	2008年	2011年
最大レーン・レート(Gbps)	1.0	3.125	3.125	12.5
複数レーン	非対応	非対応	対応	対応
レーン同期	非対応	非対応	対応	対応
マルチデバイス同期	非対応	対応	対応	対応
確定的遅延	非対応	非対応	非対応	対応
高調波クロッキング	非対応	非対応	非対応	対応

LVDSの概要

低電圧差動伝送（LVDS）は、データ・コンバータとFPGAまたはDSPのインターフェースを取るために従来使われていた方法です。LVDSは1994年に、既存のRS-422およびRS-485差動伝送規格より広い帯域幅と低い消費電力を実現することを目標として導入され、翌1995年のTIA/EIA-644の公開により規格化されました。LVDSの採用は1990年代後半になって増加し、2001年にはTIA/EIA-644-Aの公開によって改訂されました。

LVDSでは、低電圧振幅の差動信号を高速データ転送に使用します。トランスミッタは代表値で±3.5mAを駆動します。極性は100Ω抵抗を介して送信するロジック・レベルに一致し、レーシーバー側で±350mVの電圧振幅を発生します。常時オンの電流を異なる方向へ流すことで、ロジック1と0を生成しています。LVDSのこの常時オン特性は、同時に発生するスイッチング・ノイズ・スパイクと電磁干渉をなくす助けとなります。電磁干渉は、シングルエンド構成でトランジスタをオン／オフしたときに発生することがあります。LVDSは差動信号を使用しているので、同相ノイズに対してもかなりの耐性を発揮します。TIA/EIA-644-A規格は、理想的な伝送媒体では1.9Gbps以上の速度まで対応可能とされていますが、推奨される最大データ・レートは655Mbpsです。

FPGAまたはDSPとコンバータの間のデータ・チャンネル数と速度の大幅な増加は、LVDSインターフェースにいくつかの問題をもたらしました。特に、前述のアプリケーションでは大きな問題となります（図2参照）。差動LVDS配線の帯域幅は、実際には約1.0Gbpsに制限されます。このため、現在の多くのアプリケーションでは多数の広帯域PCB相互接続が必要になりますが、これらはすべて故障発生源になる可能性があります。また、パターン数が増えればPCBも複雑化したり大型化したりすることになり、設計コストと製造コストが増加します。アプリケーションによっては、データ・コンバータ・インターフェースが制限要素となって、広い帯域幅を必要とするアプリケーションに必要なシステム性能を実現できない場合があります。

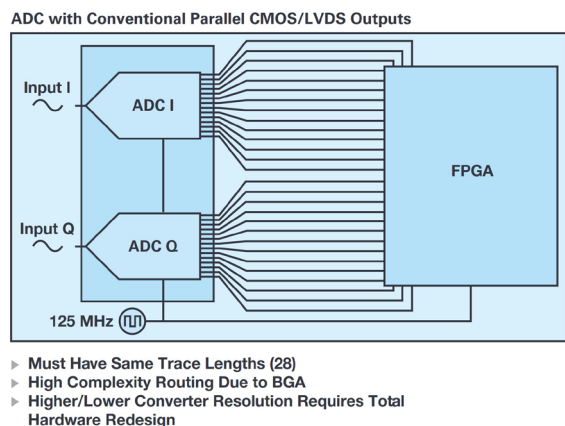


図2. パラレルCMOSまたはLVDS使用時のシステム設計と相互接続に関する課題

JESD204Bの概要

JESD204データ・コンバータ・シリアル・インターフェース規格は、JEDEC半導体技術協会のインターフェース技術に関するJC-16委員会（JEDEC Solid State Technology Association JC-16 Committee on Interface Technology）によって制定されたもので、その目標はデータ・コンバータ用の高速シリアル・インターフェースを提供し、帯域幅を拡大して高速データ・コンバータと他のデバイスの間のデジタル入出力数を削減することにあります。この規格はIBMが開発した8b/10bエンコーディング技術に基づくもので、フレーム・クロックとデータ・クロックを不要にし、1対の線による通信をはるかに高速で行うことを可能にしました。

2006年、JEDECは、3.125Gbpsシングル・データ・レーンのJESD204仕様を公開しました。JESD204インターフェースは自己同期方式なので、クロック・スキューを避けるためにPCBの配線パターン長を補正する必要がありません。JESD204は、汎用I/Oを解放するために、多くのFPGAが備えるSERDESポートを利用します。

2008年に公開されたJESD204Aでは、複数のタイムアライン・データ・レーンとレーン同期が新たにサポートされました。この機能強化によって、より広帯域のデータ・コンバータの使用と、同期された複数のデータ・コンバータ・チャンネルの使用が可能になりました。これは、携帯電話基地局で使用されるワイヤレス・インフラストラクチャ用トランシーバーにとっては特に重要

です。また、JESD204Aはマルチデバイス同期もサポートしています。この機能は、多数のADCを使用する医療用画像システムなどの機器に有効です。

この仕様の3番目のレビジョンであるJESD204Bでは、最大レーン・レートが12.5Gbpsに引き上げられています。また、JESD204Bでは確定的遅延機能も追加され、レシーバーとトランスミッタ間で同期ステータスをやり取りします。更に高調波クロッキングも導入されており、確定位相整合によって低速の入力クロックから高速のデータ・コンバータ・クロックを生成することができます。

まとめ

シリアル・インターフェースの業界標準であるJESD204Bは、高速データ・コンバータとFPGAなどのデバイスの間のデジタル入出力数を減らします。相互接続数が減るとレイアウトがシンプルになり、小型化を実現できます（図3参照）。これらの利点は、ワイヤレス・インフラストラクチャ用トランシーバー、ソフトウェア無線、医療用画像システム、レーダー、セキュア通信など広範な高速データ・コンバータ・アプリケーションにとって重要な意味を持ちます。アナログ・デバイセズはJESD204規格委員会の当初からの参加メンバーであり、その作業と並行して規格に準拠したデータ・コンバータ技術やツールを開発し、広範な製品ロードマップを提案してきました。アナログ・デバイセズは、その最先端のデータ・コンバータ技術とJESD204A/JESD204Bインターフェースを組み合わせた製品を提供することにより、お客様がシステム設計上の問題を解決し、この大きなブレイクスルーの利点を利用できるようになることを期待しています。

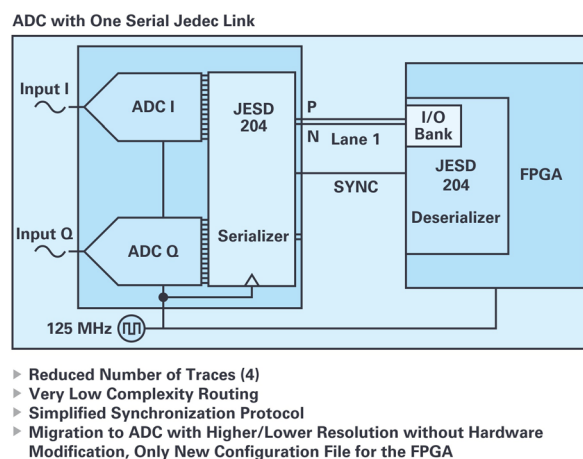


図3. 高速シリアルI/O機能を備えたJESD204がシステムPCBの複雑化に関する問題を解決

著者について

George Diniz

アナログ・デバイセズの高速D/Aコンバータ・グループ（ノースカロライナ州グリーンズボロ）の製品ライン・マネージャ。高速A/Dコンバータ製品と高速D/Aコンバータ製品に組み込まれるJESD204Bレシーバーおよびトランシーバーのインターフェース・コア開発を担当するチームのリーダーを務める。半導体業界で25年の経験を有し、設計エンジニアリングと製品ライン管理において様々な役割を担当。アナログ・デバイセズ入社前はIBMの設計エンジニアとして、PowerPCプロセッサのカスタムSRAMマクロ、PLL機能、DLL機能のミックスド・シグナル設計に従事。ノースカロライナ州立大学でMSEEを、マンハッタン・カレッジでBSEEを取得。余暇にはアウトドア活動、自動車の復元、ランニングを楽しむ。

連絡先：george.diniz@analog.com

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

*英語版技術記事は[こちら](#)よりご覧いただけます。



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイセズのエキスパートへの質問、FAQの閲覧ができます。

©2019 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイセズの商標です。

TA11326-8/19

VISIT ANALOG.COM/JP