

周波数合成の革命と進化： 性能の向上、サイズの小型化、 設計サイクルの簡略化に PLL/VCO技術が果たした役割

著者：Ian Collins、システム・アプリケーション・エンジニア

著者：David Mailloux、製品アプリケーション・エンジニア

マイクロ波周波数の生成は、長年にわたってエンジニアに大きな課題を提起してきました。エンジニアには、アナログ、デジタル、無線周波数 (RF)、およびマイクロ波エレクトロニクス、特にフェーズ・ロック・ループ (PLL) および電圧制御発振器 (VCO) 集積回路 (IC) コンポーネントに関する深い知識が求められ、チューナブル・フィルタリング、広帯域増幅、ゲイン等化などの技術も必要とされます。

近年におけるマイクロ波回路設計の進歩は、半導体技術に基づく低位相ノイズVCOによってオクターブ範囲の周波数をカバーすることを可能にしました。本稿では、この進歩に焦点を当てます。同じIC上に組み込まれた複数の出力分周器が数オクターブ低い周波数をカバーすることを可能にし、同様に逡倍器が32GHzに達する周波数を1つのICで生成することを可能にします。フラクショナルN PLLシンセサイザの進歩によって、マイクロ波周波数における合計RMSジッタを60fs程度に抑えることが可能になると共に、極めて小さい周波数分解能と最小限のスプリアス・トーンが実現されました。低挿入損失の広帯域フィルタを、これらのPLL/VCO内蔵ICと共に使用すれば、システム全体のスペクトル性能を改善して、ローカル発振器によるマイクロ波およびミリ波生成に関する課題を大幅に緩和することができます。

はじめに

ローカル発振器 (LO) は、最新の通信、オートモーティブ、産業、計測器などのアプリケーションにとって極めて重要なコンポーネントです。ベースバンドからRF、あるいはRFからベースバンドへの周波数のアップコンバートやダウンコンバート、車載レーダー・アプリケーション用のランプ周波数の生成、物質センシング、あるいはこれらのアプリケーション用回路を作成しテストするための計測装置の開発などの別に関わらず、LOは私たちの生活の様々な側面に使われています。回路およびプロセス技術の進歩は、これらの回路のコスト削減、複雑さの緩和、および面積の減少を助けてきました。また、LOのデザイン・インに関する努力は、より広範なアクティブ技術とパッシブ技術を組み合わせることが求められていた過去の集積回路と比較して、最新の集積回路を大幅に簡素化することを可能にしました。

過去においては、GSMなどの2G通信アプリケーション用LOの大部分が、アナログ・デバイスのADF4106と同様のインテジャールPLLと、狭帯域のTパッケージVCO (VCO190-1846Tなど) を組み合わせて使用していました。ほとんどの場合、これらのVCOは高いQ値を備えており、この標準の持つ厳しい位相ノイズ仕様を満たすのに非常に適していました。当時の携帯電話は一般に1つのワイヤレス標準だけをサポートしており、その標準自体のデータ・レートにも制約がありました (しかし、2Gネットワークによって実現された広いカバレッジが助けとなって、携帯電話は広く市場に受け入れられるようになりました)。基地局のLOには、図1に示すように、様々なICとVCOサブモジュールを使って組み立てられたモジュールが使われる傾向がありました。

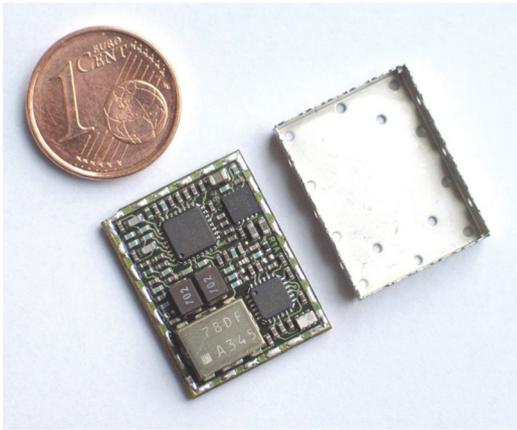


図1. ワイヤレス通信用LOモジュール

送信データ・レートと、世界の様々なワイヤレス標準との互換性に対する需要の拡大が広帯域VCOの発展を推進し、それが、狭帯域VCOを使用することで実現できた範囲より広い周波数への対応を促進し、新たに使用できる周波数スペクトルの拡大を支える結果となりました。このデータ・スループットをサポートするマイクロ波バックホール・ネットワークも、より高次の変調レートを実現すると共に、多様な範囲と標準に対応した設定をより可能にして、ネットワーク・プロバイダがエンジニアリングに要する労力を軽減し、投資利益率を改善できるようにしたいという圧力から生まれたものです。これらのネットワークの発展を支えた代表的なシグナル・アナライザは、大きくて重いイットリウム・鉄・ガーネット (YIG) 発振器を使用しており、フィルタリングについても同様にサイズと重量の大きい技術を採用していました。

VCOの改善

集積化半導体マイクロ波VCOの発展にとって最も大きな技術的課題は、使用可能なウェーハ製造プロセスで実現可能なQ値に制約があることでした。多くの場合、Q値は、巻線インダクタ (TパッケージVCOに使用) の代表的な値である数百から10をわずかに超える程度まで低下し、リーソン (Leeson) の式によって生じる制約のため、位相ノイズに大きな影響を与えます。リーソンの式によれば、位相ノイズLPM (式1) は、VCOのQ値増大、およびそれに関連する周波数範囲の低下と逆二乗の関係にあります。

$$L_{PM} = 10 \log \left[\frac{FkT}{A} \frac{1}{8Q_L^2} \left(\frac{f_O}{f_m} \right)^2 \right] \quad (1)$$

ガリウム・ヒ素 (GaAs) やシリコン・ゲルマニウム (SiGe) を基に製造された広帯域シングルコアVCOは、VCOのチューニング・ポートの範囲を5V (ほとんどの半導体ベースPLLチャージ・ポンプから得られる代表的な値) から、15Vあるいは場合により30Vまで拡大することによって、範囲とノイズに関わる問題を解決しました。これは、共振回路のQ値を同じに保てることを意味しますが、同時にバラクタのチューニング範囲が広がることによって、位相ノイズ性能を低下させることなくチューニング範囲を拡大できることも意味しました。このチューニング範囲の拡大は、1つの課題をもたらしました。これはアクティブ・ローパス・フィルタを使用することによって解決されましたが、チャージ・ポンプ電圧 (代表値5V) が15Vまたは30Vに変化しました

(図2に示すHMC733のチューニング範囲を参照)。これらのアクティブ・フィルタには、高電圧低ノイズのオペアンプが必要です。したがって、代表的なマイクロ波LOは、PLL (ADF4106) と、オペアンプおよびGaAs VCOで構成されることになりました。これに加えて、多くの場合は、VCO信号をPLLの最大許容入力周波数 (ADF4106の場合は6GHz) まで分周するために、分周器を外付けで追加する必要があります。共振回路が最も良好な性能を発揮するのは一般に2GHz以上なので、通常、GaAs VCOはSバンド以上で使われていました。回路基板の設計には細心の注意が必要とされ、そのためには電源、アナログ、RF、およびマイクロ波などの領域に関する高度な知識と経験が必要でした。更に、PLLフィルタを設計してその性能をシミュレートするには、制御理論とノイズ・モデリングに関する豊富な経験が必要で、個々の部品に精通していることも求められました。これら一連のタスクを実現するために必要な経験は容易に得られるものではなく、このような資質を備えているのは、長年にわたるハードウェア設計の経験を有するベテランに限られる傾向にありました。

低いQ値に対応する技術は数多くあります。ADF4360のような製品ファミリでは、ダイ上面に配置されたボンディング・ワイヤ (ボンディング・パッドに接続) のQ値は約30です。厚い金属インダクタもQ値を改善しました。バラクタのQ値改善は共振回路のQ値増大の大きな助けとなり、さらなる位相ノイズの改善につながりました。BiCMOSプロセスが、各種のコンデンサを接続したり切断したりするための様々なCMOSロジック回路と合わせて、高周波数のVCOとN分周回路に使われたことは、広帯域PLLおよびVCO ICが実現可能であること、およびそのサイズの小形化と周波数範囲の拡大によってワイヤレス市場に急速に採用されることを意味しました。

多くの広帯域LOがこのアプローチに従いました。1オクターブの範囲を完全にカバーするVCOは、非常に有効です。一連の分周器があれば、使用可能なVCOの最小周波数と分周器の最大分周比だけを制約事項として、周波数を生成できるからです。半導体プロセスに基づくVCO設計における1つの大きなブレークスルーは、VCOの範囲が複数のサブバンドに分割されたことでした。これは、異なるコンデンサ・バンクを接続あるいは切断することによって可能になりました。これは、発振器共振回路のQ値を下げることによって、位相ノイズ面での妥協をすることなく、より広い周波数範囲をカバーすることを可能にしました。同時に、より低電圧のチャージ・ポンプを使用することも可能になり、高い電源電圧レールを必要とするオペアンプを使用する必要もなくなりました。その他の改善によってVCOの帯域数は数十から数百に増加し、さらに必要に応じて接続または切断できる追加的な個別のオーバーラッピングVCOコアがモノリシックICに基づいて開発されたことで、ADF4371 (図3) のように、位相ノイズを更に最適化することが可能になりました。図2に示すHMC733のシングルコアVCOとADF4371のマルチバンドVCOの間には、明確な違いのあることが分かります。周波数とV_{TUNE}の関係を示したグラフでは、HMC733のチューニング電圧は出力周波数に正比例していますが、図3では、チューニング電圧は基本的にV_{TUNE}の目標値である1.65Vから数百ミリボルトの範囲内にあります。インテリジェント帯域選択ロジック、あるいは自動キャリブレーション回路が実現できるということは、ユーザが周波数に対する帯域のルックアップ・テーブルを

作成する必要はないこと、および電源電圧範囲と特に温度電圧範囲に対して信頼できる動作を確保するだけの十分なマージンがあることを意味しました。

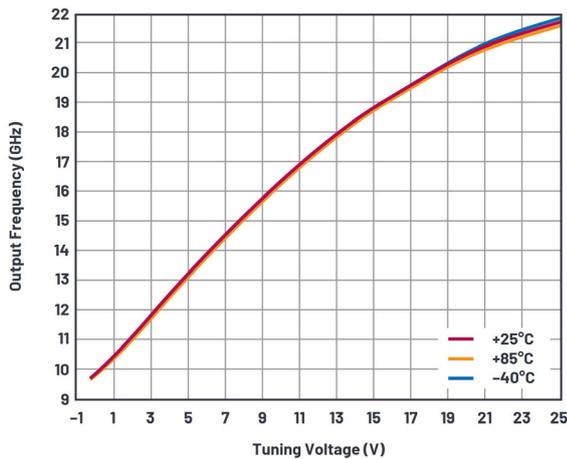


図2. HMC733のチューニング範囲

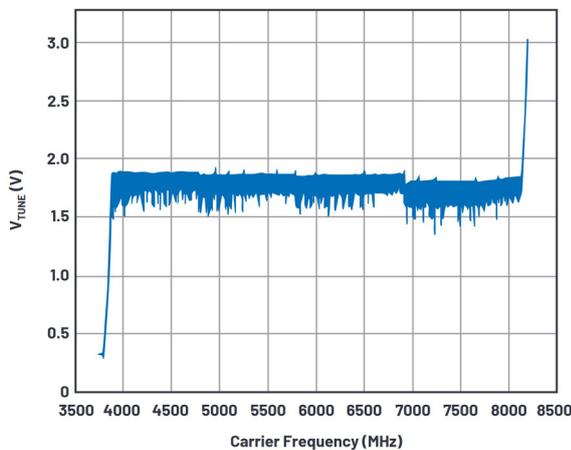


図3. ADF4371の周波数とV_{TUNE}の関係

PLLの改善

より高いデータ・レートへの需要を満たすには、エラー・ベクトル変調 (EVM) レート (図4) を下げる必要があります。狭帯域ワイヤレス・アプリケーションにおいて、EVMは、PLLシンセサイザの帯域内位相ノイズの影響に支配されます。また、200kHzチャンネル・ラスタを使用する1.8GHz出力に必要なN値が大きい (9000) ということは、N分周器の $20\log(N)$ の影響による帯域内のペナルティが深刻であることを意味しました。64QAMのような高次の変調レートではEVMを下げる必要があります。これが、ADF4153AやADF4193のようなフラクショナルNシンセサイザの開発、採用、展開を促しました。これらのシンセサイザはチャンネル・ラスタをPFD周波数からデカップリングしますが、これは帯域内ノイズが大幅に減ることを意味します。この利点は、ADF4106とADF4153Aを比較すると分かりやすく (図5と図6を比較)。図では、1kHzにおける帯域内ノイズが -90dBc/Hz から -105dBc/Hz に改善されています。この計算は、アナログ・デバイスが提供するすべてのPLL製品をシミュレートする、ADIsimPLL™を使用して行いました。

フラクショナルNには、許容ループ帯域幅が広いのでアクイジション時間が短いという追加的な利点があり、より高いPFD周波数を使用することが可能になります。フラクショナルNスプリアスは、様々なチャージ・ポンプ・オフセット電流とシグマデルタ・ディザ機能によって、受け入れ可能なレベルにまで軽減されました。ADF4193は26MHz、ADF4153Aは32MHzのPFD周波数をサポートしていますが、より高いPFD周波数を使用すれば、さらにNを減らすことができます。これはEVMを更に改善し、整数境界スプリアス (IBS) の発生と影響を減らすことで、周波数プランニングを容易にします。ADF4371に使われている最近のPLLトポロジは、最大160MHzのPFD周波数をサポートしています。フラクショナル変調器の分解能を12ビットから39ビットに向上させたフラクショナルN周波数分解能の改善は、PLLを使用して、ほぼあらゆる周波数を、ミリヘルツ (mHz) 単位の分解能と、非常に高い周波数精度で生成できることも意味しました。

過去にフラクショナルN使用の大きな障害となっていたのは、シグマデルタ変調器によって生じる大きなフラクショナル・スプリアスの存在でした。これはスペクトル純度を低下させます。そのため、実際の使用時にこの影響を軽減あるいは緩和するために、更にエンジニアリング上の努力を注ぐ必要がありました。ADF4371はフラクショナル・スプリアスが小さく、整数境界から離れた位置には存在しません。スペクトルがグリーンであるということは、周波数生成におけるこれらの面倒なアーチファクトの影響を調査、デバッグ、または何らかの方法で軽減するために要する時間が少なく済むことを意味します。帯域内の整数境界スプリアスが小さい (-55dBc) ということは、一度PLLフィルタによって除去してしまえば、スプリアスが十分に減ることを意味します。例えば、400kHzチャンネル・ラスタに40kHzのフィルタを使用した場合、フィルタによる35dBの減衰は、整数境界に最も近いチャンネルのスプリアスが -90dBc になることを意味します。160MHzまでの高いPFD周波数を使用できるということは、整数境界の発生が少なくなることを意味します。PFD周波数が160MHzの場合、その数は32MHzの場合の1/5になります。

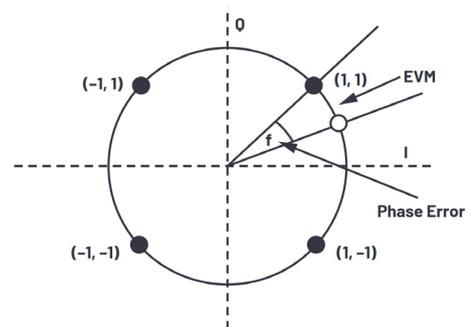


図4. QPSKの位相誤差

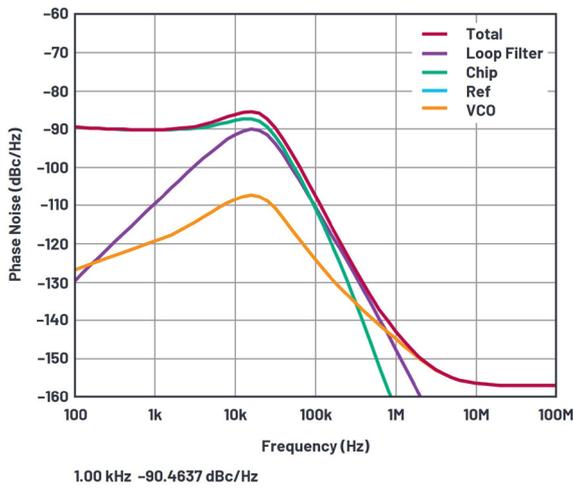


図5. インテジャーN、VCO-1901846T使用時のADF4106

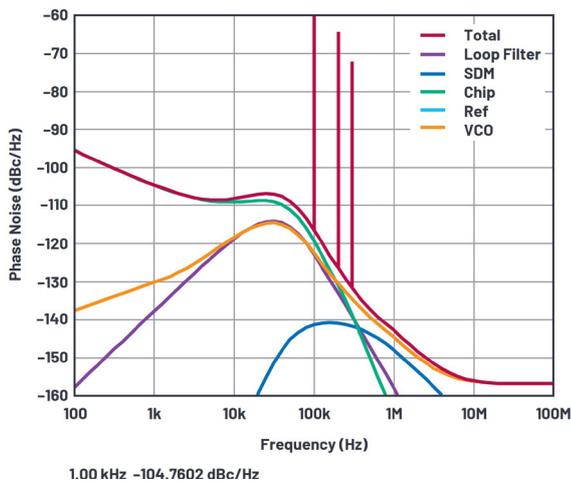


図6. フラクショナルN、VCO-1901846T使用時のADF4153A

PFD周波数の増大と周波数分解能の向上ができることはPLLの性能指数 (FOM) 改善に伴うもので、ADF4153で -216dBc/Hz だった値は、ADF4371では -233dBc/Hz (フラクショナル・モード) になっています。図5に示すADIsimPLLのグラフは、1.85GHzの出力を生成するADF4106の特性を表しており、PFD周波数200kHz、インテジャー・モード、ループ帯域幅10kHzでセットアップされています。これを、PFD周波数160MHz、ループ帯域幅150kHzでセットアップされたADF4371の特性と比較してみます。1kHzのオフセット位置では20dBの差が認められ、これはPLLシンセサイザ技術の進歩を明確に示しています。

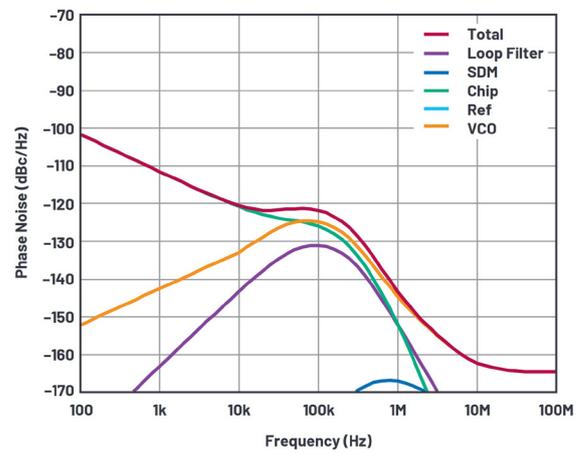


図7. ADF4371。

また、積分RMS位相ジッタが1psから51fsに変化していることも示されています。注目すべき点は、インダクタのQがRMSノイズ性能を支配していた過去と比較して、帯域内ノイズが大幅に減少していることです。これは、小さいFOMとフラクショナルNによって可能になったことですが、これによりループ・フィルタの帯域幅を150kHzに広げて、この帯域幅内のVCOノイズを抑制し、通常はRMSノイズに大きく影響する10kHz~100kHz範囲での性能低下を緩和することが可能になりました。この帯域内位相ノイズの改善を実現するには、より高い仕様のPLLリファレンス・ソースが不可欠ですが、このようなアプローチでの性能と柔軟性の向上は、このトレードオフが大多数のユーザにとって受け入れ得るものであることを意味しています。場合によっては、新しいフラクショナルN PLLによる帯域内ノイズの低減は、オフセット・ループPLLあるいはトランスレーショナル・ループPLLによって実現されるノイズ低減に匹敵することもあります。後者ではVCOからPFDへの帰還パスにミキサーが使われ、要求が非常に厳しいアプリケーションを除いて、周波数生成が大幅に簡素化されます。

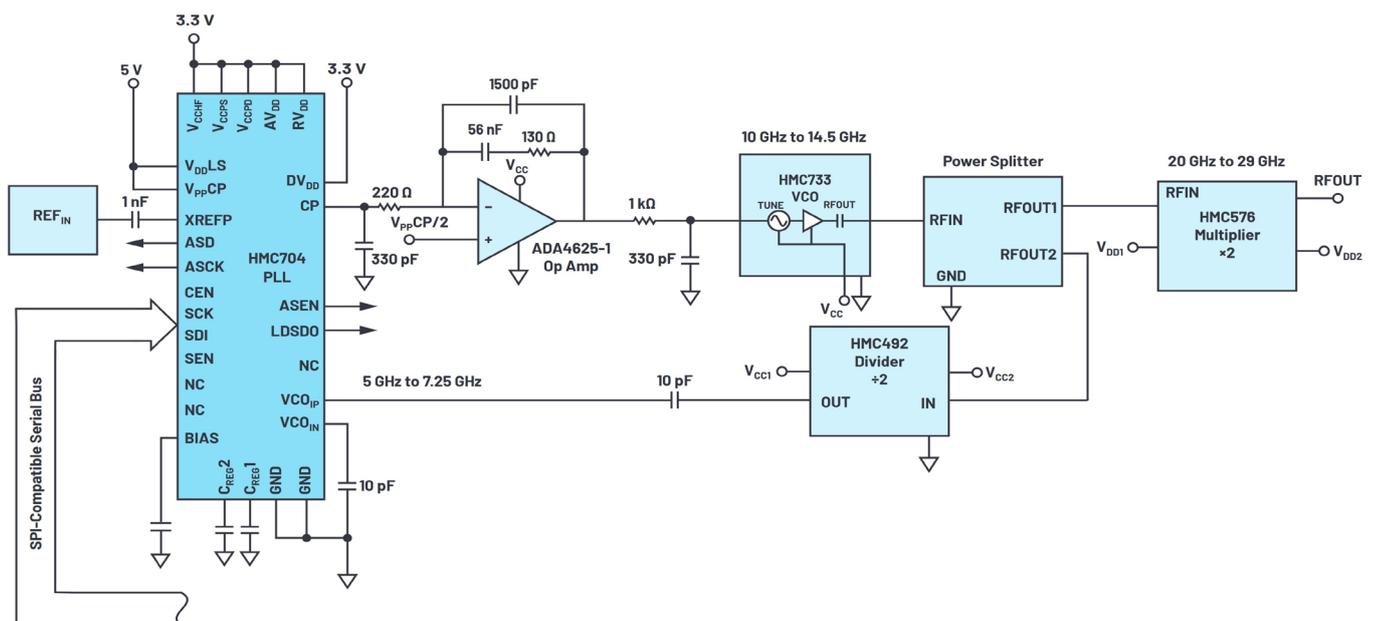
ADF4371に搭載されたVCOの基本的範囲は4GHzから8GHzで、これは、デバイスの製造に使われるSiGeプロセスのVCO位相ノイズ性能に関するスイート・スポットです。より高い周波数を生成するには通倍器を使用します。周波数範囲を倍増するためにVCOを再設計するのは、少し問題があります。VCOの周波数範囲を拡大することによって、6dB以上のノイズ性能低下が予想されるからです。したがって、4GHz~8GHzのVCO範囲を8GHz~16GHzに拡大する周波数ダブル (2倍器) と、16GHz~32GHzに拡大する4通倍器が組み込まれます。いずれのケースにおいても、VCOのフィードスルーやVCOの2倍、3倍、5倍の周波数を含め、通倍器はいくつかの不要な成分を生成します。フィルタリングに関する条件を緩和するために、各通倍器回路には出力を調整するトラッキング・フィルタが含まれています。このフィルタには、不要な成分の電力に対して、必要な周波数の電力をできるだけ大きくする効果があります。通常、低調波抑圧特性の値はダブル出力より45dB、4通倍出力より35dB低くなります。

広帯域動作

新しいPLL/VCO技術の優位性は上に示した狭帯域の例から明らかですが、ADF4371を使用した場合と、HMC704 PLLをHMC733 VCOと組み合わせて使用した場合を比較することによって、広帯域周波数生成に関する更に大きな改善を知ることができます。20GHz～29GHzで動作する、ノイズの少ない可変LOを作り出すことを目標としたディスクリート・ソリューションには、多くの課題が伴います。

- ▶ 第一に、HMC733 VCO の出力をボード上で分割して、HMC704 に適した周波数に分周しなければならないので、外付けの周波数分周器 (HMC492) を使って、10GHz～14.5GHzの範囲を、HMC704 に許容される5GHz～7.25GHzにスケール・ダウンする必要があります。
- ▶ 更に、周波数ダブル (2倍器) (HMC576) を使って、10GHz～15GHzの範囲を20GHz～30GHzの範囲に遷移する必要があります。
- ▶ HMC733に必要なチューニング電圧を生成するには、アクティブ・ローパス・フィルタが必要です。例ではADA4625-1を使用しています。このため、オペアンプへの電源電圧が、十分なチューニング電圧範囲 (この例では15V) を生成することも求められます。
- ▶ チューニング感度の変動は、VCOの範囲全体を通じて補正する必要があります。通常これは、チャージ・ポンプ電流を調整して、チャージ・ポンプのゲインとVCOのゲインの積を一定に保つことによって行います。
- ▶ HMC576 遷倍器後段におけるVCOのフィードスルーは、約-20dBcです。ADF4371のチューニング・フィルタは、不要な遷倍成分を35dBc抑制します。これにより、その後のフィルタリングが大幅に簡素化されます。

これに対しADF4371のPLL/VCOは、部品や回路を追加することなく、この周波数帯をすぐに生成できます。必要なのは、高品質の外部リファレンスだけです。レイアウトはEV-ADF4371SD2Zからコピー可能で、付随する電源管理ソリューションも複製して使用できます。感度kVの変動はエンド・ユーザによる補償を必要とするようなものではなく、アクティブ・フィルタ素子も不要なので、ループ・フィルタの設計も大幅に簡素化されます。部品の選択に数週間を費やしたり、各ディスクリート部品のシミュレーション・モデル開発に長い時間をかけたりすることなく、ADIsimPLLを使って必要性能の設計とシミュレーションを行い、ADF4371の評価用ボードを使って評価を行うことにより、予想される結果を正確に知ることができます。その結果は、シミュレートした性能と非常に近いものになるはずで、少ない部品と高い集積度はシステムのサイズと重量の面で明らかなる利点をもたらしますが、著しい性能向上も実現されます。ディスクリート・ソリューションについて計算した積分RMSジッタが160fsなのに対し、ADF4371のそれは60fsです。部品数と面積を節約できることは、図9のブロック図から明らかです。ディスクリート・ソリューションでは、必要なデカップリング・コンデンサとその他のパッシブ部品を除いてもアクティブ・デバイスとパワー・スプリッタで合計96mm²の面積を占めていますが、ADF4371では49mm²に収まっています。また、必要な場合は、VCOへの電源を3.3Vに変更して消費電力を節約することも可能です。



Notes:
This is a Simplified Schematic; Decoupling Capacitors and SPI Connection Details Have Been Omitted for Clarity.

図8. ディスクリートPLL/VCO遷倍器ソリューション

へのデジタル・ロジック制御により行います。レベル・シフトは、それに応じて内部RFスイッチがバイアスされて、+34dBm以上の最適な入力3次インターセプト (IIP3) が得られるようにします。

各動作帯域内におけるチューナブル・フィルタの制御は0V～15Vのアナログ制御電圧によって行い、流れる電流は1μA未満です。通常、この制御電圧の生成は、DACとオペアンプ・ドライバ回路を使って行われます。その一例が、AD5760 DACの後段にADA4898 オペアンプを接続する方法で、比較的高いチューニング速度と低ノイズのフィルタ用駆動電圧が得られます。チューニング速度がそれほど重要でなければ、フィルタのチューニング・ポートにDACを直接接続して駆動することができます。

性能面から考えると、これらのアナログ・チューナブル・フィルタは、わずかな出力低下と引き換えに、ADF4371 シンセサイザのダブル出力と4 通倍器出力から不要な高調波成分を除去することができます。挿入損失を補うために追加の増幅段が必要になることがあります。一般にこれらのフィルタはディスクリート・スイッチド・バンク・ソリューションより小さく、特に広帯域のチューニング範囲が必要とされる場合に有効です。更に、通常は、シンセサイザのスペリアス・レベルが、フィルタリング前の-35dBcから、フィルタリング後は-55dBcへと改善されます。フィルタリングされていない未使用出力のカップリングはフィードスルーに影響を及ぼす可能性があり、フィルタICの完全な阻止帯域除去を実現できるよう、慎重にモデル化する必要があります。

まとめ

プロセス、回路、およびパッケージングの技術における様々な革新を伴う周波数生成の進化は、以前のディスクリート・ソリューションより小さいフォーム・ファクタで、機能と性能の向上を実現しています。広帯域周波数動作へと向かうトレンドは、数オクターブをカバーして最大32GHzの周波数範囲を実現するICの開発に、必要な推進力を提供しました。広帯域PLL/VCOによって実現された柔軟性とシンプルさにより、最終顧客にとっては、設計時間と製品市場投入までの時間が大幅に短縮されます。

スペクトル純度への要求は、フィルタリングICの革新を推進しました。フィルタリングICは、これらの新たに開発されたシンセサイザICと組み合わせて使用することで、現代のワイヤレス・アプリケーションに求められる、低位相ノイズ高スペクトル純度のミリ波信号源を提供します。無料のシミュレーションツール、ADIsimPLLはPLL性能の評価と比較を可能にし、使いやすく分かりやすいインターフェースと高速の挙動モデルによって、部品の選択を支援します。このツールは、設計エンジニアの貴重な時間を大幅に節約します。ADIsimPLLを使用しない場合は、様々な領域で数多くの異なる数学的モデルを作成して、性能を予測しなければなりません。

著者について

Ian Collins

ユニバーシティ・カレッジ・コーク卒業。同学で電気・電子工学の学士号を取得。2000年以降、アナログ・デバイセズのRFおよびマイクロ波グループに勤務。現在は、主にフェーズ・ロック・ループ (PLL) 製品と電圧制御発振器 (VCO) 製品を扱うマイクロ波周波数生成グループのアプリケーション・エンジニア。仕事や子供たちとの時間以外は、写真、演劇 (演技と鑑賞の両方) や映画、読書、音楽鑑賞を楽しむ。

連絡先: ian.collins@analog.com

David Mailloux

アナログ・デバイセズのRFおよびマイクロ波ビジネス・ユニットのアプリケーション・エンジニア。マサチューセッツ大学ローウェル校で2010年に電気工学の学士号を、2012年に修士号を取得。

2010年から2015年までの間にHittite MicrowaveおよびSymmetricom (現Microchip Technology) に勤務。半導体およびモジュール両レベルでの発振器設計経験が豊富で、研究所における熟練の実務経験がその理論的背景を補完。

2015年に製品アプリケーション・エンジニアとしてアナログ・デバイセズに入社し、高集積アップ/ダウン・コンバータおよびチューナブル・フィルタ製品を担当。その後の技術サポート分野には、電圧制御発振器、フェーズ・ロック・ループ、分周器、および周波数通倍器が含まれる。

連絡先: david.mailloux@analog.com

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



SUPPORT COMMUNITY

Visit ez.analog.com

* 英語版技術記事は [こちら](#) よりご覧いただけます。



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイセズのエキスパートへの質問、FAQの閲覧ができます。

©2020 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイセズの商標です。

TA21841-1/20

VISIT ANALOG.COM/JP