

インターリーブADCの基本

著者: Jonathan Harris、アプリケーション・エンジニア

はじめに

多くのアプリケーション分野では、A/Dコンバータ（ADC）をタイム・インターリーブ方式で使用するということがよく行われています。同方式を採用すれば、A/Dコンバータのサンプル・レートを大きく高めることができるからです。例えば、マルチバンド／マルチキャリア対応の無線システムを実現するには、サンプル・レートが非常に高いADCが必須です。特に、通信システムのインフラで使われるDPD（デジタル・プリディストーション）のような線形化技術を利用するためには、非常に広い帯域幅に対応しなければならないからです。また、航空宇宙／防衛の分野では、サンプル・レートが非常に高いADCを採用することにより、通信装置、監視装置、レーダーなどとして機能する多目的システムが実現されています。更に、産業用途向けの計測器の分野でも、十分な精度で高速の信号を測定するために、サンプル・レートが非常に高いADCが常に求められています。

では、A/Dコンバータをタイム・インターリーブ方式で使用する（以下、インターリーブADC）というのは、具体的にはどのようなことなのでしょう。本稿では、まずインターリーブADCの概念と、それがもたらすメリットについて簡単に説明します。その上で、同ADCの短所について解説を加え、実際に利用する際にはどのようなことに注意すればよいのかを明らかにします。

インターリーブ方式の概要

インターリーブADCでは、複数のADCを使用します。目標仕様に即したクロックと2個以上のADCを使用し、入力信号を並列にサンプリングして出力データを生成します。このとき、サンプル・レートは個々のADCのサンプル・レートの倍数になります。つまり、 m 個のADCを使う場合、実効サンプル・レートは m 倍になるということです。ここでは、最も単純な例として、2個のADCを使うケースを考えます。その場合、得られるサンプル・レートは個々のADCのサンプル・レートの2倍になります。2個のADCについては、インターリーブを正しく機能させるためにクロックの位相関係を適切に設定する必要があります。具体的には、以下の式に従ってクロックの位相関係を設定します。

$$\phi_n = 2\pi \left(\frac{n-1}{m} \right) \quad (1)$$

ここで、 m はADCの総数、 n は個々のADCに割り当てた番号です。

一例として、サンプル・レートが100MSPSのADCを2個使用し、それらをインターリーブ動作させて200MSPSのサンプル・レートを得るケースを考えます。この場合、式（1）を使用すると、各ADCのクロックの位相は、式（2）、式（3）のようになります。

$$\phi_1 = 2\pi \left(\frac{1-1}{2} \right) = 0 \text{ radians} = 0^\circ \quad (2)$$

$$\phi_2 = 2\pi \left(\frac{2-1}{2} \right) = \pi \text{ radians} = 180^\circ \quad (3)$$

クロックの位相関係が明確になったので、続いてはサンプリングが実際にはどのように行われることになるのか考えてみましょう。図1は、インターリーブ動作の概念を示したものです。この例では、サンプル・レートが100MSPSのADCを2個使用し、それらをインターリーブ動作させます。クロックの位相が180°ずれていることから、入力信号は2個のADCによって交互にサンプリングされることになります。つまり、インターリーブ動作によって、各ADCからは交互にサンプル・データが出力されるということです。この例では、200MHzのクロックを使ってインターリーブ動作を実現しています。200MHzのクロックを2分周し、位相が180°ずれた状態で各ADCに供給しています。

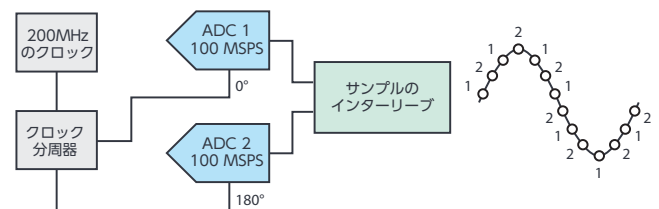


図1. インターリーブ動作の概念図。100MSPSで動作する2個のADCを使用して2倍のサンプル・レートを実現しています。

図2は、インターリーブ動作における入力信号とサンプリング・クロックの関係を示したものです。100MSPSで動作する2個のADCをインターリーブ動作させることで、200MSPSのサンプル・レートが得られることがわかります。ナイキスト・ゾーンは50MHzから100MHzに広がり、有効帯域幅が2倍になります。帯域幅が広くなるということは、多くのアプリケーション分野にメリットを提供できるということを意味します。例えば、無線システムでは、サポートするバンド数を増やすことができます。また、レーダー・システムでは、空間分解能を高めることができます。更に、計測器では、アナログ入力帯域幅を広げることができます。

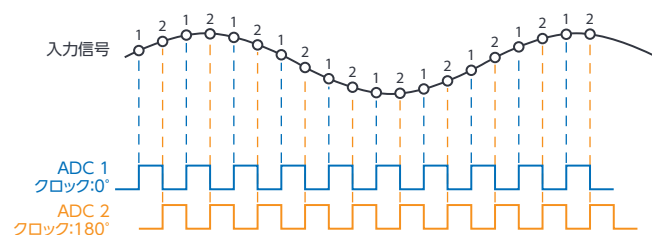


図2. 入力信号とサンプリング・クロックの関係

インターリーブADCがもたらすメリット

インターリーブADCがもたらす最大のメリットは、ナイキスト・ゾーンが広がり帯域幅が拡張されることです。ここでも、100MSPSで動作する2個のADCをインターリーブ動作させて、200MSPSのサンプル・レートを得るケースを考えます。図3は、インターリーブADCによって得られる帯域幅を示したものです(この図も含めて、本稿では、インターリーブ動作によって得られる有効サンプル・レートを f_s と表記することにします)。例えば、携帯電話システムでは、チャンネル帯域幅とバンド数を増やしたい場合、ADCの有効帯域幅を広げる必要があります。航空宇宙／防衛分野のアプリケーションでは、より優れた空間認識を実現するために、バックエンドで行われる通信において、チャンネル帯域幅を拡張することが求められます。そのためには、より帯域幅の広いADCが必要になります。こうした分野では、常に帯域幅の拡張が求められます。言い換えると、より高速な信号を正確に測定できるようにする必要があるということです。当然のことながら、これらの分野で使用される計測器についても、より高速の信号を正しく測定できるようにすることが求められます。これは、より帯域幅の広いADCが必要になるということを意味します。多くの機器では、一般的に販売されているADC製品では対応できないレベルの性能が求められています。インターリーブADCは、そうした要求に応えるための選択肢となり得る技術です。

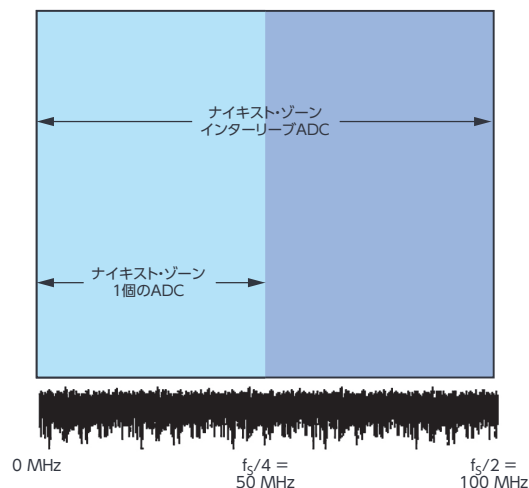


図3. インターリーブADCを使用した場合のナイキスト・ゾーン。
2個のADCをインターリーブ動作させる場合の例です。

ADCのサンプル・レートを高めることができれば、上記のようなアプリケーションに、より広い帯域幅がもたらされます。そうすれば、周波数計画の策定も容易になります。加えて、ADCの入力部に必要なアンチエイリアシング（折返し誤差防止）フィルタを簡素化でき、その分のコストを低減できます。このように、インターリーブADCを採用すれば、帯域幅を広げられ、それに伴うメリットを得ることができます。しかし、複数のADCを使用することもあり、コストについては必ず有利に働くとは限りません。それだけでなく、インターリーブADCの導入によって新たな課題が発生する可能性もあります。

インターリーブADCによって生じる課題

インターリーブADCを導入するにあたっては、いくつか注意すべきことがあります。1つは、出力スペクトルにスプリアスが現れてしまうというものです。これは、インターリーブADCに伴う不完全性が原因で発生します。製造ばらつきなども考慮すると、インターリーブ動作する2個のADCの性能が完全に同一であるということはありません。つまり、同じ品番の製品を使用したとしても、2つのADCの間には、基本的なミスマッチが必ず存在するという事です。スプリアスの発生原因としては、4つのミスマッチが挙げられます。具体的には、オフセット、ゲイン、タイミング、帯域幅のミスマッチが問題になります。

まず、2個のADCの間に存在するオフセットのミスマッチについて考えてみます。これは4種のミスマッチのうち、いちばん理解しやすいものかもしれません。ご存じのように、各ADCは固有のDCオフセットを持ちます。先述したように、2個のADCをインターリーブ動作させる場合、それぞれによってサンプリングされた結果が交互に出力されます。つまり、異なるDCオフセットを持つ値が交互に出力されるということです。

図4に示したように、各ADCでは、それぞれに固有のDCオフセットが発生し、交互に出力される値にその影響が現れます。異なるオフセットが $f_s/2$ のレートで現れることから、出力スペクトルの $f_s/2$ の位置にスプリアスが生じます。ミスマッチ自体には周波数成分は存在しない（DC成分のみ）ので、スプリアスの周波数はサンプリング周波数だけに依存し、常に $f_s/2$ の位置に現れます。スプリアスの振幅は、DCオフセットのミスマッチの大きさに依存します。ミスマッチが大きいほど、スプリアスは大きくなります。では、このスプリアスを小さく抑えるにはどうすればよいのでしょうか。そのためには、各ADCのDCオフセットを完全にゼロに抑えなければならないのでしょうか。これを実現するには、各ADCにおいて信号に含まれるDC成分をフィルタで完全に除去する必要があります。しかし、この方法は、信号がDCを含む実数と複素数から成るZIF（ゼロIF）アーキテクチャを採用したシステムには適用できません。適切な対処法は、一方のADCのオフセットを他方のADCのオフセットと合致させることです。つまり、一方のADCのオフセットを基準として選択し、両オフセッ

トの差がなくなるよう、他方のADCに補正用のオフセット値を設定するという事です。両者のオフセット値に差がなくなるほど、 $f_s/2$ におけるスプリアスは小さくなります。

次に、2個のADCにおけるゲインのミスマッチについて考えてみます。その影響は図5に示したようにスプリアスとして現れます。2個のADCにおけるDCオフセットのミスマッチについて調べる場合には、信号を入力する必要はありません。それに対し、ゲインのミスマッチについて調べるには、実際に信号を入力して測定を行う必要があります。ゲインのミスマッチによって発生するスプリアスは、入力周波数（ f_{IN} ）とサンプリング・レートに依存し、 $f_s/2 \pm f_{IN}$ の位置に現れます。このスプリアスを小さく抑えるには、オフセットのミスマッチの影響を抑える場合と同様の方法を適用します。すなわち、一方のADCのゲインを基準として選択し、両者のゲインがなるべく一致するよう、他方のADCにゲインを設定します。両ADCのゲインが近い値になればなるほど、出力スペクトルに現れるスプリアスは小さくなります。

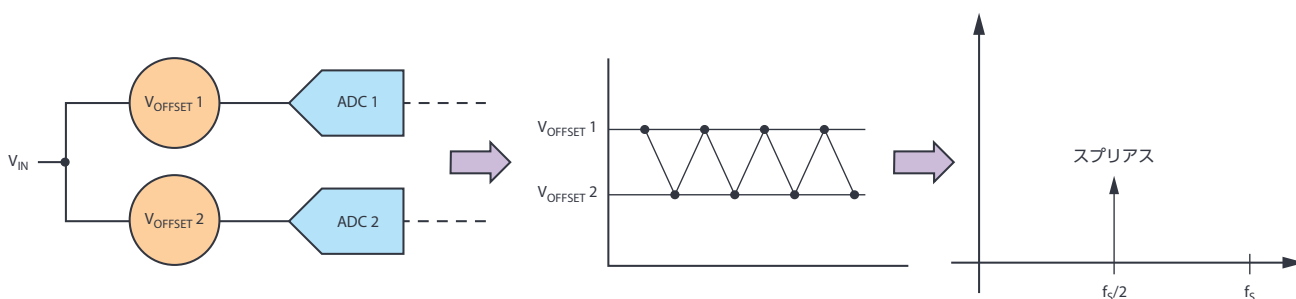


図4. オフセットのミスマッチによって生じる影響

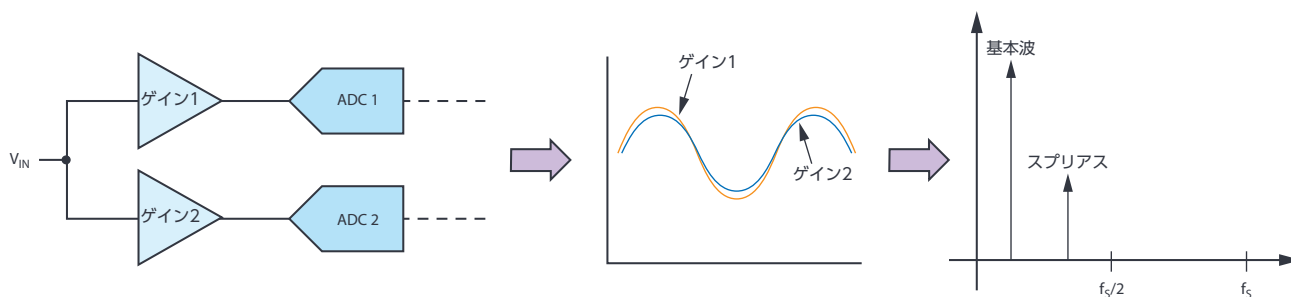


図5. ゲインのミスマッチによって生じる影響

続いて、2個のADCにおけるタイミングのミスマッチについて考えます。タイミングのミスマッチの発生原因は2つあります。1つは、ADCのアナログ回路部分で生じる群遅延です。群遅延の値は、2個のADCの間で完全には一致しません。もう1つの要素はクロック・スキューです。各ADCでは、アパーチャ・ジッタの成分を含むクロック・スキューが発生します。また、各ADCに入力されるクロックの位相の精度に関連するズレも発生します。タイミングのミスマッチにより、図6に示すような影響が生じます。ゲインのミスマッチによる影響と同様に、タイミングのミスマッチに起因するスプリアスも入力周波数とサンプル・レートに依存して $f_s/2 \pm f_{IN}$ の位置に現れます。

このスプリアスを小さく抑えるためには、各ADCのアナログ部で生じる群遅延を回路設計のレベルで一致させる必要があります。また、アパーチャ・ジッタの差を小さく抑えるには、クロックのパスが同等のものになるよう設計を行わなければなりません。加えて、2つの入力クロックの位相差が正確に 180° になるように位相を細かく制御する必要があります。タイミングのミスマッチが生じるメカニズムを理解し、それを解消するための工夫を施すことが対策になります。

最後に取り上げるのは帯域幅のミスマッチです。これについては、理解するのも対処するのも容易ではないかもしれません。図7に

示すように、帯域幅のミスマッチには、ゲインの成分と位相/周波数の成分があります。このことから、帯域幅のミスマッチについて理解し、対処するのは難しくなります。つまり、2つのパラメータが存在することから、難易度が高まるということです。帯域幅のミスマッチについては、異なる周波数において異なるゲインの値を扱うことになります。また、帯域幅のミスマッチにはタイミングの成分も存在し、各ADC内の信号が異なる周波数において異なる遅延を持つようになります。帯域幅のミスマッチを小さくする最善の方法は、非常に優れた回路設計とレイアウト設計を行うことです。各ADCに差がなくなるほど、発生するスプリアスは小さくなります。ゲイン、タイミングのミスマッチの場合と同様に、帯域幅のミスマッチによって $f_s/2 \pm f_{IN}$ の位置にスプリアスが発生します。

ここまで、インターリーブADCを使用する場合に問題となる4つのミスマッチについて説明してきました。お気づきでしょうか、4つのミスマッチのうちの3つは、出力スペクトルにおいて $f_s/2 \pm f_{IN}$ の位置にスプリアスを発生させます。オフセットのミスマッチによるスプリアスだけは $f_s/2$ の位置に発生します。そのため簡単に識別できますし、補償も容易です。それに対し、ゲイン、タイミング、帯域幅については、いずれが原因であっても同じ位置にスプリアスが発生するので、何が問題なのか識別するのは容易ではありません。

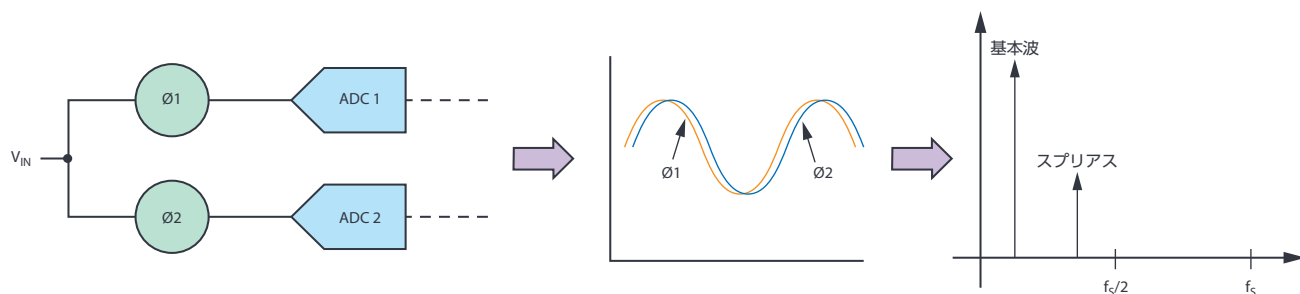


図6. タイミングのミスマッチによって生じる影響

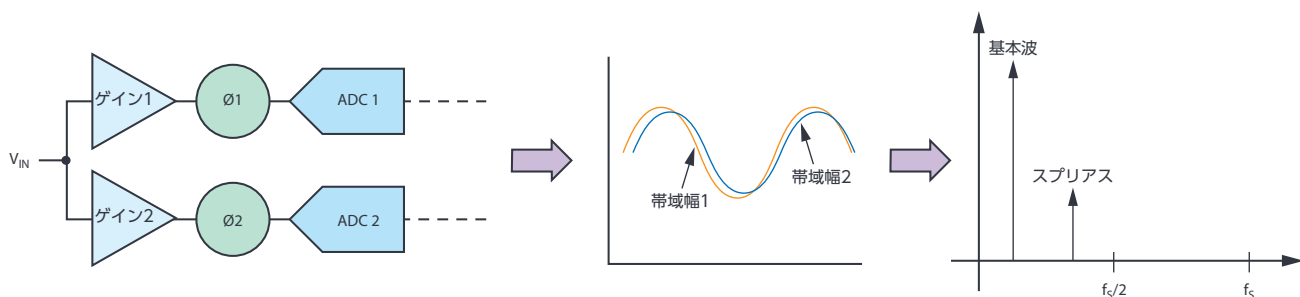


図7. 帯域幅のミスマッチによって生じる影響

図8は、インターリーブADCにおけるスプリアスの発生原因を識別するためのガイドとなるものです。純粋にゲインのミスマッチだけに注目した場合、それは低い周波数またはDCのミスマッチであるはずですが、DCに近い低い周波数でゲインの測定を行い、更に高い周波数でゲインの測定を行うことで、帯域幅のミスマッチに含まれるゲインの成分とゲインのミスマッチによる成分を分離することができます。ゲインのミスマッチは、帯域幅のミスマッチに含まれるゲインの成分のような周波数の関数にはなりません。タイミングのミスマッチについても同じような方法を適用できます。DCに近い低い周波数で測定を行い、更に高い周波数で測定を行うことで、帯域幅のミスマッチに含まれるタイミングの成分と、タイミングのミスマッチによる成分を分離することができます。

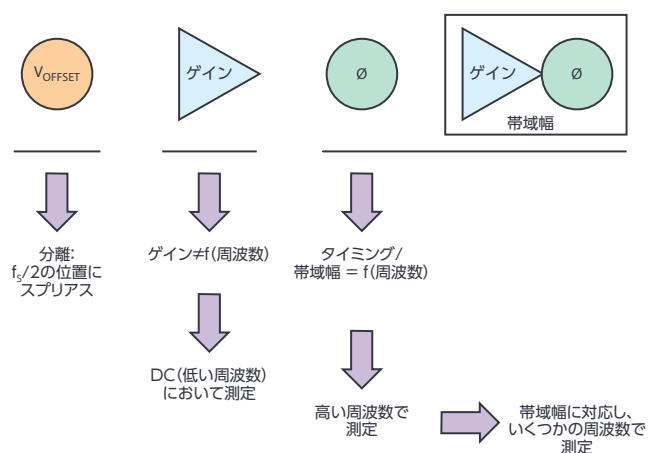


図8. インターリーブADCで生じる問題の識別方法

まとめ

最新の通信システム、最先端のレーダー・システム、超広帯域に対応する計測器などでは、現存の技術では対応できないレベルのサンプル・レートを実現するADCが求められます。その結果、ADCのユーザとメーカーによって、そうした要求に対応するための手法が考えだされました。インターリーブADCを使用すれば、従来のようにADC製品の進化によってサンプル・レートが高まるのを待つことなく、より広い帯域幅を実現することができます。2個以上のADCを組み合わせることでインターリーブ動作させることにより、有効帯域幅が広がり、システムで求められる条件を満たすことが可能になります。但し、インターリーブADCでは、ADC間のミスマッチによって無視できないレベルの問題が発生する可能性があります。ミスマッチの原因を理解して適切に対処することで、最新のシステムで求められる要求に応えることが可能になります。

参考資料

Jim Hand, Mark Looney, Rob Reeder [Pushing the State of the Art with Multichannel A/D Converters (多チャンネルのADCで最高レベルの性能を実現する)] Analog Dialogue, Vol. 39, No. 5, 2005年5月

著者について

Jonathan Harrisは、アナログ・デバイセズの高速コンバータ・グループ（ノース・カロライナ州グリーンズボロ）に所属するプロダクト・アプリケーション・エンジニアです。アプリケーション・エンジニアとして7年以上の経験を有しており、RF製品のサポートを担当してきました。ノースカロライナ大学シャーロット校で電子工学の学士号、オーバーン大学で電子工学の修士号を取得しています。趣味は、モバイル・オーディオ、ニトロ・ラジコン、大学フットボールに加え、2人の子供と過ごすことです。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。

ADI EngineerZone™
SUPPORT COMMUNITY

Visit ez.analog.com

* 英語版技術記事は[こちら](#)よりご覧いただけます。