

放射妨害波試験に合格するために： 複雑なEMI軽減手法を使用せずに、コンパクトで 低コストの絶縁設計を実現する方法

著者：James Scanlon
Analog Devices, Inc.

電子機器で絶縁が必要とされる理由は様々です。人や機器を高電圧から保護する目的や、単にPCB上の不要なループを除去する目的の場合もあります。絶縁は、ファクトリ・オートメーションや工業用オートメーション、医療機器、通信、コンシューマ製品など、幅広いアプリケーションにおいて必須の設計要素です。

絶縁の設計は必要不可欠である一方、極めて複雑でもありません。制御された電力やデータ信号が絶縁障壁を通過する際、電磁場干渉(EMI)が発生します。これらの放射妨害波(RE)は、他の電子システムや電子ネットワークの性能を損なう方向に作用する可能性があります。

絶縁を伴う回路設計において重要なステップの1つは、絶縁障壁を越えて電力を転送し、その結果生じるREを軽減することです。従来の手法も効果的ではありますが、多くの場合、トレードオフを伴います。これらの手法では、電力を転送するためにディスクリートの回路とトランスが使用されていますが、手間と時間がかかる上に貴重なPCB面積を消費し、それらがすべてコストの増加につながります。コスト効率の高いソリューションは、トランスと必要な回路をチップ・パッケージなどの小型のフォーム・ファクタに集積しています。

これによって基板面積が節約され、設計の複雑さが軽減し、コストが削減される一方、必要な電力を2次側に効率的に転送するには、巻き数の少ない小型のトランスと高スイッチング周波数(最大200MHz)が必要となります。このような高周波数では、トランスの巻き線を介して1次側から2次側に寄生共通モード(CM)電流が容量性結合をする可能性があります。絶縁障壁の性質により、このCM電流が1次側に戻る物理的な経路はありません。絶縁障壁は、CM電流としてエネルギーを放射し、それを1次側に戻すダイポールを形成します。これにより、法令遵守という重要な考慮事項が新たに発生します。

EMC条件

製品は、市場に投入される前に、電磁両立性(EMC)規制に適合する必要があります。トランスと必要な回路を小型パッケージに統合することでEMIが発生するため、EMC規制に適合するには、複雑でコストのかかるRE軽減手法が必要となります。

EMCは、ある電子システムが別のシステムに干渉することなく、目的の環境で適切に機能する能力のことを言います。すべての製品が種々の製品が存在する中で正常に機能できるように、EMC規制は世界各国で設けられています。放射妨害波は、目的とする使用環境やアプリケーションに応じて規定のレベルを下回るものでなければなりません。そのため、EMCの試験と認証は、製品を市場に投入する上で不可欠な要素となっています。EUで販売される製品にはCEマークが、また米国で販売される製品にはFCC認証が必要です。これらの認証を取得するには、そのシステムに一連のEMCテストを行う必要があります。工業、医療、通信、コンシューマの各環境において、放射妨害波は通常、CISPR 11/EN 55011、CISPR 32/EN 55032、またはFCC Part 15に適合する必要があります。



図1. 放射が増加する例

CISPR 11/EN 55011

産業科学医療用 (ISM) 目的でRFを生成するよう設計された機器には、この規格が適用されます。この規格内で、機器は2つのグループの一方に分類できます。グループ2は、無線周波数を持つエネルギーが意図的に生成され局所的に使用される、すべてのISM RF機器に適用されます。グループ1には、この規格内であってもグループ2の機器には分類されないすべての機器が含まれます。

CISPR 32/EN 55032

この規格が適用されるIT機器 (ITE) は、データや通信メッセージの入力、保存、表示、取得、転送、処理、スイッチング、制御を組み合わせることを主要機能とし、通常は情報転送用に動作する端子ポートを少なくとも1つ備えることが可能な機器です。

機器は、それぞれの規格内の別の放射限界のセットで決まるクラスに更に分類されます。

- ▶ クラスA: 工業用アプリケーションおよび非住宅地域で使用する機器
- ▶ クラスB: 居住環境で使用する機器

クラスBの制限は、製品が互いに近接して (ラジオやテレビの受信機の10m以内) 使用されることが多い住宅 (または軽工業) 環境に対応するため、干渉問題が生じないようにクラスAより厳しく (10dBも低く) なっています。

図2に、CISPR 11/EN 55011とCISPR 32/EN 55032に関連する限界線を、クラスAとクラスBの両方について示します。この周波数範囲では、CISPR 32/EN 55032クラスBへの準拠は、CISPR 11/EN 55011クラスBへの準拠を意味します。

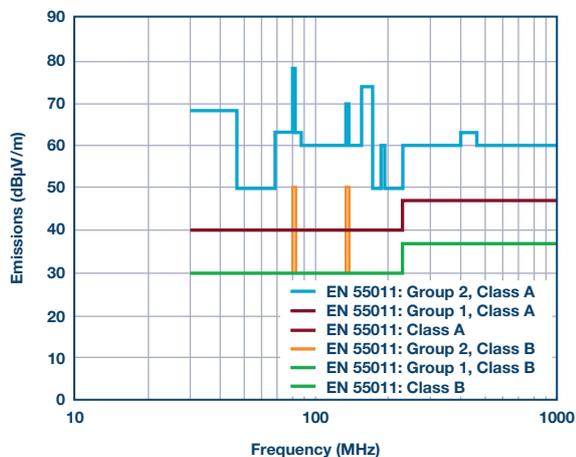


図2. 放射妨害波規格 - 限界線

設計サイクルの最初からEMCを検討

製品の50%が最初のEMCテストで不合格になることが報告されています¹。これは、知識不足により製品設計の初期段階からEMC設計手法を適用しなかったためと思われる。機能設計が完了するまでEMCを考慮しなければ、多くの場合、時間とコストを浪費することになります。更に、EMC問題を解決するために取り得る手法の数は、製品開発が進むにつれて減少します。製品の特性を変更するには、スケジュールの延長とコストの増加を余儀なくされるためです。

計画の初期からEMCを考慮して設計することは、設計時間とコストを最小限に抑えるために必須です。部品の選択と配置も重要です。既に工業規格に適合しているデバイスを選択して設計すれば、コンプライアンスに適合する可能性が高まります。

EMI軽減手法：より良い方法を求めて

ディスクリートのトランスを使用する従来の手法に比べ、トランスと回路をチップ・スケール・パッケージに統合する手法は、部品点数を減らせるためPCB面積を大幅に節約できますが、放射妨害波が増加する可能性があります。放射妨害波の軽減手法によっては、PCB設計が複雑になったり、部品を追加する必要が生じたりするため、トランス集積化によるスペースとコストの節約が打ち消される場合があります。

例えば、放射妨害波をPCBレベルで軽減するための一般的な方法は、CM電流用に2次側から1次側に低インピーダンスの経路を設けることで、REのレベルを低減するものです。これを行うには、1次側と2次側の間にスティッチング・コンデンサを用います。スティッチング・コンデンサは、ディスクリートの層間コンデンサでも組み込み型の層間コンデンサでも構いません。

ディスクリート・コンデンサは最も複雑でないソリューションで、リード付きの場合と表面実装型の場合があります。ディスクリート・コンデンサは2層PCBに適しているという利点がありますが、高価でかさばります。また、複数の部品がスタックされる可能性のある絶縁障壁に沿う方向では特に、貴重なPCB面積を占有してしまいます。

別の次善のソリューションは、組み込み型スティッチング・コンデンサを使用したもので、PCB内で2つの面が重なり合う場合に形成されます (図3参照)。平行平板コンデンサのインダクタンスは非常に低いため、有効な周波数範囲が広く取れるという点で、このタイプのコンデンサには非常に有用な特性がいくつかあります。これにより放射性能は向上しますが、適切な容量を得るため層の厚さをカスタマイズする必要がある上、PCBで4層以上が必要となることから、設計が複雑になりコストも増加します。内部で重なり合っている層の間隙についても、関連する絶縁規格で定められた絶縁距離に関する最低仕様を満たす必要があります。

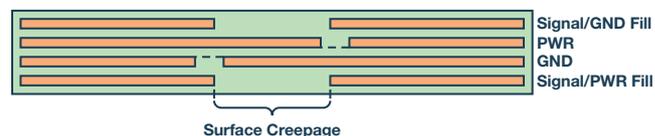


図3. 中央部の電源層とグラウンド層との間で形成された内部PCBスティッチング・コンデンサ

また、スティッチング・コンデンサによって、ACリークとトランジェントが、あるグラウンド・プレーンから別のグラウンド・プレーンへの障壁をまたいで結合することもあります。スティッチング・コンデンサは一般に小型ですが、このコンデンサを介して、高電圧で高速のトランジェントが障壁を越えて大量の電流を注入する可能性があります。アプリケーションが、静電放電、電気的高速トランジェント、サージなどの過酷な電磁トランジェントに曝される場合は、この点も考慮に入れておく必要があります。

スティッチング・コンデンサを使用することは、ディスクリートであれ組み込み型であれ、理想的な軽減手法とは言えません。放射妨害波を減らす効果はありますが、代償として、部品の追加が必要となり、PCBレイアウトが複雑になり、トランジェントの影響を受けやすくなります。理想的な軽減手法であればスティッチング・コンデンサは不要なため、コストが低減し、PCB設計の複雑さが軽減されます。

複雑な軽減手法が不要

理想的には、統合化された絶縁型電力部品は、チップ内に放射を抑制する手段を備え、複雑な手段を外付けしなくても、システムレベルの放射を確実に抑制しなければなりません。そうすれば、ボードのスパイン・コートを何度も行うことなく、単純な2層基板に部品を配置するだけで厳格な放射テストに合格できます。

低放射妨害波のアイソレータ

アナログ・デバイゼズの次世代isoPower®ファミリには、ステッピング・コンデンサのない2層基板でも高レベルの放射妨害波の発生を抑制できる、革新的な設計手法が取り入れられています。ADuM5020は500mW、ADuM5028は330mWの電力を絶縁障壁を越えて供給すると同時に、CISPR 32/EN 55032クラスBの基準に十分な余裕を持って適合しています。

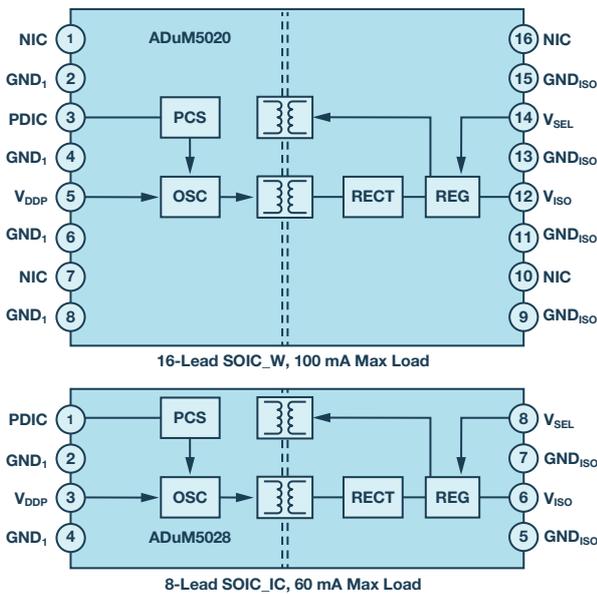


図4. ADuM5020とADuM5028

ADuM5020は16ピンのワイド・ボディSOICパッケージで提供され、最小パッケージ・オプションは、ADuM5028の8ピンSOICです。ADuM5020/ADuM5028は、3Vと5Vの両方の電源オプションを備えており、絶縁定格は3kVrmsです。ADuM5020/ADuM5028の絶縁定格は5kVrmsで、ADuM5020/ADuM5028と同じ電力レベルと放射レベルを満たします。

放射妨害波を低減するため、ADuM5020/ADuM5028には優れたコイル対称性とコイル・ドライバ回路が備わっており、障壁をまたぐCM電流の転送を最小限に抑制するよう図られています。スペクトラム拡散手法も採用され、特定周波数でのノイズ濃度を減らし、放射妨害波のエネルギーをより広い帯域の周波数に拡散させています。また安価なフェライト・ビーズを2次側に用いて、放射を更に低減しています。こうした手法によって、REコンプライアンス・テスト中の尖頭値測定と準尖頭値測定レベルが改善されます。

図5に、フェライト・ビーズが2次側のV_{ISO}ピンとGND_{ISO}ピンに近接して配置されている様子を示します。次のセクションで示す放射プロットを取得するために使用したフェライトは、Murata BLM15HD182SN1です。このフェライトは、広い周波数範囲にわたって高いインピーダンスを示します(100MHzで1800Ω、1GHzで2700Ω)。これらのフェライトを使用することで、ダイポールの実効的な放射効率が低下します。図6に示すように、フェライト・ビーズのインピーダンスによりダイポールの実効的な長さは著しく減少します。これによって、ダイポールの効率が低下し、放射が減少します。



図6. フェライト・ビーズを使用してダイポールの実効長を縮小。

ADuM5020/ADuM5028を使用すれば、ドロップイン式のDC/DC電源ソリューションが実現します。設置面積が小さくRE性能が優れているため、設計サイクル当初から製品設計に組み込めばEMC規定に適合することが容易になる、コスト効率の高い簡素なソリューションです。

実験室での結果

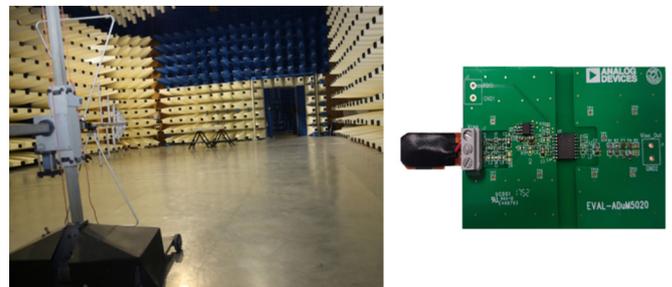
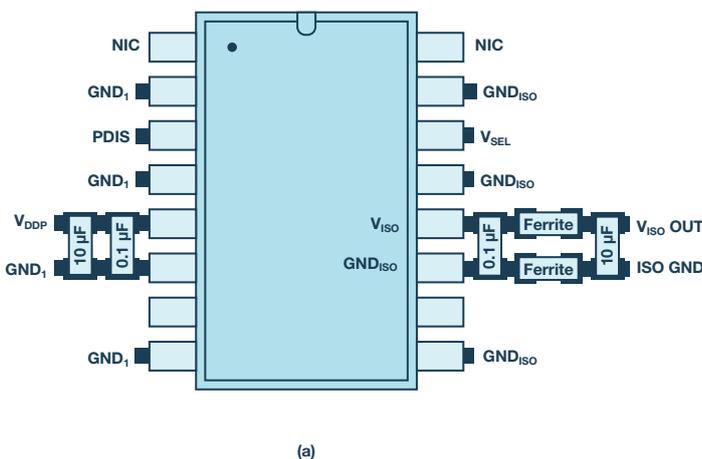
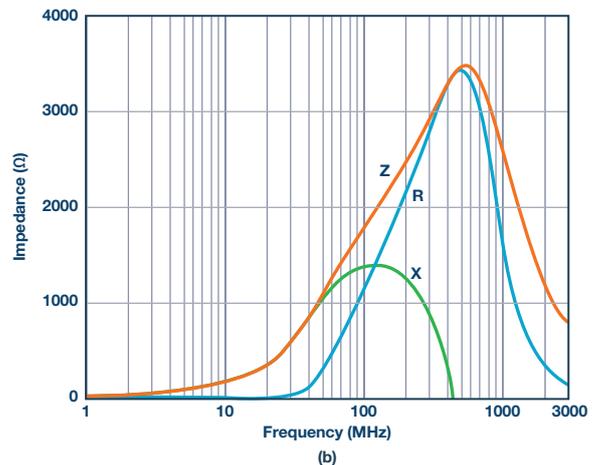


図7. 10m半無響室の画像と評価用PCB



(a)



(b)

図5. (a)ADuM5020の概念図と(b)フェライトの特性曲線

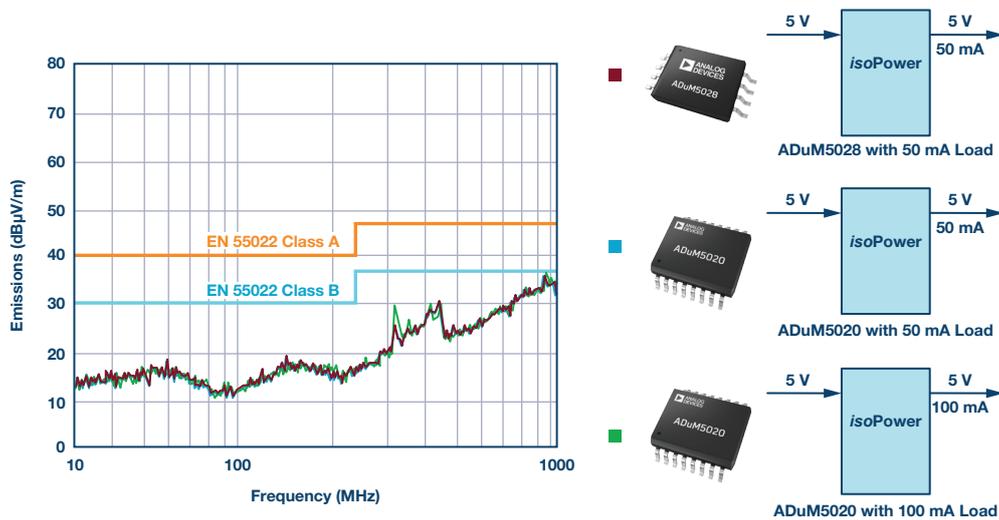


図8. ピーク・プロット—ADuM5020/ADuM5028

ADuM5020/ADuM5028の試験は、CISPR 32/EN 55032試験ガイドラインに従い、10mの電波半無響室で行いました。図7に代表的な10mの半無響室を示します。ADuM5020/ADuM5028評価用PCBを、規定の指定に従い、アンテナ・キャリブレーション・ポイントから10m離れた地点の非導電性テーブル上に配置します。測定結果への影響を避けるため、被験物の近くには他の導電性表面がないようにすることが重要です。図8に、被験物からの高放射の周波数を調べるために行ったピーク・スキャンの結果を示します。特定されたこれらのポイントを基に、準尖頭値測定を行います。準尖頭値測定の間、テーブルは360°回転し、アンテナ高は1mから4mに上昇します。最も厳しい場合での準尖頭値測定が記録され、必要な限界線と比較されます。

外部機器、金属面、ケーブルなどが被験物の放射テストに影響しないようにすることが重要です。ADuM5020/ADuM5028評価用ボードをテストするため、オンボードの低ドロップアウト・レギュレータを使用して、電源電流ループを抑制し不要な配線をなくします。

図8に、ADuM5020/ADuM5028を異なる構成にして取得したピーク・プロットを示します。ADuM5020/ADuM5028で採用されているスペクトラム拡散手法により、広い帯域にわたってエネルギーが分散している点に注意してください。表1に、最も厳しい場合の準尖頭値データのCISPR 32/EN 55032クラスBの限界線に対する余裕度を示します。100mAの負荷で5Vの出力電圧(500mW)のADuM5020は、5dBを超える余裕を持ってCISPR 32/EN 55032に適合します。これは設計に大きな自由度をもたらします。この程度の余裕を確保しておくことは有益であり、推奨されます。試験設備が異なれば試験室、キャリブレーション、機器精度の質も異なり、測定結果に差が生じることがあるためです。これは、最終製品が異なる試験室でテストされCISPR 32/EN 55032に適合する必要がある場合には、問題となる可能性があります。

表1. 結果

V_{IN}/V_{ISO} 5V/5V	V_{ISO} 出力電流 (mA)	最も厳しい場合の 準尖頭値 (MHz)	CISPR 32クラスB 準尖頭値dBμV/m クラスB余裕度 (dB)
ADuM5028	50	920	余裕度:-6.3
ADuM5020	50	935	余裕度:-6.9
ADuM5028	100	915	余裕度:-5.1

アナログ・デバイセズの次世代isoPowerファミリは、放射限界を超えないように複雑なPCBレベルの低減策を採る必要のない、小型のドロップイン電源ソリューションを提供します。ADuM5020/ADuM5028が提供するドロップイン式のDC/DC電源ソリューションは、次のような放射および製品規格で設定されている放射規格に適合する絶縁設計を対象としています。

- ▶ CISPR 32/EN 55032 (クラスB) :IT機器
- ▶ CISPR 11/EN 55011 (クラスB) :産業、科学、医療用機器
- ▶ IEC 61000-6-4:共通規格—工業環境におけるエミッション規格
- ▶ IEC 61000-6-3:共通規格—住宅、商業及び軽工業環境におけるエミッション規格
- ▶ IEC 61131-2:プログラマブル・コントローラ—パート2:装置への要求事項および試験
- ▶ IEC 621326:計測用、制御用及び実験用の電気装置のEMC要求事項—第1部:一般要求事項
- ▶ IEC 60601-1-2:医用電気機器第1-2部:基礎安全及び基本性能に関する一般要求事項—副通則:電磁妨害—要求事項及び試験
- ▶ IEC 61800-3:可変速駆動システム—第3部:EMC要求事項及び試験方法
- ▶ IEC 63044-5-1:住居及びビルの電子システム (HBES) およびビルの自動化と制御システム (BACS) —第5-1部:EMC要求事項、条件および試験構成

絶縁設計の複雑さと障害を軽減

絶縁型の電源設計は、設計プロセスにおいて最も課題の多い作業の1つです。ソリューションを構築するには、設計の要求事項と世界各国の法令を遵守する必要性とを同時に考慮する必要があります。そのため、多くの場合、サイズ、重量、性能にマイナスの影響が生じたり、EMCコンプライアンスに適合できないおそれが生じるといった問題が発生します。

EMC対策を成功させるには、工業規格に適合することが証明されているデバイスを、設計の初期段階から組み込むことが必要です。EMC対策は設計プロセスの一部であって、設計後に考慮するものではありません。スティッチング・コンデンサなどの軽減手法を用いることで、電子システムの過渡耐圧を低減できますが、コストが増加し設計が複雑になります。アナログ・デバイセズの次世代*isoPower*ファミリは、スティッチング・コンデンサが不要の放射妨害波の軽減手法を提供するもので、EN 55032/CISPR 32クラスBに適合します。ADuM5020/ADuM5028には、スペクトラム拡散手法が取り入れられており、任意の一周波数での電力レベルを抑制します。また、設計とトランス・コイルの対称性が優れており、小型で安価なフェライトが2個使用されているため、絶縁障壁を越え2次側のグラウンド・プレーンに流入するCM電流が抑制されています。ADuM5020/ADuM5028は、高価なPCBレベルのRE軽減手法を用いずに、2層PCB上で十分な余裕を持ってCISPR 32/EN 55032クラスBに適合できるため、コストを削減できます。

参考資料

¹ "Why 50% of Products Fail EMC Testing the First Time." Intertek Group PLC, 2007年7月.

著者について

James Scanlon

2001年にユニバーシティ・カレッジ・ダブリンで電子工学の学士号を取得。その後2008年、リムリック大学よりVLSIシステムに関する工学修士の学位を取得。2001年にアイルランドのリムリックにあるアナログ・デバイセズに大学院生エンジニアとして入社。設計の評価に従事。現在は絶縁技術グループのアプリケーション・エンジニアとして、EMCを専門として幅広い製品群を扱う。

連絡先: james.scanlon@analog.com

オンライン・サポート・コミュニティ



当社のオンライン・サポート・コミュニティで、アナログ・デバイセズの技術専門家と連携することができます。設計上の難問について問い合わせたり、FAQを参照したり、話し合いに参加することができます。

ez.analog.com

* 英語版技術記事は[こちら](#)よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2019 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possible はアナログ・デバイセズの商標です。

www.analog.com/jp

TA20656-3/20(B)



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™