

LVDSを絶縁する理由

Dr. Conal Watterson 著

過酷な環境下では、安全性、機能性、ノイズ耐性の向上のため、外部インターフェースの電気的な絶縁が必要です。これには、産業分野の測定や制御を行うデータ・アキュイジション・モジュールに使われるアナログ・フロント・エンドや、処理ノード間のデジタル・インターフェースも含まれます。

これまで、コンバータ・インターフェースや産業用バックプレーンについては最大数Mbps程度の帯域幅があれば十分だったので、フォトカプラを使ってシリアル・ペリフェラル・インターフェース (SPI) やRS-485などのプロトコルの絶縁を行うことができました。デジタル・アイソレータは、これらの絶縁型インターフェースの安全性、性能、信頼性を向上させた他、絶縁機能とI/Oの内蔵化を実現しました。しかし、インダストリ4.0やモノのインターネット (IoT) といったトレンドにおいては、従来以上に時や場所を問わない高速かつ高精度の測定や制御を行えることが要求され、結果としてより広い帯域幅が必要とされます。

このようにデジタル領域と物理領域の連携の機会が増えたことで、モータや電源システム、人間活動、静電放電、更には落雷によるサージといった外部要因などからの保護が必要とされるため、ガルバニック絶縁の必要性も急速に増大しています。高精度の測定を行う場合は、より局所的な電源回路やごく小型の電源回路、あるいは高速デジタル処理部といったノイズ源からの絶縁も必要になります。

低電圧差動伝送 (LVDS) は高性能コンバータや広帯域幅FPGA、あるいはASICのI/Oに使われる高速インターフェースで、あらゆる用途に用いられています。差動信号方式は、反転信号と非反転信号を相互に結合させることで外部からの電磁干渉 (EMI) に対する高い耐性を実現しており、これに応じてLVDS信号から生じるEMIも最小限に抑えられています。LVDSインターフェースに絶縁を追加すれば、高速かつ高精度の測定を行う既存のシグナル・チェーンや制御アプリケーションに挿入できる、透過的なソリューションを作成できます。

現時点で使用できるオプション

コンバータやプロセッサ向けインターフェースのガルバニック絶縁に関して言えば、標準的なデジタル・アイソレータは、依然として、フォトカプラよりもはるかに高速で堅牢、なおかつ信頼できるソリューションです。しかし、高速または高精度のコンバータをサポートする代表的なLVDSデータ・レートが数百Mbpsなのに対し、標準的なデジタル・アイソレータがサポートしているのは最大でも150Mbps程度です。

より広い帯域幅での絶縁をサポートするために、(現在までの) システム設計者は、トランスやコンデンサを使用するデシリアライゼーション・ソリューションやディスクリット・ソリューションなど、カスタム設計を中心とするソリューションに目を向けてきました。これらのソリューションには余分なコストと時間がかかる他、デシリアライゼーションのためにごく

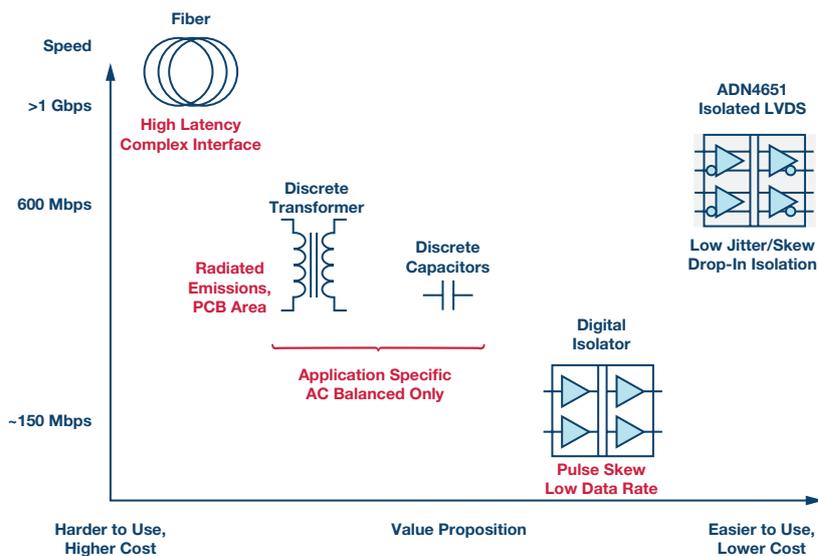


図1. ユーザにとってのアイソレータ実装の価値とアイソレータ速度の関係

シンプルな専用FPGAが必要になることもあります。トランスとコンデンサの使用時にはLVDS信号の慎重なシグナル・コンディショニングが求められ、結果的にソリューションの用途とデータ・レートが限定されACバランスの取れたエンコーディングが必要となります。その他のソリューションとして光ファイバ通信リンクを使用することが挙げられますが、これはコストがかさむ上に複雑さも増すので、数ギガビットのデータ・レートが求められるような場合により適しています。高速ソリューションの絶縁に使用できる一連のオプションを図1に示します。この図では、実装の最大速度とユーザにとっての価値（使いやすさとコストが基準）の関係をプロットしています。

このような課題に対し、アナログ・デバイスでは図2に示すようなドロップインLVDSアイソレータのファミリを発表しました。それがADN4650/ADN4651/ADN4652で、これらのデバイスには、最大600Mbpsの動作に強化された*iCoupler*®技術が使われています。TIA/EIA-644-AのLVDSに準拠したI/Oに加え、この全機能内蔵型アイソレータ・シグナル・チェーンは完全差動式で、高EMI耐性を備えた低EMI放射のソリューションを実現します。これらのデバイスは絶縁された2つのLVDSチャンネルを備えており、ADN4651とADN4652では送信用が1つと受信用が1つ（ADN4651とADN4652はそれぞれの方向が逆）、ADN4650では送信用が2つまたは受信用が2つです。内部高速回路は2.5Vで動作しますが、産業用システムではこれを電源レールとして使うことはないので、3.3V電源使用時でもシングル・ワイドボディSOICソリューションを実現できるように、低ドロップアウト・レギュレータ（LDO）が組み込まれています（図3を参照）。

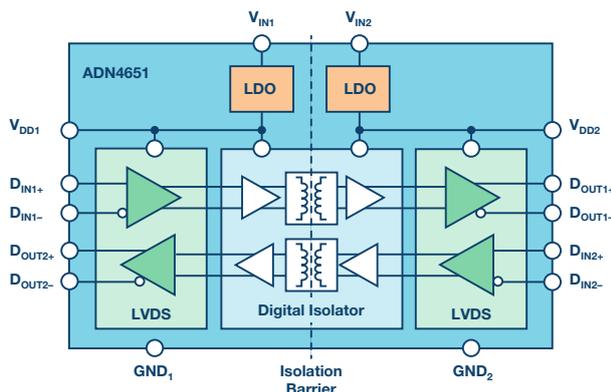


図2. ADN4651 600Mbps LVDSアイソレータのブロック図

これらの新しいLVDSアイソレータはドロップイン・ソリューションなのか

これらのLVDSアイソレータを、最大600Mbpsで動作するコンバータとプロセッサのインターフェース部分やイントラプロセッサ・リンク部分に挿入できるようにするために、ADN465xファミリは、超低ジッタの高精度タイミング機能を備えています。600Mbpsでは単位間隔（UI - ビット時間など）が1.6nsに過ぎず、エッジのジッタは、受信コンポーネントがビットをサンプルするのに十分な時間を取れるような値でなければならないので、この機能を備えていることは重要です。ビット・エラー率を 1×10^{-12} とすると、ADN465xのジッタは代表値で70ps、つまり600MbpsでUIの5%未満です。

ジッタ値の求め方

ジッタ値を求める最も基本的な方法は、オシロスコープを無限残光表示に設定し、差動プローブでLVDSの信号ペアを測定して、立上がりエッジと立下がりエッジの両方でトリガすることです。これは、ハイからローおよびローからハイへの遷移を重ね合わせて、クロスオーバー・ポイントを測定できるようにすることを意味します。クロスオーバーの幅は、それまでに測定されたピークtoピーク・ジッタまたは時間間隔誤差（TIE）に相当します（図3に示すアイ・ダイアグラムとヒストグラムを比較してください）。一部のジッタは（熱ノイズなどの）ランダムな発生源によるもので、このランダム・ジッタ（RJ）は、オシロスコープ上に表示されるピークtoピーク・ジッタが実行時間によって制限されることを意味します。実行時間が長くなるほど、ヒストグラムの裾は広くなります。

これに対し、確定ジッタ（DJ）の発生源は、パルス・スキューによるジッタ、データ・レート依存性ジッタ（DDJ）、符号間干渉（ISI）などに限定されます。パルス・スキューは、ハイからローおよびローからハイへの伝搬遅延の差によって生じます。これはオフセット・クロスオーバーが0Vで生じるようにすることによって可視化され、2つのエッジが分かれやすくなります（図3のヒストグラムが分離していることによって容易に確認できます）。DDJは動作周波数範囲内での伝搬遅延の差から生じ、ISIは直前の遷移周波数が現在の遷移に及ぼす影響によって生じます（通常、エッジ・タイミングは1秒または0秒の連続の後と1010パターンした後で異なる）。

所定のビット・エラー率に対する合計ジッタ（TJ@BER）を漏れなく見積もるために、RJとDJを、測定で得られたTIE分布へのモデル近似に基づいて計算することができます。このようなモデル

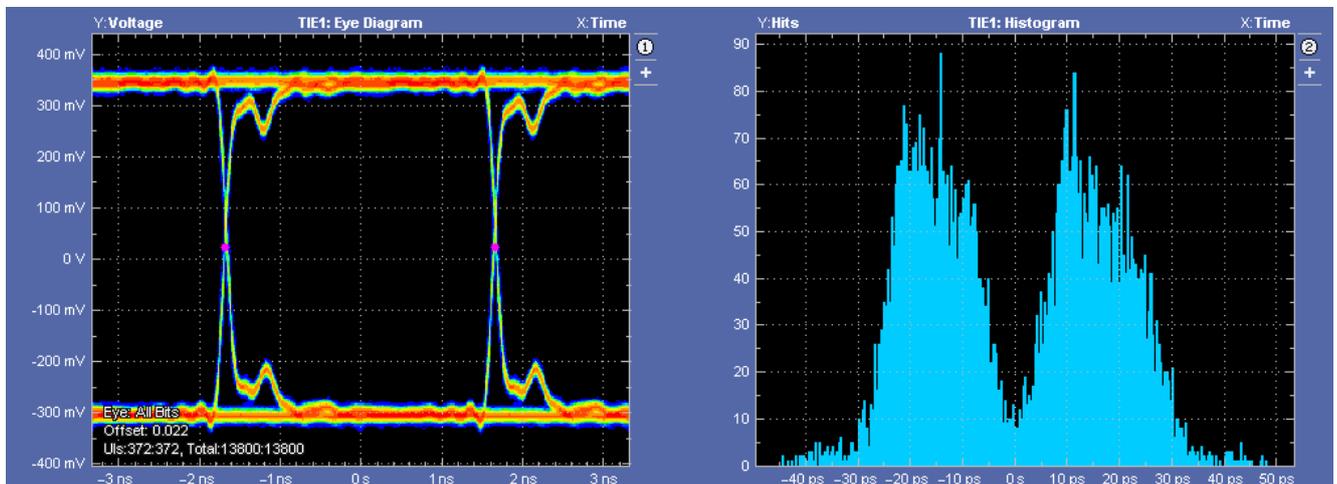


図3. ADN4651のアイ・ダイアグラムとヒストグラム

の1つがデュアル・ディラック・モデル (dual Dirac model) で、このモデルでは、デュアル・ディラック・デルタ関数を使って畳み込みを行ったガウス・ランダム分布の仮定を行います (2つのディラック・デルタ関数の間隔が確定ジッタに相当)。大きな確定ジッタを伴うTIE分布では、その分布がこのモデルを視覚的に近似します。これに伴う厄介な問題の1つは、一部の確定ジッタがガウス成分に影響する可能性があるということです。これは、デュアル・ディラックでは確定ジッタが過小に見積もられ、ランダム・ジッタが過大に見積もられる可能性があることを意味します。しかし、2つを組み合わせれば、所定のビット・エラー率に対する合計ジッタを正確に見積もることができます。

RJは、モデル化されたガウス分布の 1σ RMS値として仕様規定されます。これは、より長いラン・レングス (低いBER) に補外することを意味し、単純に適切な数の σ を選んで、分布の裾に沿って十分離れた位置へ移動します (ビット・エラーが 1×10^{-12} の場合は 14σ)。次にDJを追加して、TJ@BERの予測値を得ます。シグナル・チェーン内に複数の要素が存在する場合は、複数のTJ値を加算するとジッタの見積値が過大になるので、RJ値を幾何級数的に加算しDJ値を代数的に加算すると、シグナル・チェーン全体について、より妥当なTJ@BERの全体値を予測することができます。

ADN4651では、RJ、DJ、およびTJ@BERがすべて個別に仕様規定されており、電源、温度、およびプロセスのすべてについてこれらのジッタ値を確保するために、複数ユニットの統計的分析に基づいてそれぞれに最大値が規定されています。

各種のLVDSインターフェースは正確なデータ転送にどの程度依存しているのか

代表的なレシーバーでは10%ないし20%のUIのジッタを許容できるので、ADN465xで外部LVDSポートを絶縁すると、例えば、ケーブルを使いPLCとI/Oモジュール間で産業用バックプレーンを安全に延長することができます。最大ケーブル長は許容データ・レート、ケーブルの構造、コネクタのタイプによって異なりますが、200Mbps程度の比較的低いデータ・レートで高速コネクタと適切にシールドされたツイスト・ペア・ケーブルを使用する場合は、数メートルのケーブルを使用することも可能です。

A/Dコンバータ (ADC) インターフェースは、通常、LVDSによるソース同期データ伝送を使用します。これは、1つのLVDSクロックが、他のLVDSチャンネルの1つ以上のデータ・ビット・ストリームと並列で伝送されることを意味します。ADN4650はチャンネルの違いによるスキュー ($\leq 300\text{ps}$) や部品の違いによるスキュー ($\leq 500\text{ps}$) が小さいので、これが容易になります。これらのスキュー値は、複数チャンネル間でのハイからロー (またはローからハイ) への伝搬遅延の最大差の仕様を規定しており、これは電源、温度、およびプロセスについて、すべてのADN4650で統計的に確保されています。パルス・スキューが 100ps 以下の低い値であれば、一部のコンバータが出力帯域幅を増やすために使用するダブル・データ・レート (DDR) 用に、立上がりエッジと立下がりエッジの両方でデータをクロッキングする際にクロック同期を行うことができます。

外部クロック源を使用するアナログ・フロント・エンドを完全に絶縁するには、ADCサンプル・クロックの絶縁が必要になることがあります。例えば、複数のデータ・アクイジション・チャンネルで構成されるバンクが、すべてまとめてクロッキングされている場合などです。どのアイソレータを使っても、これには1つの課題が生じます。クロックのジッタがアパーチャ・ジッタに加算されて、測定精度が低下するからです。クロック・ソース同様、クロック分配用LVDSシグナル・チェーンのコンポーネントでは、通常、このジッタは増加位相ジッタとして仕様規定されます。これは、入力クロックの位相ノイズと出力クロックの位相ノイズが比較されて、その差が対応周波数範囲 (12kHz~20MHzが一般的) で積分されることを意味します。ADN465xは基本的に絶縁機能を内蔵したLVDSバッファなので、ADCサンプリングの影響を分析するにあたっては、同じ視点に立つことが有効です。ADN465x使用時の増加位相ジッタの代表値を376fsに抑えることによって、ガルバニック絶縁を追加した場合でも元々の測定品質を維持することができます。これは特に、絶縁を追加することでプロセッサ側のデジタル回路からノイズが除去されるからです。



図4. AD7960およびSDP-H1用のADN4651絶縁回路

リファレンス回路CN-0388に組み込まれたAD7960 (18ビット、5MSPS、SAR ADC) を使い (図4を参照)、300MHzクロックに同期した600Mbpsでのエラーのない伝送と、同じサンプル・クロックを絶縁した場合のADCの最大性能と分解能を確認しました。この既存ADC評価プラットフォームは、アナログ・フロント・エンドを透過的に絶縁するインターポザを使い、ADC回路ボードと高速SDP-H1プラットフォームの間で絶縁しました。ソフトウェアを変えずに高精度アナログ・ソースを使って行ったデータシート仕様に対する評価では、絶縁されたプラットフォームと同じ性能が確認されています。

LVDS絶縁を使用できるその他のアプリケーション

アナログ・フロント・エンドの絶縁と産業用バックプレーンの絶縁の2つは、LVDSの絶縁が提供する利点を示す有効なアプリケーションの例ですが、この技術を利用できるアプリケーションは他にも数多くあります。フラット・パネル・ディスプレイへのビデオ信号には一般的にLVDS信号が使われており、HDMI®シグナリングにも同様の差動シグナリングであるコモンモード・ロジック (CML) が使われています。通常これらは絶縁を必要としませんが、医療用イメージングや産業用PCの外部ディスプレイ・ポートといった一部のアプリケーションでは、ガルバニック絶縁が人体や装置を保護することができます。

著者について

Dr. Conal Watterson (conal.watterson@analog.com)

アナログ・デバイセズのアイルランド事業所（リムリック州）のインターフェースおよびiCoupler®デジタル・アイソレータ・グループ所属のアプリケーション・エンジニア。2010年にリムリック大学を卒業し、博士号および工学修士号を取得。工業用フィールドバス・ネットワーク、診断/信頼性、高速シグナリングおよびアイソレーションに関する多数の論文や記事を執筆。現在は、重点分野として集積化絶縁通信ソリューション、絶縁型電源、高速インターフェース、EMCおよび絶縁に関する規格準拠関連の業務に従事。

オンライン・サポート・コミュニティ



アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com にアクセス

* 英語版技術記事は [こちら](#) よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラスタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2016 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有に属します。
Ahead of What's Possible は
アナログ・デバイセズの商標です。

www.analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™