



ADE9000 テクニカル・リファレンス・ マニュアル UG-1098

OneTechnology Way · P.O.Box9106 · Norwood, MA 02062-9106, U.S.A. · Tel: 781.329.4700 · Fax: 781.461.3113 ·
www.analog.com

ADE9000（高性能、多相電力量／電力品質モニタリング IC）の機能と特長

適用範囲

このリファレンス・マニュアルでは、ADE9000 の機能と特長について詳細に説明します。本書は ADE9000 のデータシートと併用する必要があります。

機能ブロック図

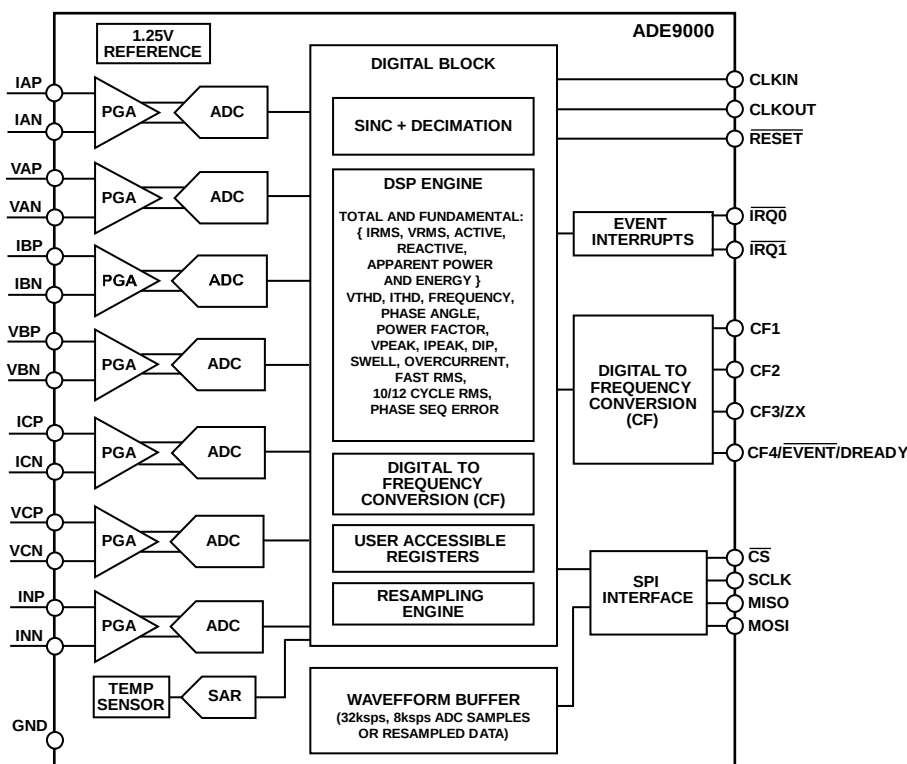


図 1.

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセス株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

適用範囲	1	追加通信検証レジスタ	35
機能ブロック図	1	設定レジスタの CRC	35
改訂履歴	2	波形バッファ	36
A/D コンバータ (ADC)	3	固定データ・レート波形	36
概要	3	固定データ・レート波形のフィリングと	
アナログ入力構成	3	トリガベース・モード	37
内部 RF イミューニティ・フィルタ	4	リサンプリング波形	39
動作モード	4	波形バッファの設定	40
出力データ・レートおよびフォーマット	4	SPI による波形バッファ・サンプルの	
電圧リファレンス	5	バースト読出し	40
水晶発振器／外部クロック	6	割込み／EVENT	43
パワー・マネージメント	7	割込み (IRQ0 および IRQ1)	43
電源モード	7	EVENT	43
電源投入シーケンス	7	追加レジスタのステータス・ビット	43
電源電圧低下の検出	8	様々な電力量計構成への ADE9000 の応用	44
リセット	8	ブロンデル非準拠メータ	45
電源モードの変更	8	4 線式 Y 結線サービスへの ADE9000 の応用	46
測定	9	3 線式 Δ 結線サービスへの ADE9000 の応用	47
電流チャンネル測定の更新レート	9	ブロンデル非準拠の 4 線式 Y 結線サービスへの	
フルスケール時のコード	13	ADE9000 の応用	48
電力およびフィルタベースの		ブロンデル非準拠の 4 線式 Δ 結線サービスへの	
実効値測定アルゴリズム	13	ADE9000 の応用	48
電力量測定の概要	17	サービス・タイプのまとめ	48
電力量の積算	18	クイック・スタート	50
電力の積算	23	キャリブレーション	51
電力品質の測定	24	システム・パラメータ	51
温度	31	実効値のキャリブレーション	51
内部データへのアクセス	32	位相のキャリブレーション	51
SPI プロトコルの概要	32	電力のキャリブレーション	52
SPI 書込み	33	変換定数	52
SPI 読出し	33	レジスタの情報	53
SPI バースト読出し	33	レジスタの詳細	65
SPI プロトコルの CRC	34		

改訂履歴

3/2017–Revision 0: 初版

A/D コンバータ (ADC)

概要

ADE9000 は、サンプリングを同時に行う、独立した 7 つの 2 次 Σ - Δ ADC を内蔵しています。各 ADC は 24 ビットで、完全差動入力と疑似差動入力をサポートしており、グラウンドより高い電圧にも低い電圧にも対応します。ADE9000 は、低ノイズ、低ドリフトのバンドギャップ・リファレンスを内蔵しています。外部電圧リファレンスを使用する場合は、CONFIG1 レジスタの EXT_REF ビットをセットします。各 ADC は、ゲインを 1、2、または 4 に設定できるプログラマブル・ゲイン・アンプを内蔵しています。

アナログ入力構成

内部バッファ回路はありません。ADE9000 のインピーダンスは、選択したプログラマブル・ゲインにより異なります。

完全差動入力

IAP、IAN、IBP、IBN、ICP、ICN、VAP、VAN、VBP、VBN、VCP、および VCN ピンの入力信号が 0.6V を超えることはできません。ADC の差動フルスケール入力範囲は $\pm 1V$ ピーク ($0.707V_{rms}$) です。

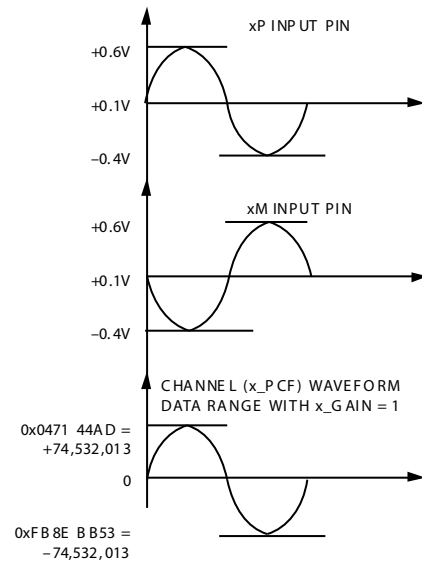
図 2 および図 3 に、電力量モニタリング・アプリケーションでの一般的な 2 種類の入力信号を示します。図 2 に、差動逆位相信号での許容最大入力を示します。カレント・トランスと、センター・タップ付きのバーデン抵抗により、差動逆位相信号が発生します。図 3 に、疑似差動信号での最大入力信号を示します。この信号は、抵抗分圧器またはログスキー・コイル電流センサーを使用してメインの電圧信号を検出するときに得られる信号と同様です。

ゲインが 1 の入力信号では、以下の条件を満たす必要があります。

- $|IAP, IAN, IBP, IBN, ICP, ICN, VAP, VAN, VBP, VBN, VCP, \text{および } VCN| \leq +0.6V$ ピーク
- $|I_{xP} - I_{xN}| \leq +1V$ ピーク、 $|V_{xP} - V_{xN}| \leq +1V$ ピーク

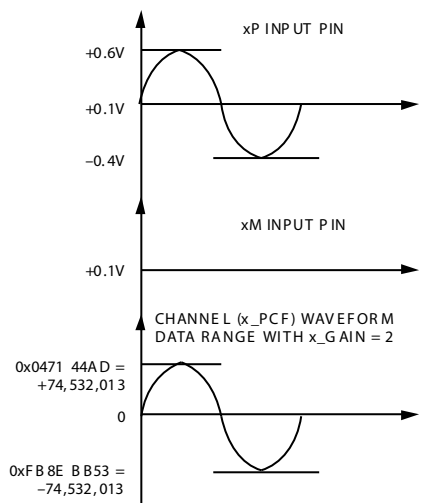
各 ADC は、ゲインを 1、2、または 4 に設定できるプログラマブル・ゲイン・アンプを内蔵しています。ADC は $\pm 1V$ の入力でフルスケール出力コードを生成します。ゲインが 1 の場合、このフルスケール出力は、図 2 に示すように $0.707V_{rms}$ の差動逆位相入力に対応します。ゲインが 2 のとき、フルスケール出力コードは、図 3 に示すように $0.353V_{rms}$ の入力で生成されます。ゲインが 4 のとき、フルスケール出力コードは、 $0.1765V_{rms}$ の入力信号で生成されます。xP ピンと xN ピンの電圧は、データシートに仕様規定されているように、 $\pm 0.6V$ 以内にする必要があります。

PGA_GAIN レジスタの x_GAIN ビットに書き込んで、チャンネルごとにゲインを設定します。



注
1. x_PCF は、ゲイン補償と位相補償後に得られる瞬時の波形です。

図 2. コモンモード電圧が 0.1V でゲインが 1 の差動逆位相入力の場合の最大入力信号



注
1. x_PCF は、ゲイン補償と位相補償後に得られる瞬時の波形です。

図 3. コモンモード電圧が 0.1V でゲインが 2 の疑似差動入力の場合の最大入力信号

電流センサーおよび電圧センサーとのインターフェース

図 4 および図 6 に、カレント・トランスおよびロゴスキー・コイル電流センサーに接続する推奨回路を示します。図 5 に、メイン電圧を測定するインターフェース回路を示します。

アンチエイリアシング（折返し誤差防止）・フィルタのコーナ周波数は 7kHz 前後を選択して、変調器のクロック周波数付近の帯域外信号を十分に減衰させます。同様に、電圧チャンネルに使用する RC フィルタのコーナ周波数も同じ値にして、電流信号と電圧信号の間に位相誤差が発生しないようにします。ロゴスキー・センサーには $1/f$ 応答特性があるため、ロゴスキー・コイルの入力回路には、帯域外ノイズを更に低減する 2 次アンチエイリアス・フィルタがあることに注意してください。

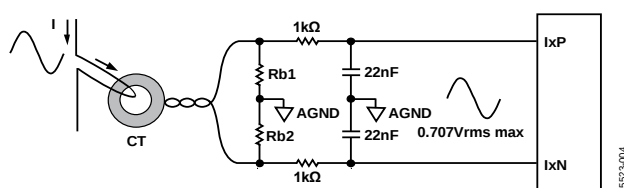


図 4. カレント・トランス電流センサーを接続したアプリケーション回路

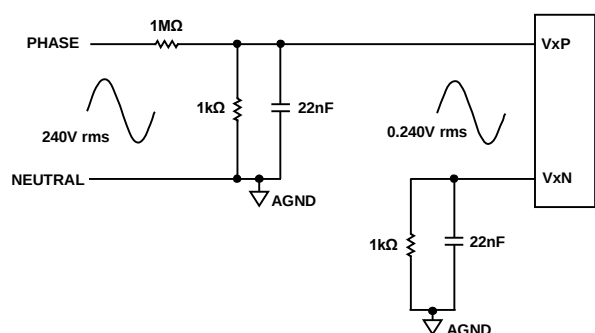


図 5. 抵抗分圧器を介して検出された電圧が入力されるアプリケーション回路

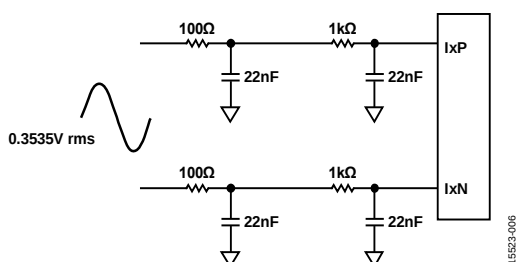


図 6. ロゴスキー・コイル電流センサーを接続したアプリケーション回路

内部 RF イミューニティ・フィルタ

電力量計アプリケーションでは、メータ（電力量計）が、IEC61000-4-3 に従って、 80MHz から 10GHz までの範囲で 30V/m の外部無線周波数電磁界の影響を受けないことが要求されます。これらの信号を外部でフィルタ除去するのは困難なので、ADE9000 では、アンチエイリアシング・フィルタを内蔵して、このテストでの性能を向上させています。この内部 2 次ローパス・フィルタ (LPF) のコーナ周波数は 10MHz です。 7kHz より高い

周波数の信号を減衰させるには、電流センサーおよび電圧センサーとのインターフェースのセクションに示すように、外付けのアンチエイリアス・フィルタが必要です。

動作モード

各 ADC には、ノーマル・モードとディスエーブル・モードの 2 つの動作モードがあります。ノーマル動作モードでは、ADC は常にオンしており、絶えずサンプリングを行います。CHNL_DIS レジスタを使用すれば、ADC を個別にディスエーブルできます。ADE9000 には 2 つの異なる電源モードがあります（電源モードのセクションを参照）。PSM0 電源モードでは、全ての ADC がオンしています。PSM3 モードでは、全ての ADC がディスエーブルされ、オンできません。

表 1. PSMx 電源モードでの ADC の動作

PSMx Power Mode	ADC Mode of Operation
PSM0	Normal (on)
PSM3	Disabled (always off)

出力データ・レートおよびフォーマット

変換が完了すると、STATUS0 レジスタの DREADY ビットは 1 にセットされます。CONFIG1 レジスタの CF4_CFG[3:2] ビットが 11 である場合は、CF4_EVENT/DREADY ピンが DREADY に対応して、ハイのパルスを出力して、7 つの新たな A/D 変換結果の準備が整ったことを示します。

ADE9000 では、変調器のサンプリング・レート (MODCLK) は 2.048MHz ($\text{CLKIN}/12 = 24.576/12$) に固定されています。sinc フィルタの出力データ・レートは $\text{MODCLK}/64$ であるのに対して、ローパス・フィルタ/デシメータ段の出力レートは sinc フィルタの出力レートより 4 倍低速です。 2.048MHz で ADC サンプルを取り、 32kHz または 8kHz のデシメーション・レートで波形情報を生成するデジタル・フィルタ処理を図 7 に示します。

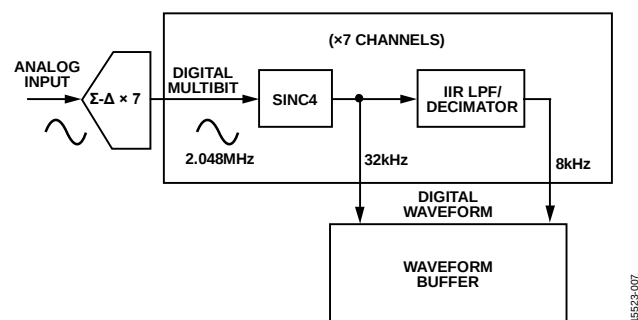


図 7. ADC 段の後のデータパス

出力データ・レートのまとめを表 2 に示します。

表 2. 出力データ・レート

Parameter	Output Data Rate
CLKIN Frequency	24.576 MHz
ADC Modulator Clock, MODCLK	2.048 MHz
SINC Output Data Rate, SINC_ODR	32 kHz
Low-Pass Filter Output Data Rate	8 kHz
3 dB Bandwidth	3.2 kHz

波形バッファの ADC データは、表 3 に示すように、4 ビットだけ左にシフトして符号拡張処理を行うことにより、32 ビットのデータとして格納されます。

表 3. 32 ビットの ADC データ・フォーマット

Bits[31:28]	Bits[27:4]	Bits[3:0]
SE	ADC_DATA[23:0]	0000

入力が 1V ピークのとき、sinc フィルタからの波形バッファでの予想出力コードは、67,107,786 (10 進数) です。入力が 1V ピークのとき、デシメータ・フィルタからの波形バッファでの予想出力コードは、74,518,668 です。詳細については、波形バッファのセクションを参照してください。

電圧リファレンス

ADE9000 は、1.25V の内部リファレンスをサポートしています。外部リファレンスは REFIN ピンと REFGND ピンの間に接続できます。外部電圧リファレンスを使用する場合は、CONFIG1 レジスタの EXT_REF ビットをセットして、内部リファレンス・バッファをディスエーブルします。

水晶発振器／外部クロック

ADE9000 は水晶発振器を内蔵しています。代わりに、ADE9000 の CLKIN ピンにデジタル・クロック信号を入力してもかまいません。

水晶発振器を ADE9000 のクロック源として使用する場合は、水晶発振器とセラミック・コンデンサ（容量は CL1 および CL2）を図 8 に示すように接続します。外付け帰還抵抗を水晶発振器と並列に接続するのは推奨しません。

デジタル・クロック信号を **CLKIN** ピンに入力すると、**CLKOUT** ピンから反転出力が得られます。この出力は内部でバッファされないで、この出力を使用して他の外部デバイスを直接駆動することはできません。**CLKOUT** が出力されるのは **PSM0** 動作モードだけなので注意してください。

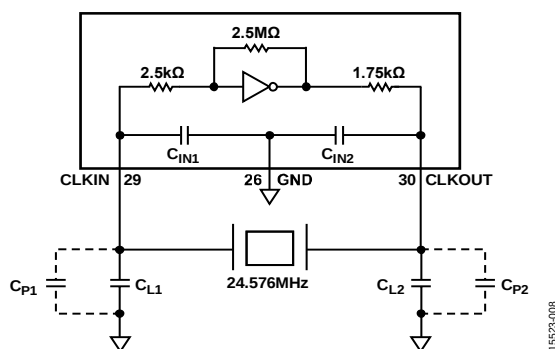


図 8. 水晶発振器のアプリケーション回路

水晶発振器の選択

ADE9000 の水晶発振器回路のトランスコンダクタンス (gm) は、データシートに記載されています。水晶発振器の計算上の gm_{CRITICAL} より 3~5 倍大きい gm にすることを推奨します。

次式は、水晶発振器のデータシートに記載されている情報から水晶発振器の **gmCRITICAL** を算出する方法を示しています。

$$gm_{\text{CRITICAL}} = 4 \times ESR_{\text{MAX}} \times 1000 \times (2 \times \pi \times f_{\text{CLK}(Hz)})^2 \times (C_0 + C_L)^2$$

ここで、

gmCRITICALは、水晶発振器を起動するのに必要な最小のゲインであり、**mA/V**で表されます。

ESR_{MAX} は最大の ESR であり、オーム (Ω) で表されます。

f_{CLK} は24.576MHzで、Hzで表すと 24.576×10^6 です。

C_0 は最大シャント容量で、ファラッド (F) で表されます。

C_L は負荷容量で、ファラッド (F) で表されます。

低 ESR で負荷容量の小さな水晶発振器ほど gmCRITICAL が小さくなり、駆動も容易になります。

ADE9000 の評価用ボードでは、Abracon 社製の水晶発振器（部品番号 ABLS-24.576MHZ-8-L4Q-F-T）を使用しています。その最大 ESR は 40Ω 、負荷容量は 8pF 、最大シャント容量は 7pF であり、その結果 $\text{gm}_{\text{CRITICAL}}$ は 0.86mA/V になります。

$$qm_{\text{CRITICAL}} = 4 \times ESR_{\text{MAX}} \times 1000 \times (2 \times \pi \times f_{\text{CLK(HZ)}})^2 \times (C_0 + C_L)^2$$

$$gm_{CRITICAL} = 4 \times 40 \times 1000 \times (2 \times \pi \times 24.576 \times 10^6)^2 \times (7 \times 10^{-12} + 8 \times 10^{-12})^2 = 0.86$$

データシートに記載されている ADE9000 内部の水晶発振器回路のゲイン (gm) は、gm_{CRITICAL} の 5 倍を超えているので、この水晶発振器を起動するのに十分な余裕があります。

負荷コンデンサの計算

水晶発振器のメーカーは、水晶発振器両端の合成負荷容量（CL）の仕様を規定しています。図 8 の容量は、次のように説明できます。

- CP_1 および CP_2 : プリント回路基板 (PCB) のパターンに起因するクロック・ピン上の寄生容量。
- Cin_1 および Cin_2 : それぞれ $CLKIN$ ピンと $CLKOUT$ ピンの内部容量。
- CL_1 および CL_2 : 水晶発振器の正しい合成 CL を得るために選択された負荷コンデンサ。

内部のピン容量 (C_{in1} および C_{in2}) は、データシートに示すように、それぞれ $4pF$ です。CP₁ と CP₂ の値を求めるには、PCB のクロック・ピン (それぞれ CLKIN および CLKOUT) の各容量を AGND ピンを基準にして測定します。IC を PCB にハンダ処理した後、測定を行う場合は、クロック・ピンの $4pF$ の内部容量を差し引いて、水晶発振器ピンのそれぞれの寄生容量の実際の値を求めます。

セラミック・コンデンサに対して適切な容量値を選択するには、 CL_L および CL_H を次式から計算します。

$$CL = [(CL_1 + CP_1 + C_{IN1}) \times (CL_2 + CP_2 + C_{IN2})] / (CL_1 + CP_1 + C_{IN1} + CL_2 + CP_2 + C_{IN2}) \quad (1)$$

各クロック・ピンの全容量が次のようになるように CL₁ および CL₂ を選択します。

$$CL_1 + CP_1 + C_{IN1} = CL_2 + CP_2 + C_{IN2} \quad (2)$$

式 1 と式 2 を使用して、 CL_1 および CL_2 の値を計算できます。

負荷コンデンサの計算例

負荷容量の仕様が 8pF の水晶発振器を選択し、PCB パターンからの寄生容量測定値が $\text{CP1} = \text{CP2} = 2\text{pF}$ である場合、式 1 は次のことを意味します。

$$CL = [(CL_1 + CP_1 + C_{IN1}) \times (CL_2 + CP_2 + C_{IN2})] / (CL_1 + CP_1 + C_{IN1} + CL_2 + CP_2 + C_{IN2})$$

$$8 \text{ pF} = [(CL_1 + 2 \text{ pF} + 4 \text{ pF}) \times (CL_2 + 2 \text{ pF} + 4 \text{ pF})] / (CL_1 + 2 \text{ pF} + 4 \text{ pF} + CL_2 + 2 \text{ pF} + 4 \text{ pF})$$

式 2 より、 $CL_1 = CL_2$ とすれば、以下のようにになります。

$$8 \text{ pF} = [(CL_1 + 6 \text{ pF}) \times (CL_1 + 6 \text{ pF})] / (CL_1 + 6 \text{ pF} + CL_1 + 6 \text{ pF})$$

$$8 \text{ pF} = [(CL_1 + 6 \text{ pF}) \times (CL_1 + 6 \text{ pF})] / [2 \times (CL_1 + 6 \text{ pF})]$$

$$8 \text{ pF} = (CL_1 + 6 \text{ pF})/2$$

したがって、 $CL_1 = CL_2 = 10 \text{ pF}$ です。

この例に基づいて、CL₁ および CL₂ に対しては、10pF のセラミック・コンデンサを選択します。

パワー・マネージメント

電源モード

ADE9000 には、2 つの動作モード（PSM0 および PSM3）があります。どちらの電源モードに入るかは、PM1 ピンおよび PM0 ピンによって制御されます。どちらの動作モードに入るかを定めるため、これらのピンは絶えずチェックされます。ADE9000 を低消費電力のリセット状態にする場合は、PSM3 を使用できます。

電源投入シーケンス

ADE9000 IC の VDD ピンに電源が投入されると、デバイスは PM0 ピンと PM1 ピンの状態をチェックして、電源モードをチェックします（詳細については、電源モードのセクションを参照してください）。PSM0 モード（PM1 および PM0 = 00 または 01）で **RESET** ピンがハイの場合は、VDD が 2.4V~2.6V に達すると、AVDD および DVDD の低ドロップアウト・レギュレータ（LDO）がオンします。**RESET** ピンがローの場合、AVDD LDO および DVDD LDO はオンしません。AVDD LDO および DVDD LDO を充電するために使用される電流を LDO につき 17mA に制限するクランプ回路があることに注意してください。

AVDD と DVDD の電圧が両方とも 1.3V~1.5V より高くなり、VDD の電圧が 2.4V~2.6V より高くなると、20ms のタイマーが作動して、電源が通常の電位（VDD

が 2.97V~3.6V の範囲内、AVDD が 1.9V、DVDD が 1.7V）に到達できるよう時間が長くなります。このタイマーの時間が経過すると、水晶発振器が起動します。

26ms 後に **RSTDONE** 割込みがトリガされ、**IRQ1** ピンがローになって、**STATUS1** レジスタの **RSTDONE** ビットがセットされます。**RSTDONE** ビットがセットされることで、ADE9000 が電源投入シーケンスを完了したことが示されます。これで、シリアル・ペリフェラル・インターフェース（SPI）を介して IC を設定できるようになりました。デバイスを設定したら、**RUN** レジスタに書き込んで DSP を起動し、デバイスが測定を開始するようにします。アドレス 0x000 からアドレス 0x0FF までとアドレス 0x400 からアドレス 0x5FF までのレジスタは、電源投入時にデフォルト値に戻ります。アドレス 0x200 からアドレス 0x3FF までのレジスタは、**RUN** レジスタの値が 0x0000 から 0x0001 に変化してから 500μs 以内にクリアされます。また、波形バッファ（アドレス 0x800 からアドレス 0xFFF まで）はリセット後もクリアされないことに注意してください。

PSM3 モードでは、AVDD LDO および DVDD LDO はオンしません。**RSTDONE** 割込みは発生せず、SPI ポートは使用できません。

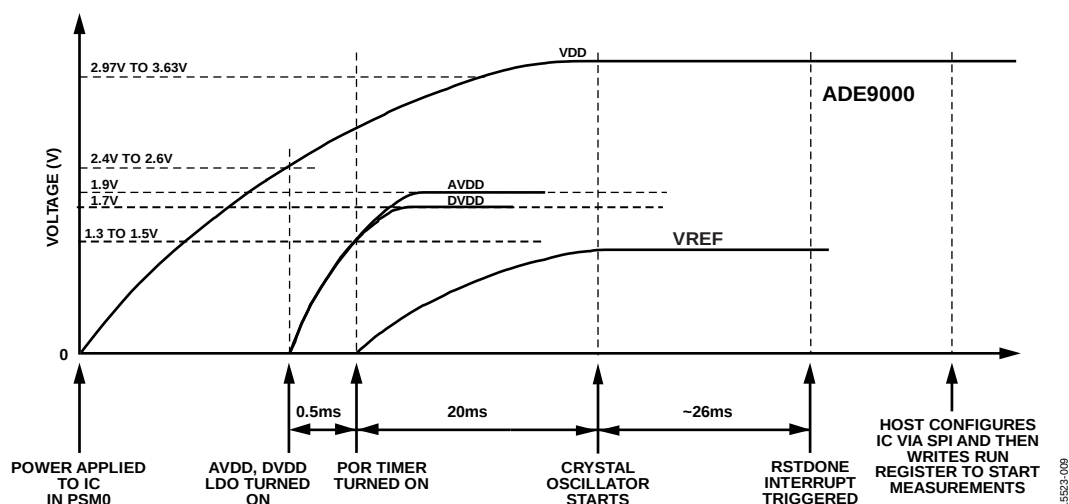


図 9. PSM0 での ADE9000 の電源投入シーケンス

表 4. 電源モード（PSM0 および PSM3）

PSMx 電源モード	説明	PM1 ピン	PM0 ピン	使用可能な機能	SPI の使用可否
PSM0	Normal Mode	0	0 or 1	All functions	Yes
PSM3	Idle	1	1	None	No

電源電圧低下の検出

パワーオン・リセット (POR) 回路は、VDD、AVDD、DVDD の各電源をモニタします。AVDD または DVDD の電圧が 1.3V~1.5V より低くなるか、VDD の電圧が 2.4V~2.6V より低くなると、IC はリセット状態に維持され、電源投入シーケンスがもう一度始まって、AVDD および DVDD の電圧が 1.3V~1.5V より高くなり、VDD の電圧が 2.4V~2.6V より高くなるまで待つてから、20ms の POR タイマーが作動します。IRQ1での RSTDONE 割込みは、ADE9000 を SPI を介して再初期化できることを示します。

リセット

RESETピンが 1 μ s の間ローになるか、CONFIG1 レジスタの SWRST ビットをセットしてソフトウェア・リセットを開始すると、AVDD LDO と DVDD LDO はオフします。電源投入シーケンスは、AVDD LDO と DVDD

LDO がオンした時点から再開します（詳細については、電源投入シーケンスのセクションを参照してください）。ADE9000 を低消費電力のリセット状態にする必要があるアプリケーションでは、RESETピンをローにして IC をリセット状態（消費電流は 100 μ A）に保持するのではなく、PSM3（消費電流は約 2 μ A）を使用することを推奨します（正確な消費電流については、データシートを参照）。

電源モードの変更

PM1 ピンと PM0 ピンの状態は、絶えずモニタされています。電源モードが 1 μ s の間 PSM0 から PSM3 (PM1 および PM0 = 11) に変わると、AVDD LDO と DVDD LDO はオフします。電源モードが PSM0 に戻ると、電源投入シーケンスは、AVDD LDO と DVDD LDO がオンした時点から再開します。

測定

電流チャンネル測定の更新レート

表 5 に、電流チャンネルの測定値を保持するレジスタと更新時のレートを示します。

表 5. 電流チャンネル測定の更新レート

レジスタ名	説明	更新レート
AI_SINC_DAT	IA sinc4 フィルタ出力	32 ksps
BI_SINC_DAT	IB sinc4 フィルタ出力	32 ksps
CI_SINC_DAT	IC sinc4 フィルタ出力	32 ksps
NI_SINC_DAT	IN sinc4 フィルタ出力	32 ksps
AI_LPF_DAT	IA sinc4 + IIR LPF フィルタ出力	f _{DSP} = 8 ksps
BI_LPF_DAT	IB sinc4 + IIR LPF フィルタ出力	f _{DSP} = 8 ksps
CI_LPF_DAT	IC sinc4 + IIR LPF フィルタ出力	f _{DSP} = 8 ksps
NI_LPF_DAT	IN sinc4 + IIR LPF フィルタ出力	f _{DSP} = 8 ksps
AI_PCF	IA での瞬時電流	f _{DSP} = 8 ksps
BI_PCF	IB での瞬時電流	f _{DSP} = 8 ksps
CI_PCF	IC での瞬時電流	f _{DSP} = 8 ksps
NI_PCF	IN での瞬時電流	f _{DSP} = 8 ksps
AIRMS	IA のフィルタベースの全実効値	f _{DSP} = 8 ksps
BIRMS	IB のフィルタベースの全実効値	f _{DSP} = 8 ksps
CIRMS	IC のフィルタベースの全実効値	f _{DSP} = 8 ksps
NIRMS	IN のフィルタベースの全実効値	f _{DSP} = 8 ksps
ISUMRMS	ベクトル和のフィルタ済み実効値 (AI_PCF + BI_PCF + CI_PCF ± NI_PCF)。中性電流の実効値、ベクトル電流和のセクションを参照してください。	f _{DSP} = 8 ksps
IPEAK	ピーク電流チャンネルのサンプル。ピーク検出のセクションを参照してください。	f _{DSP} = 8 ksps
ANGLx_xxx	電圧と電流の間の位相角または電流間の位相角。角度測定のセクションを参照してください。	CLKIN/24 = 1024 ksps

ADC_REDIRECT マルチプレクサ

ADE9000 は、任意の ADC 出力を任意のデジタル処理データパスにリダイレクトできるマルチプレクサを備えています。

デフォルトでは、各変調器はそれに対応するデータパスにマップされます。例えば、IAP ピンと IAN ピンのデータは IA 変調器に入り、その後 IA デジタル処理データパスにマップされます。ADC_REDIRECT レジスタに書き込んで、ADC からデジタル・チャンネルへのマッピングを変更します。

ADE9000 が PCB の上面にあるか底面にあるかによって異なりますが、IA の ADC 出力を IC のデジタル・データパスにリダイレクトし、IC の ADC 出力を IA のデジタル・データパスにリダイレクトすることにより、リダイレクトはレイアウトを簡略化するのに役立ちます。IA および IC の ADC 出力をリダイレクトするには、ADC_REDIRECT レジスタで IA_DIN = 010 および IC_DIN = 000 を書き込みます。

あるいは、ADC_REDIRECT レジスタで VB_DIN = 101 および VC_DIN = 101 を書き込むことにより、3 つの

データパス全てに対して VA 電圧チャンネル出力を使用することもできます。

中性電流チャンネルには、ゼロ交差出力やゼロ交差角の測定機能はありません。中性電流 NI_PCF 信号の位相を補正するには、例えば中性電流 ADC 出力の送出先を B 相のデジタル電流チャンネルにして、IA_DIN = 111 と書き込むことにより、その角度が A 相とどのように対応するかを調べます。

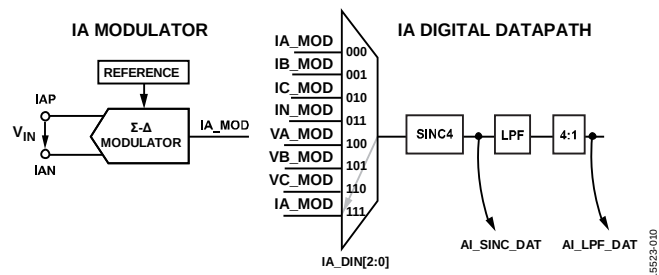


図 10. ADC_REDIRECT 変調器からデジタル・データパスへのマルチプレクス処理

電流チャンネル・ゲイン xIGAIN

電力量計システムには、ゲイン誤差の発生源が多数あります。カレント・トランスのバーデン抵抗など、電流センサーには一定の誤差が生じる可能性があります。ADE9000 デバイス自体にデバイス間ゲイン誤差があり、また電圧リファレンスに一定のばらつきがある場合があります（デバイスの仕様についてはデータシートを参照）。ADE9000 は、各電力量計デバイスの電流チャンネルのスケールリングを同じにするため、電流ゲインのキャリブレーション・レジスタを備えています。

下の式に示すように、電流チャンネル・ゲインは xIGAIN と共に変化します。

$$\text{Current Channel Gain} = \left(1 + \frac{xIGAIN}{2^{27}}\right)$$

この式を使用して、与えられた電流チャンネル・ゲインに対する xIGAIN の値を計算します。

$$xIGAIN = \text{ROUND}((\text{Current Channel Gain} - 1) \times 2^{27})$$

電流チャンネル・ゲインは正でも負でもかまいません。

例えば、電流チャンネルのゲインを 10% 高くして 1.1 にする場合は、次のようになります。

$$xIGAIN = \text{ROUND}((1.1 - 1) \times 2^{27}) = 13421773 = 0x00CC_CCCD$$

ゲインを 10% 低くして 0.9 にする場合は、次のようになります。

$$xIGAIN = \text{ROUND}((0.9 - 1) \times 2^{27}) = -1 \times 10^7 = 0xFF33_3333$$

また、電流チャンネル・ゲイン・レジスタを使用して電流チャンネルの符号を変更することもできます。これは、電流センサーが逆方向に取り付けられていた場合に便利です。これを補償するには、電流チャンネル・ゲイン = -1 を使用します。

$$xIGAIN = \text{ROUND}((-1 - 1) \times 2^{27}) = -268435456 = 0xF000_0000$$

位相とゲインのマルチポイント機能を使用する場合は、電力量計の公称電流で行う主補正に **xIGAIN** を使用することを推奨します（詳細については、位相／ゲインのマルチポイント・キャリブレーションのセクションを参照してください）。

与えられた相に対して、次のことに注意してください。

$$|Current\ Channel\ Gain \times Voltage\ Channel\ Gain \times Power\ Gain| \leq 3.75$$

ICONSEL を使用する IB 計算

IB = -IA - IC を計算するには、ACCMODE の ICONSEL ビットに書き込みます。この設定は、一部の 3 線 Δ 構成でのカレント・トランスのコストを抑えるのに役立ちます。詳細については、3 線式 Δ 結線サービスへの ADE9000 の応用のセクションを参照してください。

ハイパス・フィルタ

DC オフセットを除去して実効値と電力量を正確に計測するため、ハイパス・フィルタを装備しています。

ADE9000 の電流チャンネルと電圧チャンネルのハイパス・フィルタは、デフォルトでイネーブルされます。ディセーブルするには、CONFIG0 レジスタの DISPPF ビットが 1 になるよう書き込みます。

データシートの仕様に記載された電力量計性能を達成するため、ハイパス・フィルタはイネーブル状態を維持することを推奨します。

アプリケーションによっては、例えばログスキー・コイル電流センサー使用時の性能を向上するため、ハイパス・フィルタのコーナ周波数を高くすることが適しています。

ハイパス・フィルタのコーナ周波数は、CONFIG2 レジスタの HPF_CRN ビットを使用して選択できます（表 6 を参照）。

表 6. 入力信号が 50Hz の場合の HPF コーナ周波数のゲイン

HPF_CRN	f _{-3 dB} (Hz)	HPF_GAIN	Settling Time to 1% for DC Step (sec)	Settling Time to 0.1% for DC Step (sec)
0	77.4	0.537	0.009	0.013
1	39.3	0.790	0.018	0.027
2	19.8	0.935	0.037	0.055
3	9.9	0.984	0.073	0.110
4	5.0	0.997	0.147	0.221
5	2.5	0.999	0.294	0.442
6 (default)	1.25	1.001	0.589	0.883
7	0.625	1.001	1.179	1.768

デジタル積分器

ロゴスキー・コイルとも呼ばれる di/dt 電流センサーと簡単にインターフェースを取れるように、デジタル積分器が組み込まれています。 di/dt センサー出力は、全周波数範囲にわたって 20dB/decade の割合で増加します。この増加を補償するため、デジタル積分器は -20dB/decade のゲインと約 -90° の位相シフトを適用します。

ADC がサンプリングしているときに対象の帯域にノイズ・エイリアシングが戻らないようにするには、2 次アンチエイリアシング・フィルタが必要です。

IA、IB、および IC チャンネルのデジタル積分器をイネーブルするには、CONFIG0 レジスタの INTEN ビットをセットします。中性電流、IN チャンネルのデジタル積分器をイネーブルするには、CONFIG0 レジスタの ININTEN ビットをセットします。

図 11 および図 12 に、デフォルト設定 DICOEFF = 0xFFFFE000 での ADE9000 デジタル積分器の振幅と位相の応答を示します。

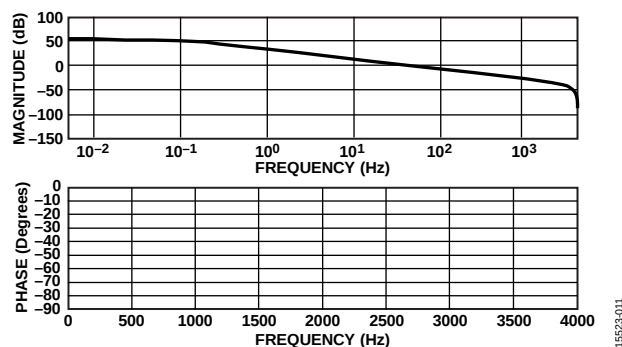


図 11. DICOEFF = 0xFFFFE000 の場合のデジタル積分器の振幅と位相の応答

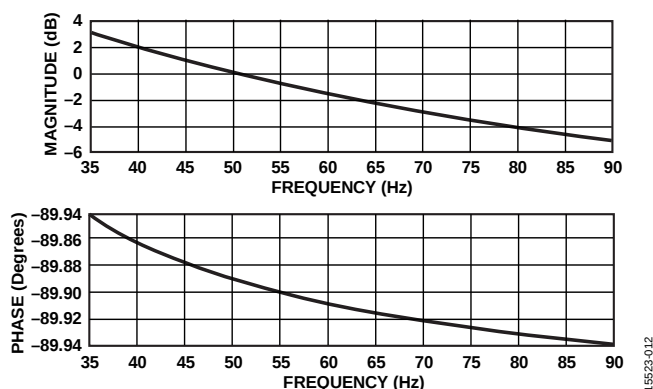


図 12. DICOEFF = 0xFFFFE000 の場合のデジタル積分器の振幅と位相の応答 (40Hz~80Hz)

積分器がイネーブルされている場合は、DICOEFF = 0xFFFFE000 を設定します。

位相補償

ADE9000 の位相補償では、デジタル・フィルタを使用して $\pm 0.001^\circ$ の位相調整を実現しています。この高分解能により、低力率での有効電力量と無効電力量の総合的な性能が向上しています。

位相のキャリブレーション範囲は、50Hz では $-15^\circ \sim +2.25^\circ$ です。

このキャリブレーション範囲を実現するため、電圧チャンネルは、8ksps のサンプリング 1 回分 (50Hz のとき 2.25°) だけ遅延します。

$$\text{Voltage Channel Delay}^\circ = \left(\frac{f_{\text{LINE}}}{f_{\text{DSP}}} \times 360^\circ \right)$$

$$\text{Voltage Channel Delay}^\circ = \left(\frac{50}{8000} \times 360^\circ \right) = 2.25^\circ$$

その後、電流チャンネルが、xPHCALx レジスタに書き込まれた値に従って、デジタル・フィルタによって遅延します。得られる位相補正は、xPHCALx レジスタの値により異なります。次式が示すのは、入力電圧と入力電流の合算遅延後の入力電流と入力電圧の間の位相補正です。この式では、PhaseCorrection $^\circ$ が正になると、電流の方が電圧より位相が遅れている状況を補正し、PhaseCorrection $^\circ$ が負になると、カレント・トランスで生じる事例のように、電流の方が電圧より位相が進んでいる状況を補正します。

$$\text{Phase Correction}^\circ = \arctan \left(\frac{-\sin \omega}{x\text{PHCALx} \times 2^{-27} + \cos \omega} \right) - \arctan \left(\frac{-x\text{PHCALx} \times 2^{-27} \times \sin \omega}{1 + x\text{PHCALx} \times 2^{-27} + \cos \omega} \right)$$

ここで、 $\omega = 2 \times \pi \times f_{\text{LINE}} / f_{\text{DSP}}$ です。

xPHCALx レジスタの値は、目的の位相補正值を基に次式に従って計算できます。

$$x\text{PHCALx} = \left(\frac{\sin(\phi - \omega) + \sin \omega}{\sin(2 \times \omega - \phi)} \right) \times 2^{27}$$

例えば、 $f_{\text{LINE}} = 50\text{Hz}$ 、 $f_{\text{DSP}} = 8\text{kHz}$ で、電流の方が電圧より位相が 0.1° 進んでいる場合、Phase Correction $^\circ = -0.1^\circ$ です。これを補正するには、xPHCALx = 0xFFD3_7760 を書き込みます。

$$\omega = 2 \times \pi \times 50 / 8000 = 0.03927$$

$$x\text{PHCALx} = \left(\frac{\sin(\text{RADIANS}(-0.1) - 0.03927) + \sin 0.03927}{\sin(2 \times 0.03927 - \text{RADIANS}(-0.1))} \right) \times 2^{27} = -2918553 = 0xFFD3_7767$$

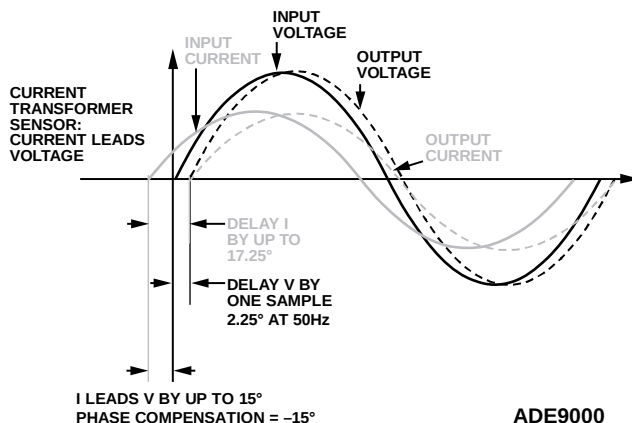


図 13. カレント・トランスの位相補償例、電流の方が電圧より位相が進んでいる場合

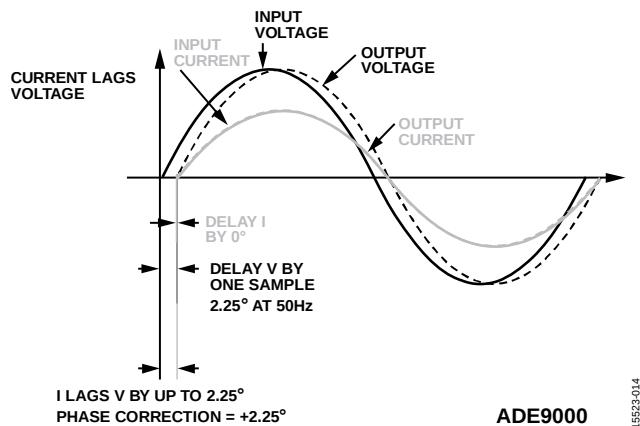


図 14. 電流の方が電圧より位相が遅れている場合の位相補償例

前の式を使用すると、60Hz では、電圧チャンネルの遅延が 2.7°であることが分かります。

$$\text{Voltage Channel Delay}^\circ = \left(\frac{60}{8000} \times 360^\circ \right) = 2.7^\circ$$

このため、位相のキャリブレーション範囲は 60 Hz では $-15^\circ \sim +2.7^\circ$ になります。

位相／ゲインのマルチポイント・キャリブレーション

ADE9000 では、電流チャンネルのゲインと位相の補償を $xIRMS$ での入力電流の実効振幅計算値の関数として変化させることができます。この機能は、カレント・トランス・センサーの非直線性を補正して、非常に高い精度（例えばクラス 0.2 のメータ）を実現します。

ゲインと位相のマルチポイント補償

$xIRMS$ 入力信号レベルにかかわらず適用される電流チャンネル・ゲイン ($xIGAIN$) があります。このゲインは、カレント・トランスとバーデン抵抗を含めた電流チャンネルの公称ゲイン誤差を補償します。位相とゲインのマルチポイント補償をイネーブルにすると、 $xIRMS$ の値に応じて付加的な電流ゲインの値が適用され、入力信号の全振幅にわたってカレント・トランスのゲイン・シフトが補償されます。

$MTEN = 1$ を設定して、位相とゲインのマルチポイント補償がイネーブルされている場合は、図 15 に示すように、 $xIRMS$ 電流実効値振幅と $MTTHR_Lx$ レジスタおよび $MTTHR_Hx$ レジスタの値に基づき、追加のゲイン係数 $xIGAIN0 \sim xIGAIN5$ が適用されます。

同様に、位相補償では、位相とゲインのマルチポイント補償をイネーブルにすると、適用される電流チャンネルの位相補償は、 $xIRMS$ 入力信号レベルに応じて変化します。

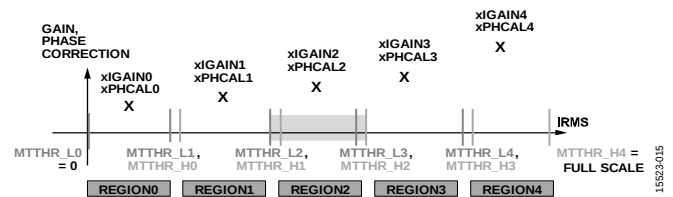


図 15. 位相とゲインのマルチポイント・キャリブレーション

$MTTHR_Lx$ レジスタおよび $MTTHR_Hx$ レジスタは、一連の補正の適用先となる範囲を設定して、ヒステリシスを許容します。

どの係数を適用するかは、以下の規則に従って決定されます。

```
If  $xIRMS > MTTHR\_H[current\_region]$ 
    If  $current\_region \leq 3$ 
         $current\_region++$ ;
    Else If  $xIRMS > MTTHR\_L[current\_region]$ 
        If  $current\_region \geq 1$ 
             $current\_region--$ ;
     $xIGAIN = xIGAIN[current\_region]$ ;
     $xPHCAL = xPHCAL[current\_region]$ ;
```

例えば、 $AIRMS$ が $MTTHR_H2$ より大きくなると、位相とゲインの補正はそれぞれ $AIGAIN3$ と $APHCAL3$ に設定されます。その後、 $AIRMS$ が $MTTHR_L3$ より小さくなると、位相とゲインの補正はそれぞれ $AIGAIN2$ と $APHCAL2$ に設定されます。

正常な動作にするため、レジスタの値は

$MTTHR_L[0] < MTTHR_L[1] < MTTHR_H[0] < MTTHR_L[2] < MTTHR_H[1] < MTTHR_L[3] < MTTHR_H[2] < MTTHR_L[4] < MTTHR_H[3] < MTTHR_H[4]$ にする必要があります。

位相とゲインのマルチポイント・キャリブレーションは、デフォルトでは無効になっています。有効にするには、 $CONFIG0$ レジスタの $MTEN$ ビットをセットします。

ゲインと位相のシングルポイント・キャリブレーション

位相とゲインのマルチポイント・キャリブレーションが無効の場合は、位相とゲインのシングルポイント・キャリブレーションが可能です。

この場合には、 $xIGAIN$ レジスタが適用されます。 $xIRMS$ 振幅に応じて付加的な電流チャンネル・ゲインが適用されることはありません。

位相とゲインのマルチポイント・キャリブレーションが無効の場合は、 $xIRMS$ の値に関係なく、 $xPHCAL0$ の位相補償が常に適用されます。

電圧チャンネルの測定

表 7 に、電圧チャンネルの測定値を保持するレジスタと更新時のレートを示します。

表 7. 電圧チャンネル測定の実効値更新レート

レジスタ名	説明	更新レート
AV_SINC_DAT	VA sinc4 フィルタ出力	32 ksps
BV_SINC_DAT	VB sinc4 フィルタ出力	32 ksps
CV_SINC_DAT	VC sinc4 フィルタ出力	32 ksps
AV_LPF_DAT	VA sinc4 + IIR LPF フィルタ出力	$f_{DSP} = 8 \text{ ksps}$
BV_LPF_DAT	VB sinc4 + IIR LPF フィルタ出力	$f_{DSP} = 8 \text{ ksps}$
CV_LPF_DAT	VC sinc4 + IIR LPF フィルタ出力	$f_{DSP} = 8 \text{ ksps}$
AV_PCF	VA での瞬時電流	$f_{DSP} = 8 \text{ ksps}$
BV_PCF	VB での瞬時電流	$f_{DSP} = 8 \text{ ksps}$
CV_PCF	VC での瞬時電流	$f_{DSP} = 8 \text{ ksps}$
AVRMS	VA のフィルタベースの総合実効値	$f_{DSP} = 8 \text{ ksps}$
BVRMS	VB のフィルタベースの総合実効値	$f_{DSP} = 8 \text{ ksps}$
CVRMS	VC のフィルタベースの総合実効値	$f_{DSP} = 8 \text{ ksps}$
VPEAK	ピーク電流チャンネルのサンプル。ピーク検出のセクションを参照してください。	$f_{DSP} = 8 \text{ ksps}$
APERIOD	VA でのライン周期の測定	$f_{DSP} = 8 \text{ ksps}$
BPERIOD	VB でのライン周期の測定	$f_{DSP} = 8 \text{ ksps}$
CPERIOD	VC でのライン周期の測定	$f_{DSP} = 8 \text{ ksps}$
COM_PERIOD	VA、VB、VC からの合成信号でのライン周期の測定。合成電圧のゼロ交差のセクションを参照してください。	$f_{DSP} = 8 \text{ ksps}$
ANGLx_xxx	電圧と電流の間の位相角または電流間の位相角。角度測定のセクションを参照してください。	CLKIN/24 = 1024 ksps

電圧チャンネルのゲイン

xVGAIN レジスタを使用して、各相の電圧チャンネルを補正できます。xVGAIN レジスタのスケーリングは xIGAIN レジスタと同じです。詳細については、電流チャンネル・ゲイン xIGAIN のセクションを参照してください。

フルスケール時のコード

PGA ゲインを 1 に設定した場合、ADC 入力が入力フルスケールのときの予想コードを表 8 に示します。

表 8. フルスケール時の ADC コード

Parameter	Output Code
Sinc4 Output at 32 ksps	67,107,786
Dec Output at 8 ksps	74,518,668
xPCF at 8 ksps	74,532,013
Total IRMS and VRMS	52,702,092
Fundamental IRMS and VRMS	52,702,092
Total WATT, VAR, and VA	20,694,066
Fundamental WATT, VAR, and VA	20,694,066
Fast RMS½	52,702,092
10 Cycle RMS/12 Cycle RMS	52,702,092
Resampled Data	18,196

電力およびフィルタベースの実効値測定アルゴリズム

フィルタベースの総合実効値（RMS 値）

ADE9000 は、電流と電圧の実効値を測定します。この値は、入力信号を 2 乗し、ローパス・フィルタ処理して、その結果の平方根を取ることによって算出されます。

ローパス・フィルタ LPF2 は、実効値を抽出し、50Hz または 60Hz の基本波の高調波を 64dB 以上減衰させます。これにより、フルスケール時には計算上の実効値でのばらつきが非常に小さくなり、誤差は±0.064%になります。入力信号が小さくなるほど測定中のノイズが増えるため、実効値読み出し値のばらつきが増えることに注意してください。

入力 xP と xN を互いに短絡すると、xRMS レジスタは 0 を読み出しません。

フィルタ・ベースの実効値の帯域幅は 3.2kHz です。チャンネルごとに 1 回の実効値計算（AIRMS、BIRMS、CIRMS、NIRMS、AVRMS、BVRMS、および CVRMS）は、8ksps ごとに更新されます。ISUMRMS の計算では、同じ方法を使用して ISUMRMS を算出します。ここで、ISUM = IA + IB + IC ± IN であり、やはり 8ksps で更新されます（詳細については、中性電流の実効値、ベクトル電流和のセクションを参照してください）。

フルスケール時の xRMS の値は 52,702,092（10 進数）です。フルスケールは PGA ゲインの関数です。

$$full\ scale = \frac{full\ scale\ input\ at\ PGA\ GAIN1}{PGA\ GAIN}$$

小入力信号（1000:1 未満）時の性能を高めるには、xRMSOS レジスタを使用してこの測定オフセットを補正することを推奨します。良好な性能が要求される最小の入力信号でオフセットを補正することを推奨します。入力信号がゼロのときにこの測定を補正しないでください。

次式は、xRMSOS レジスタの値が xRMS レジスタの結果をどのように変更するかを示しています。

$$xxRMS = \sqrt{xxRMS_0^2 + 2^{15} \times xxRMSOS}$$

ここで、xxRMS₀ は、オフセット・キャリブレーション前の xRMS レジスタの初期値です。

例えば、1000:1 での予想 AIRMS が 52,702,092/1000 = 52,702（10 進数）で、AIRMS レジスタの読み出し値が 53280（10 進数）の場合、オフセット・キャリブレーション・レジスタは次のようになります。

$$AIRMSOS = \frac{52702^2 - 53280^2}{2^{15}} = -1869d = 0xFFFF8B8$$

表 9 に、50Hz 信号でのフルスケールの 99%までの実効セトリング時間を示します。

表 9. 実効セトリング時間

Configuration	RMS Settling Time, FS = 99% (sec)
Integrator On, HPF On, and LPF2 On	0.54
Integrator Off, HPF On, and LPF2 On	0.48

中性電流の実効値、ベクトル電流和

ADE9000 は、中性電流センサー入力から INP ピンおよび INN ピンに流れ込む中性電流の実効値を計算して、その結果を NIRMS レジスタに格納します。NIRMSOS レジスタでは、この測定のオフセット・キャリブレーションが可能です。スケーリングは他の xIRMS レジスタや xIRMSOS レジスタの場合と同じです（詳細については、フィルタベースの総合実効値（RMS 値）のセクションを参照してください）。

また、ADE9000 は、IA + IB + IC ± IN の和の実効値を計算して、その結果を ISUMRMS レジスタに格納します。ISUMRMSOS レジスタでは、この測定のオフセット・キャリブレーションが可能です。スケーリングは他の xIRMS レジスタや xIRMSOS レジスタの場合と同じです（詳細については、フィルタベースの総合実効値（RMS 値）のセクションを参照してください）。

中性電流センサーを使用しない場合は、CONFIG0 レジスタの ISUM_CFG[1:0] ビットに 0 を書き込みます。これにより、ISUMRMS は IA、IB、および IC の和から中性電流を概算します。

中性電流の測定値 NI_PCF が電流チャンネル波形 AI_PCF + BI_PCF + CI_PCF の和からずれる場合は、システム内に障害が発生している可能性があります。

中性電流の測定値と A、B、C の電流の測定値との間の不一致がどの程度大きいかを調べるには、他の電流チャンネルの波形を基準にした中性電流の方向に基づいて、ISUM_CFG[1:0] に 01 または 10 を選択します。

表 10. ISUM の構成オプション

CONFIG0. ISUM_CFG[1:0]	ISUM calculation
00, 11	ISUM = AI_PCF + BI_PCF + CI_PCF
01	ISUM = AI_PCF + BI_PCF + CI_PCF + NI_PCF
10	ISUM = AI_PCF + BI_PCF + CI_PCF - NI_PCF

ISUMRMS のスケーリングは xIRMS と同じです。AI_PCF、BI_PCF、および CI_PCF が全てフルスケールで、互いに位相が揃っている場合、ISUM_CFG[1:0] を 00 または 11 にすると、ISUMRMS は $3 \times 52,702,092 = 158,106,276$ （10 進数）になります。AI_PCF、BI_PCF、CI_PCF、および NI_PCF が全てフルスケールで、互いに位相が揃っている場合、ISUM_CFG[1:0] を 01 にすると、ISUMRMS は $4 \times 52,702,092 = 210,808,368$ （10 進数）になります。

ISUMRMS が閾値を超えたかどうかを表示するには、ISUMLVL を設定します。その後、STATUS0 の MISMTCH ビットと関連の割込みが、ISUMRMS と ISUMLVL との関係に変化があったかどうかを示します。ISUMLVL の目標値を次式に従って計算します。

$$ISUMLVL = \left(\frac{xIRMS_FULL_SCALE}{X} \right)$$

ここで、

xIRMS_Full_Scale は、フルスケール入力時の xIRMS の公称値で、52,702,092 です。

X は、MISMTCH 誤差を示すための目的の電流レベルです。

例えば、ISUMLVL を設定して、フルスケールからの誤差が 10,000:1 より大きいベクトル電流和について警告するには、前の式で $X = 10,000$ にします。

総合有効電力

総合有効電力は、一般に課金の目的で使用されます。これには、基本波での電力と高調波での電力が含まれます。各相の総合有効電力を計算するには、まず xI_PCF の波形と xV_PCF の波形を掛け合わせます。次に、CONFIG0 レジスタの DISAPLPF ビットが 1 でない限り、結果はローパス・フィルタで処理されます。最後に、xPGAIN を適用してゲイン補正を実行し、xWATTOS の値を適用して WATT のオフセットを補正します。

図 16 は、入力信号 I および V と、瞬時の有効電力との関係、およびローパス・フィルタ処理後の有効電力との関係を示します。I および V はフルスケールで基本波のみが存在し、力率が 1 であると仮定しています。

CONFIG0 の DISAPLPF ビットが 1 である場合、xWATT は瞬時の有効電力を表し、0 である場合、xWATT はローパス・フィルタ処理後の有効電力を表します。図 16 では、xPGAIN = 0 および xWATTOS = 0 と仮定しています。

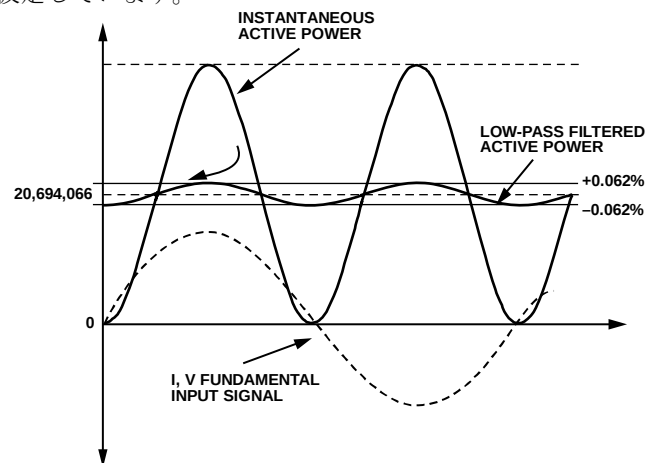


図 16. 力率が 1 のときの瞬時の有効電力とローパス・フィルタ処理後の有効電力

ローパス・フィルタ LPF2 は、総合有効電力を抽出し、50Hz または 60Hz の基本波の高調波を 64dB 減衰させます。これにより、フルスケール時にはローパス・フィルタ処理後の有効電力でのばらつきが非常に小さく（±0.062%）なります。

この結果として得られた xWATT 信号の更新レートは 8ksps で、帯域幅は 3.2kHz です。

xPGAIN レジスタのスケーリングは xIGAIN レジスタと同じです。xWATTOS のスケーリングは xWATT と同じです。xWATT は電力量レジスタまたは電力レジスタを使用して補正できます。電力レジスタを使用する場合、xWATTOS は次式を使用して算出されます。

$$xWATTOS = xWATT_{EXPECTED} - xWATT_{MEASURED}$$

フルスケール入力でゲインがない場合の xWATT の値は 20,694,066 です。xVAR と VA のスケーリングは同じなので、3 つのオフセット全てに対して同じ式を使用できます。

変数 X は補正する最小の電力レベルです。例えば、フルスケールから 10,000 のレベルで電力量を補正するには、前の式で $X = 10,000$ にします。

$$xWATTOS = \frac{1}{\frac{20694066}{10,000}} = 0.05\%$$

$xWATTOS$ レジスタの各ビットは、10,000:1 で 0.05% の誤差を補正できます。大半のアプリケーションでは、 $xWATTOS$ がゼロのときでも、小入力での総合有効電力性能は十分です。

表 11 に、50Hz 信号での総合有効電力のセトリング時間を示します。

表 11. 総合有効電力のセトリング時間

Configuration	Total Active Power Settling Time (sec)	
	FS = 99%	FS = 99.90%
Integrator On, HPF On, and LPF2 On	0.43	0.66
Integrator Off, HPF On, and LPF2 On	0.43	0.66
Integrator Off, HPF On, and LPF2 Off	0.01	0.06

総合無効電力

総合無効電力には、基本波での無効電力と高調波での無効電力が含まれます。電流チャンネル xI_PCF は、基本波の場合と全高調波の場合とで 90°シフトします。この信号は、次に電圧波形 xV_PCF と掛け合わされます。CONFIG0 レジスタの DISRPLPF ビットが 1 でない限り、結果はローパス・フィルタで処理されます。最後に、 $xPGAIN$ を適用してゲイン補正を実行し、 $xVAROS$ の値を適用して VAR のオフセットを補正します。大半のアプリケーションでは、 $xVAROS$ がゼロのときでも、小入力での総合無効電力性能は十分です。

力率が 0 のときの総合無効電力のリプルは、力率が 1 のときの総合有効電力のリプルと同様です (図 16 参照)。

この結果として得られた AVAR 信号の更新レートは 8ksps で、帯域幅は 3.2kHz です。

無効電力の計算を無効にするには、VAR_DIS レジスタの VARDIS ビットをセットします。正常動作を確保するため、このビットは RUN ビットを書き込む前にセットする必要があります。

総合無効電力のオフセットは、 $xVAROS$ レジスタを使用することにより、広いダイナミック・レンジにわたって更に高い性能が得られるよう補正できます。 $xVAROS$ のスケリングは $xVAR$ と同じです。このレジスタ値を計算する方法を理解するには、総合有効電力のセクションを参照してください。表 12 に、50Hz 信号での総合無効電力のセトリング時間を示します。

表 12. 総合無効電力のセトリング時間

Configuration	Total Reactive Power Settling Time (sec)	
	FS = 99%	FS = 99.90%
Integrator On, HPF On, and LPF2 On	0.43	0.59
Integrator Off, HPF On, and LPF2 On	0.43	0.59
Integrator Off, HPF On, and LPF2 Off	0.02	0.05

総合皮相電力

皮相電力は、電流の実効測定値 $xIRMS$ と対応する電圧の実効値 $xVRMS$ を掛け合わせ、その後ゲイン補正 $xPGAIN$ を適用することで生成されます。結果は xVA レジスタに格納されます。総合皮相電力のオフセットは、 $xIRMSOS$ レジスタと $xVRMSOS$ レジスタを使用して、 $xIRMS$ と $xVRMS$ の測定値を補正することによって計算します。実効値計算の詳細については、フィルタベースの総合実効値 (RMS 値) のセクションを参照してください。

この結果として得られた xVA 信号の更新レートは 8ksps で、帯域幅は 3.2kHz です。

アプリケーションによっては、電圧チャンネルの入力に不正な変更が検出された場合、電圧が公称レベルであることを前提に、皮相電力量を積算することを推奨します。ADE9000 はレジスタ VNOM を備えており、一例として 240Vrms に対応する値に設定できます。CONFIG0 レジスタの VNOMx_EN ビットをセットすると、 xVA の計算時に VNOM は $xIRMS$ と掛け合わされます。

表 13 に、50Hz 信号での総合皮相電力のセトリング時間を示します。

表 13. 総合皮相電力のセトリング時間

Configuration	Total Apparent Power Settling Time, FS = 99% (sec)
Integrator On, HPF On, and LPF2 On	0.54

基本波の測定

ADE9000 は独自のアルゴリズムを使用して全測定信号から基本波信号を抽出し、基本波の IRMS、VRMS、WATT、VAR、VA、ITHD、VTHD などの測定を行います。このアルゴリズムでは、回路周波数の初期化と、電圧チャンネルで測定された公称電圧の初期化が必要です。ACCMODE レジスタの SELFREQ ビットは、システムが 50Hz であるか 60Hz であるかを選択します。50Hz システムの場合は、SELFREQ ビットをクリアします。60Hz システムの場合は、SELFREQ ビットを 1 に設定します。SELFREQ を先に選択してから、RUN レジスタに 1 を書き込む必要があります。

VLEVEL レジスタは、電圧チャンネルの公称値を示します。次式に従って VLEVEL を計算します。

$$VLEVEL = X \times 1,114,084$$

ここで X は、公称入力信号がフルスケールを基準にしている場合のダイナミック・レンジです。

公称電圧 (例えば 240Vrms) が ADE9000 のアナログ入

力信号範囲の半分と一致するように電圧チャンネルの入力を設定することを推奨します。ADE9000 は $\pm 1V$ ピーク、 $0.707V_{rms}$ の入力をサポートできます。したがって、電圧チャンネルの入力を $0.353V_{rms}$ に調整することを推奨します。そうすると、公称 $240V$ の場合は、入力信号がフルスケールの半分になり、 X は 2 になります。 $574,042$ (10 進数) を $VLEVEL$ レジスタに書き込んで、この機能を次のように設定します。

$$VLEVEL = 2 \times 1,114,084 = 2,288,168$$

これら 2 つのパラメータ ($SELFREQ$ および $VLEVEL$) を設定後、ADE9000 は、 $SELFREQ$ で選択された $50Hz$ または $60Hz$ の周波数の $\pm 5Hz$ 以内で基本波のライン周波数を追跡します。アプリケーションで $\pm 5Hz$ より広い周波数範囲が必要な場合は、ライン周期 $xPERIOD$ をモニタし、それに応じて $SELFREQ$ の選択も変更します。 RUN レジスタは 0 に設定してから $SELFREQ$ の設定を変更し、その後でもう一度 1 に設定する必要があります。

基本波の実効値

ADE9000 は、基本波の測定セクションに説明されている独自の基本波推定技法を使用して、基本波の電流および電圧の実効値を測定します。 $xIFRMSOS$ レジスタおよび $xVFRMSOS$ レジスタを使用すると、入力信号レベルが低いときに更に高い性能が得られるようオフセットを補正できます。

入力 xP と xN を互いに短絡すると、 $xFRMS$ レジスタは 0 を読み出しません。チャンネルごとに 1 回の基本波実効値計算 ($AIFRMS$ 、 $BIFRMS$ 、 $CIFRMS$ 、 $AVFRMS$ 、 $BVFRMS$ 、および $CVFRMS$) は、 $8ksps$ ごとに更新されます。中性電流チャンネルには、基本波の実効値測定機能はありません。フルスケール時の $xFRMS$ の値は $52,702,092$ (10 進数) です。

小入力信号 ($1000:1$ 未満) 時の性能を高めるには、 $xFRMSOS$ レジスタを使用してこの測定のオフセットを補正することを推奨します。良好な性能が要求される最小の入力信号でオフセットを補正することを推奨します。入力信号がゼロのときにこの測定を補正しないでください。

次式は、 $xFRMSOS$ レジスタの値が $xFRMS$ レジスタの結果をどのように変更するかを示しています。

$$xxFRMS = \sqrt{xxFRMS_0^2 + 2^{15} \times xxFRMSOS}$$

ここで、 $xxFRMS_0$ は、オフセット・キャリブレーション前の $xFRMS$ レジスタの初期値です。

基本波の有効電力

ADE9000 は、独自の基本波推定技法を使用して、基本波の有効電力を測定します。基本波の有効電力は、その後 $xPGAIN$ によってゲインが補正され、 $xFWATTOS$ レジスタに従ってオフセット補正が適用されます。

$xFWATTOS$ レジスタを使用すると、入力信号レベルが低いときに更に高い性能を得るオフセット・キャリブ

レーションが可能です。図 17 に、 $AFWATT$ 測定のシグナル・チェーンを示します。

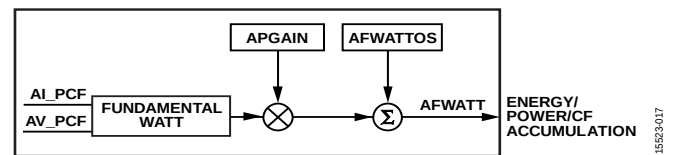


図 17. 基本波の WATT、AFWATT 計算

$xFWATTOS$ のスケールリングは $xFWATT$ と同じです。このレジスタ値を計算する方法を理解するには、総合有効電力のセクションを参照してください。

基本波の無効電力

ADE9000 は、独自の基本波推定技法を使用して、基本波の無効電力を測定します。これは、その後 $xPGAIN$ によってゲインが補正され、 $xFVAROS$ レジスタに従ってオフセット補正が適用されます。図 18 に、 $AFVAR$ 測定のシグナル・チェーンを示します。

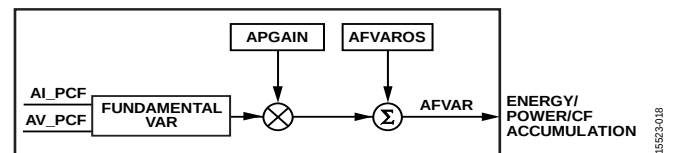


図 18. 基本波の無効電力、AFVAR

力率が 0 のときの基本波無効電力のリップルは、力率が 1 のときの総合有効電力のリップルと同様です (図 16 参照)。

$xFVAROS$ のスケールリングは $xFVAR$ と同じです。このレジスタ値を計算する方法を理解するには、総合有効電力のセクションを参照してください。

基本波の皮相電力

ADE9000 は、基本波の測定と基本波の実効値のセクションに説明されている独自の基本波推定技法を使用して、基本波の実効値を測定します。基本波の実効測定値 ($xIFRMS$ および $xVFRMS$) は、基本波の皮相電力を得るため、互いに掛け合わされます。この値は、その後 $xPGAIN$ によってゲインが補正され、 $xFVA$ レジスタに格納されます。図 19 に、 $AFVA$ 測定のシグナル・チェーンを示します。

オフセットの補正は、 $AIFRMS$ と $AVFRMS$ の測定値を補正することで実行できることに注意してください。

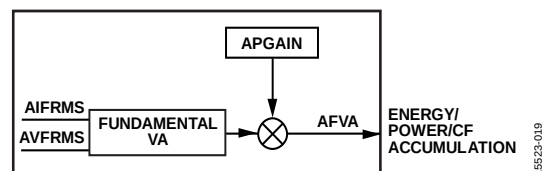


図 19. 基本波の皮相電力、AFVA

電力量測定の概要

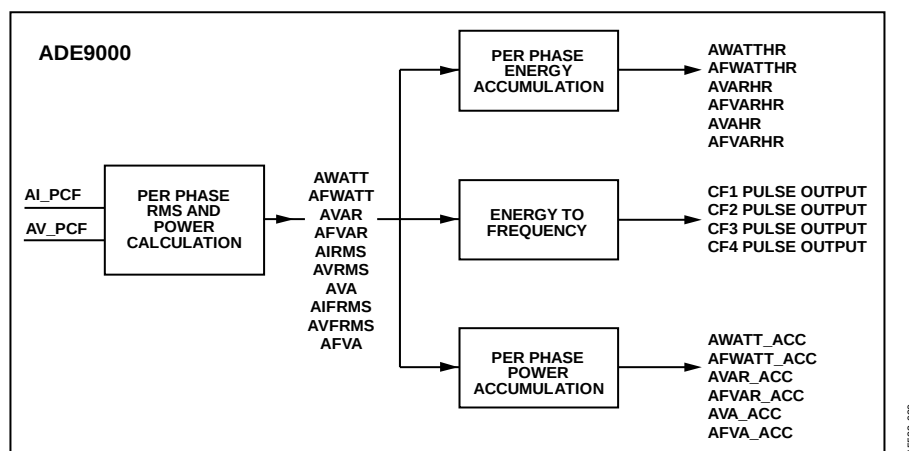
図 20. xI_PCF と xV_PCF の波形に基づく相ごとの電力および電力量の計算

図 20 は、 AI_PCF と AV_PCF を使用して相ごとの実効値および電力をどのように計算するか、これらの計算値を $AWATTTHR$ レジスタおよび $AWATT_ACC$ レジスタにどのように積算するか、更にはどのように CFx パルス出力を設定するかを示しています。

相ごとの電力量測定値の更新レート

$xWATT$ 、 $xVAR$ 、 xVA 、 $xFVAR$ など、瞬時の電力測定値は、 $f_{DSP} = 8ksps$ のレートで更新されます。これらの測定値は $xWATT_ACC$ レジスタの電力測定値に積算され、 PWR_TIME レジスタでの選択内容に応じて、最大 1 秒のユーザ定義間隔で更新されます。電力量の測定値は、デフォルトでは $f_{DSP} = 8ksps$ ごとに更新され、フルスケール時には最大 106 秒の積算値を格納できます。あるいは、ユーザ定義のライン・サイクル数またはサンプル数に達したらレジスタを更新する別の積算モードにこれらのレジスタを設定することもできます。力率、 $ITHD$ 、および $VTHD$ の測定値は、 $4096/8ksps = 1.024$ 秒ごとに更新されます。 $RMS\%$ の測定値は、 $\frac{1}{2}$ ライン・サイクル (50Hz 時は 10ms) ごとに更新されます。10 サイクルの実効測定値/12 サイクルの実効測定値は、50Hz 回路では 10 サイクルごとに、60Hz 回路では 12 サイクルごとに更新されます。 $ACCMODE$ レジスタの $SELFREQ$ ビットは、どの回路を使用するかを定義します。

表 14. WATT 関連レジスタの更新レート

レジスタ名	説明	更新レート
$AWATT$	A 相でのローパス・フィルタ処理後の総合有効電力	8ksps
$BWATT$	B 相でのローパス・フィルタ処理後の総合有効電力	8ksps
$CWATT$	C 相でのローパス・フィルタ処理後の総合有効電力	8ksps
$AWATT_ACC$	A 相での積算総合有効電力	PWR_TIME の 8ksps サンプリング後、250 μ s~1.024 秒
$BWATT_ACC$	B 相での積算総合有効電力	PWR_TIME の 8ksps サンプリング後、250 μ s~1.024 秒
$CWATT_ACC$	C 相での積算総合有効電力	PWR_TIME の 8ksps サンプリング後、250 μ s~1.024 秒
$AWATTTHR$	A 相での積算総合有効電力量	EP_CFG および EP_TIME での設定に従って、フルスケール時に電力量を最大 106 秒保持します。
$BWATTTHR$	B 相での積算総合有効電力量	EP_CFG および EP_TIME での設定に従って、フルスケール時に電力量を最大 106 秒保持します。
$CWATTTHR$	C 相での積算総合有効電力量	EP_CFG および EP_TIME での設定に従って、フルスケール時に電力量を最大 106 秒保持します。
APF	A 相の力率 ¹	1.024 秒ごと
BPF	B 相の力率 ¹	1.024 秒ごと
CPF	C 相の力率 ¹	1.024 秒ごと

¹力率のセクションを参照してください。

電力量の積算

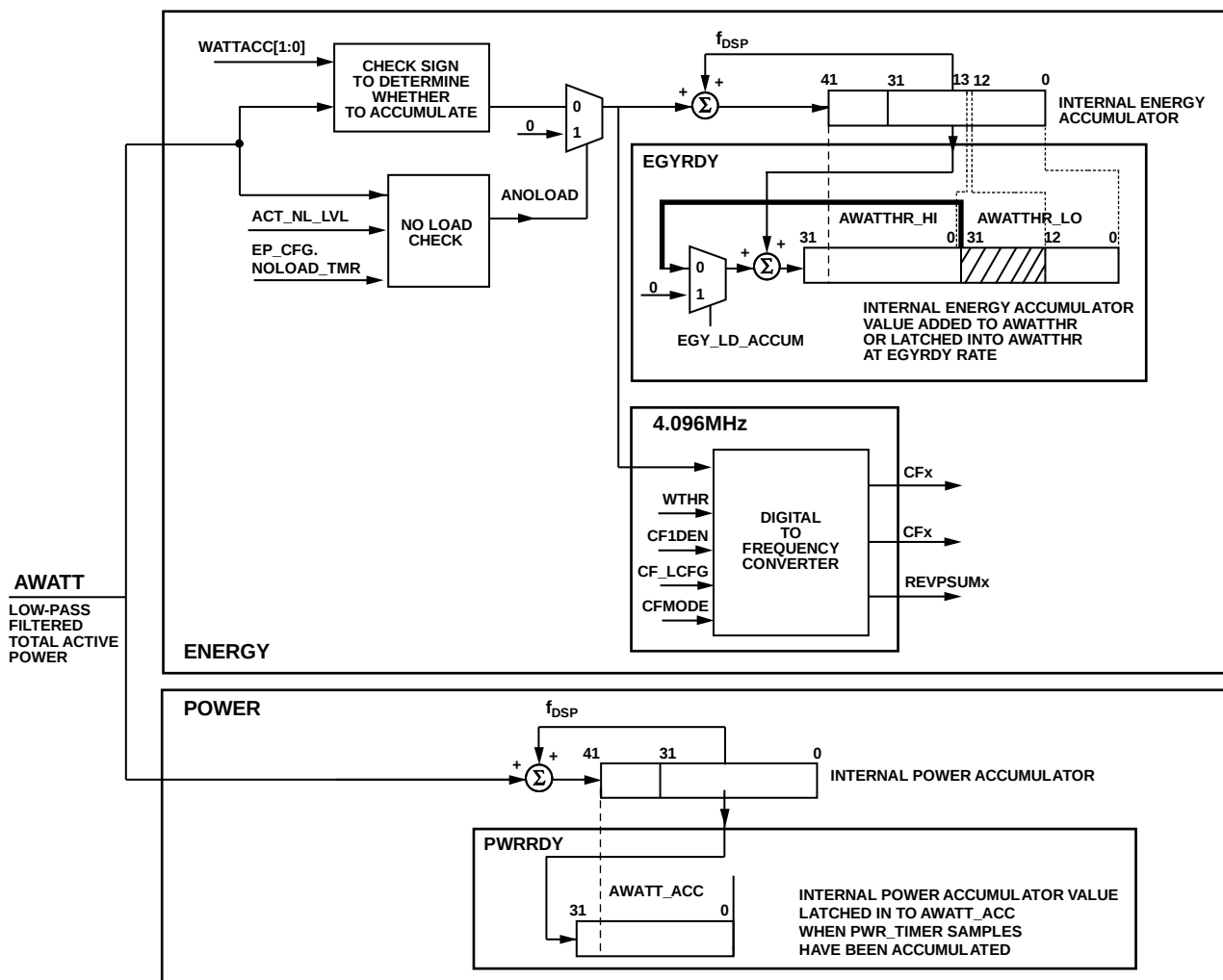


図 21. 無負荷閾値および符号付き積算モードを使用した電力量および電力計算のための AWATT 積算器

図 21 に、AWATT が AWATTHR レジスタと AWATT_ACC レジスタにどのように積算されるかを示します。無負荷閾値が適用され、電力量がチェックされて、AWATT のサンプルを内部の電力量積算器に積算するかどうかを決定します。内部の電力量積算器は AWATTHR レジスタに加算されるか、AWATTHR レジスタを EGYRDY のレートで上書きします。EP_CFG レジスタの EGY_PWR_EN ビットをセットして、電力量積算器と電力積算器を動作させます。

電力量の符号付き積算モード

有効電力量の総合積算モード

実装形態によっては、正の総合有効電力量のみを課金することが望まれます。ADE9000 は、ACCMODE レジスタの WATTACC[1:0] ビットを使用することでこれを実行できます。総合および基本波の有効電力量の積算と、対応する CF パルス出力を正の電力量のみに対して設定するには、WATTACC[1:0] に 10 を書き込みます。WATTACC[1:0] を 0 にすると、電力量の積算は符号付きになります。AWATTHR_HI レジスタと AFWATTHR_HI レ

ジスタの MSB は、積算電力量が負か正かを示します。その他の積算モードには、WATTACC[1:0] が 01 のときの (AWATT の絶対値が積算される) 絶対値積算モードや、WATTACC[1:0] が 11 のときの (負の有効電力量のみが積算される) 負の値限定の積算モードがあります。

無効電力量の積算モード

無効電力量は誘導性負荷や容量性負荷によって正の値と負の値の間を頻繁に変動することがあるので、実装形態によっては、無効電力量の絶対値に対して課金することが望まれます。ADE9000 は、ACCMODE レジスタの VARACC[1:0] ビットを使用することでこれを実行できます。総合および基本波の無効電力量レジスタと、対応する CF パルス出力を設定して、無効電力量の絶対値を積算するには、VARACC[1:0] に 01 を書き込みます。VARACC[1:0] を 0 にすると、総合と基本波の無効電力量の積算は符号付きになります。AVARHR_HI レジスタと AFAVARHR_HI レジスタの MSB は、電力量が負か正かを示します。用意されているその他の積算モードには、VARACC[1:0] が 10 のときの正の値限定の積算モードや、VARACC[1:0]

が 11 のときの（負の無効電力量のみが積算される）負の値限定の積算モードがあります。

無負荷検出

無負荷検出は、入力電流が電力量計の所定の起動電流よりも少ない場合、ノイズによる電力量の積算を防止します。無負荷状態が存在するかどうかを判別するため、ADE9000 は、積算電力量がユーザ定義の期間にわたってユーザ定義の閾値より低くなっているかどうかを、相ごとおよび電力量ごとに評価します。

表 15 で説明しているように、EP_CFG レジスタの NOLOAD_TMR[2:0] ビットに数値を書き込むことにより、64 サンプル～4096 サンプル、64/8ksps = 8ms～512ms の範囲で無負荷状態を評価するかどうかを決定します。無負荷検出は、デフォルトでは 64/8ksps = 8ms の最小時間にわたって有効になっています。EP_CFG の NOLOAD_TMR[2:0] ビットを 111（2 進数）にすると、無負荷検出は無効になります。

表 15. 無負荷状態の評価時間

NOLOAD_TMR[2:0]	Samples to Evaluate No Load Over	Time that No-Load Detection is Evaluated Over
0	64	8 ms
1	128	16 ms
2	256	32 ms
3	512	64 ms
4	1024	128 ms
5	2048	256 ms
6	4096	512 ms
7	No-load disabled	No-load disabled

ユーザ定義の無負荷閾値は、ACT_NL_LVL、REACT_NL_LVL、および APP_NL_LVL レジスタに書き込まれます。ACT_NL_LVL レジスタは、総合と基本波の有効電力量に対して無負荷閾値を設定します。同様に、REACT_NL_LVL レジスタは総合と基本波の無効電力量に対して無負荷閾値を設定し、更に APP_NL_LVL レジスタは総合と基本波の皮相電力量に対して無負荷閾値を設定します。

無負荷閾値は次式に従って計算されます。

$$xNL_LVL = \left(\frac{xWATT_FULL_SCALE \times 64}{X} \right)$$

ここで、

$xWATT_Full_Scale$ は、フルスケール入力時の $xWATT$ の公称値で、20,694,066 です。 $xVAR$ と VA のスケールリングは同じなので、3 つの閾値全てに対して同じ値を使用できます。

X は、目的の無負荷時入力電力レベルです。例えば、無負荷閾値を設定して、フルスケールから 50,000 未満の値まで電力量を低減するには、前の式で $X = 50,000$ にします。そうすると、50,000:1 の無負荷閾値レベルにするには、 xNL_LVL は 0x6804 となります。

$$xNL_LVL = \left(\frac{20,694,066 \times 64}{50000} \right) = 26,488 = 0x6778$$

ある相が無負荷のときは、 $f_{DSP} = 8ksps$ のたびに電力量レジスタと CF 積算値に積算される電力量はゼロです。

x_ACC レジスタは無負荷検出に影響されません。無負荷時であっても、 $xWATT$ 、 $xVAR$ 、 xVA の各レジスタで計算された電力は、 $f_{DSP} = 8ksps$ ごとに対応する x_ACC レジスタに積算されます。

無負荷表示

PHNOLOAD レジスタは、電力量の各相が無負荷状態であるかどうかを示します。例えば、PHNOLOAD レジスタの PHATNL[2:0] ビットは、A 相の総合皮相電力量、無効電力量、および有効電力量の位相が揃っているかどうかを、それぞれビット 2～ビット 0 に示します。ビットがセットされている場合は、その相の電力量が無負荷状態であることを示します。ビットがクリアされている場合、その相が無負荷状態ではないことを示します。

無負荷状態になる場合も無負荷状態から抜け出す場合も、相ごとの電力量無負荷ステータスのいずれかが変化すると生じる割込みを有効にすることができます。電力量の種類ごとに割込みイネーブル・ビットがあります。

STATUS1 レジスタの VAFNOLOAD、RFNOLOAD、AFNOLOAD、VANLOAD、RNLOAD、および ANLOAD ビットをセットして、基本波 VA、基本波 VAR、基本波 WATT、総合 VA、総合 VAR、および総合 WATT 無負荷状態の 1 つまたは複数の相でステータスが増変したら、 $\overline{IRQ1}$ での割込みを有効にします。

また、 $\overline{EVENT}$ ピンでの無負荷ステータスを表示するオプションもあります。詳細については、割込み/ $\overline{EVENT}$ のセクションを参照してください。

図 22 は、 $xWATT$ （ローパス・フィルタ処理後の WATT）の値がユーザ設定の無負荷閾値を超えてから再びその閾値より低くなると何が起こるかを示しています。電力量の全ての値（総合と基本波の VAR、総合 VA）と対応する無負荷閾値 $REACT_NL_LNL$ および APP_NL_LVL に対して、同じ考え方が当てはまります。

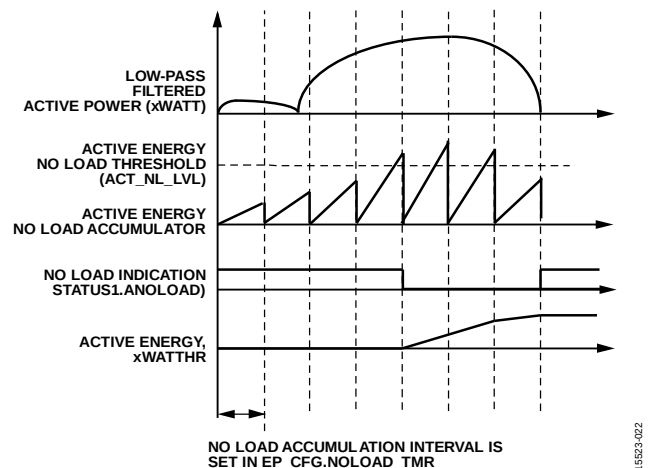


図 22. 無負荷の検出と表示

電力量積算の詳細

内部電力量レジスタのオーバーフロー・レート

図 21 に示すように、各電力量積算の位相ごとに 42 ビットの内部符号付き電力量積算器があります。これらの積算器は $f_{DSP} = 8\text{ksps}$ のレートで更新されます。フルスケール入力で、全てのデジタル・ゲインとオフセット係数が 0 のときに、内部積算器がオーバーフローするまでの時間を計算する方法を次式に示します。ここで、 $AWATT_AT_FULL_SCALE$ は、フルスケール入力時の公称 $AWATT$ 値を表します。

Maximum Internal Energy Accumulator Time (sec)

$$= \left(\frac{2^{41}}{AWATT_AT_FULL_SCALE \times f_{DSP}} \right)$$

例えば、 $CONFIG0.MTEN$ が 0 であり、シングルポイントのゲイン補償で、 $AIGAIN$ 、 $AVGAIN$ 、 $APGAIN$ 、および $AWATTOS$ を全て 0 にした場合、A 相の総合有効電力量のデジタル・ゲインは 1 です。そうすると、内部積算器に積算された A 相の総合有効電力量は、 $AWATT$ の公称フルスケール値である 20,694,066 の場合、13.3 秒以内にオーバーフローします。

Maximum Internal Energy Accumulator Time (sec)

$$= \left(\frac{2^{41}}{20,694,066 \times 8000} \right) = 13.3 \text{ sec}$$

ユーザ電力量レジスタの更新レート、EGYRDY

図 21 に示すように、内部の電力量積算器は、EGYRDY のレートで、ユーザ・アクセス可能な電力量レジスタにラッチされるか、ユーザ・アクセス可能なレジスタに追加されます。図 23 は、EGYRDY 更新レートがどのように生成されるかを詳細に説明しています。

EGYRDY 更新レートは、 EP_CFG レジスタの EGY_TMR_MODE ビットに従って、 $EGY_TIME + 1$ 個の f_{DSP} サンプル後または $EGY_TIME + 1$ 回のハーフ・ライン・サイクル後に生成されます。

EGY_TMR_MODE が 0 の場合、内部電力量レジスタは $EGY_TIME + 1$ 個のサンプルを 8ksps で積算します。このモードはサンプルベースの積算と呼ばれます。

Internal Energy Accumulation Time (sec)

$$= \left(\frac{EGY_TIME + 1}{f_{DSP}} \right)$$

$EGY_TIME[12:0]$ レジスタは、最大 $(8191 + 1) = 8192$ 個のサンプルを積算できます。 EGY_TMR_MODE が 0 である場合、これは $8192/8000 = 1.024$ 秒に相当します。

Internal Energy Accumulation Time (sec)

$$= \left(\frac{8191 + 1}{8000} \right) = 1.024 \text{ sec}$$

EGY_TMR_MODE が 1 の場合、内部電力量レジスタは $EGY_TIME + 1$ 回のハーフ・ライン・サイクルを 8ksps で積算します。このモードはハーフ・ライン・サイクルベースの積算と呼ばれます。このモードでは、モニタするゼロ交差源は、図 23 に示すように、 ZX_LP_SEL レジスタの ZX_SEL ビットによって設定されます。

Internal Energy Accumulation Time (sec)

$$= \left(\frac{EGY_TIME + 1}{ZX \text{ Rate}} \right)$$

ライン周波数が 50Hz の場合、 ZX 割込みレートは 100Hz であり、 EGY_TIME が $0x1FFF$ 、8191 (10 進数) の場合、最大積算時間は 81.92 秒です。

Internal Energy Accumulation Time (sec)

$$= \left(\frac{8191 + 1}{100} \right) = 81.92 \text{ sec}$$

内部電力量レジスタはフルスケール入力時に 13.3 秒以内にオーバーフローするので、 EGY_TMR_MODE が 1 のときは、 EGY_TIME を 1329 (10 進数) より小さい値に設定して、オーバーフローを防止する必要があります。

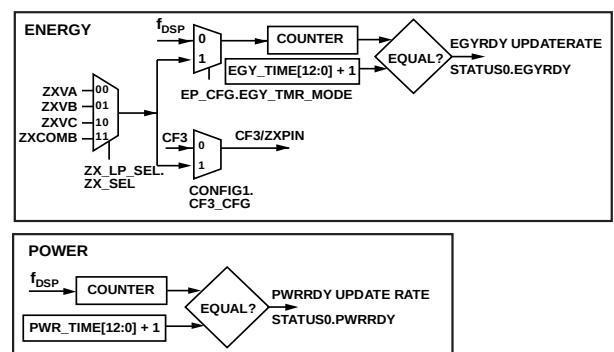


図 23. 更新レート EGYRDY および PWRRDY

ユーザ電力量レジスタの再読み込みまたは積算

EGYRDY イベントが発生すると、内部電力量の積算値は、 EP_CFG レジスタの EGY_LD_ACCUM ビットの状態に基づいて、 $xWATTTHR$ レジスタに直接読み込まれるか、既存の積算値に加算されます。内部電力量レジスタはリセットされ、再び 0 からカウントを開始します。

EGY_LD_ACCUM が 0 である場合、内部電力量レジスタはユーザ・アクセス可能な電力量レジスタに追加されます。 EGY_LD_ACCUM が 1 である場合、内部電力量レジスタはユーザ・アクセス可能な電力量レジスタを上書きします。

ユーザ電力量レジスタのオーバーフロー・レート

ADE9000 内部の電力量レジスタは、図 24 に示すように、符号付きで 45 ビット幅であり、2 つの 32 ビット・レジスタに分かれています。これらの積算器は、ユーザ電力量レジスタの更新レート、EGYRDY のセクションで説明しているように、EGYRDY に従って一定のレートで更新されます。フルスケール入力で、全てのデジタル・ゲインとオフセット係数が 0 のときに、ユーザ・アクセス可能な積算器がオーバーフローするまでの時間を計算する方法を次式に示します。ここで、 $AWATT_AT_FULL_SCALE$ は、フルスケール入力時の公称 $AWATT$ 値を表します。この例では、内部電力量レジスタが $f_{DSP} = 8\text{ksps}$ サンプルごとに更新されていると仮定しています。

Maximum Internal Energy Accumulator Time (sec)

$$= \left(\frac{2^{44}}{AWATT_AT_FULL_SCALE \times f_{DSP}} \right)$$

例えば、CONFIG0 レジスタの MTEN ビットが 0 であり、シングルポイントのゲイン補償で、AIGAIN、AVGAIN、APGAIN、および AWATTOS を全て 0 にした場合、A 相の総合有効電力量のデジタル・ゲインは 1 です。そうすると、ユーザ・アクセス可能な積算器に積算された A 相の総合有効電力量は、AWATT の公称フルスケール値である 20,694,066 の場合、106.4 秒以内にオーバーフローします。

Maximum Internal Energy Accumulator Time (sec)

$$= \left(\frac{2^{44}}{20,694,066 \times 8000} \right) = 106.3 \text{ sec}$$

ユーザ電力量レジスタのアクセス

各 45 ビットのユーザ・アクセス可能な符号付き電力量積算器は、図 24 に示すように、2 つのレジスタ（上位 32 ビットから成るレジスタ xHR_HI と下位 13 ビットから成るレジスタ xHR_LO）に分かれています。

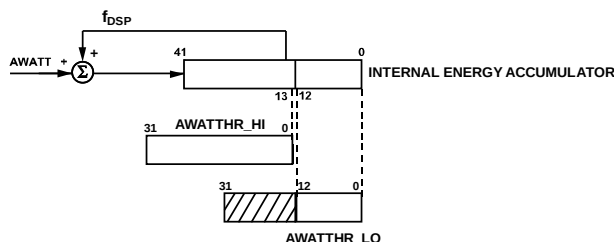


図 24. 内部電力量レジスタを AWATTHR_HI と AWATTHR_LO に分割

ユーザ電力量の予想積算値は、AWATT の平均値に基づいて、次式に従って計算できます。

$$\begin{aligned} \text{USER_ENERGY_ACCUMULATION} \\ &= \text{AWATT} \times (\text{EGY_TIME} + 1) \end{aligned}$$

次に、AWATTHR_HI は上位 32 ビットから成るので、次式を最も近い整数に丸めることにより計算できます。

$$\begin{aligned} \text{AWATTHR_HI} \\ &= \text{ROUNDDOWN}(\text{USER_ENERGY_ACCUMULATION} \times 2^{-13}) \end{aligned}$$

USER_ENERGY_ACCUMULATION の下位 13 ビットは、AWATTHR_LO レジスタに格納されます。

リセットによるユーザ電力量レジスタの読出し

EP_CFG レジスタの RD_RST_EN ビットをセットした場合、その内容は、ユーザ・アクセス可能な電力量レジスタが読み出されるとリセットされます。例えば、AWATTHR_HI が読み出されると、AWATTHR_HI レジスタの値は 0 になります。AWATTHR_LO レジスタの内容は変更されません。

ユーザ電力量レジスタの使用モデル

電力量の積算の主な使用モデルは、次のように 3 つあります。

- リセットによる電力量レジスタの読出し
- 規定のライン・サイクル数にわたる電力量の積算
- 規定のサンプル数にわたる電力量の積算

電力量レジスタをリセットによって読み出すには、以下の設定を使用します。

- 設定レジスタの設定：
 - EP_CFG レジスタ、EGY_LD_ACCUM ビット = 0
 - EP_CFG レジスタ、EGY_TMR_MODE ビット = 0
 - EP_CFG レジスタ、RD_RST_EN ビット = 1
 - EP_CFG レジスタ、EGY_PWR_EN ビット = 1
 - EGY_TIME レジスタ = 1
- 出力：xHR_HI レジスタのみを読み出します。このレジスタは、大半のアプリケーションに対して十分な分解能を備えています。xHR_LO レジスタは維持されて積算されるので、読み出す必要はありません。
- フルスケール入力によるオーバーフローを防止するため xHR_HI を読み出すまでの最大時間：106 秒。

規定のハーフ・ライン・サイクル数にわたって電力量を積算するには、以下の設定を使用します。

- 設定レジスタの設定：
 - EP_CFG レジスタ、EGY_LD_ACCUM ビット = 1
 - EP_CFG レジスタ、EGY_TMR_MODE ビット = 1
 - EP_CFG レジスタ、RD_RST_EN ビット = 0
 - EP_CFG レジスタ、EGY_PWR_EN ビット = 1
 - EGY_TIME レジスタ = 目的のハーフ・ライン・サイクル数
- 出力：
 - xHR_HI レジスタは、大半のアプリケーションに対して十分な分解能を備えています。
 - CF パルス出力との完全な同期を維持するには、xHR_LO レジスタも同様に読み出す必要があります。このレジスタは EGYRDY サイクルごとにクリアされるためです。
- フルスケール入力によるオーバーフローを防止するため xHR_HI を読み出すまでの最大時間：13.3 秒。

規定のサンプル数にわたって電力量を積算するには、以下の設定を使用します。

- 設定レジスタの設定：
 - EP_CFG レジスタ、EGY_LD_ACCUM ビット = 1
 - EP_CFG レジスタ、EGY_TMR_MODE ビット = 0
 - EP_CFG レジスタ、RD_RST_EN ビット = 0
 - EP_CFG レジスタ、EGY_PWR_EN ビット = 1
 - EGY_TIME レジスタ = 目的のサンプル数
- 出力：
 - xHR_HI レジスタは、大半のアプリケーションに対して十分な分解能を備えています。
 - CF パルス出力との完全な同期を維持するには、xHR_LO レジスタも同様に読み出す必要があります。このレジスタは EGYRDY サイクルごとにクリアされるためです。
- フルスケール入力によるオーバーフローを防止するため xHR_HI を読み出すまでの最大時間：13.3 秒。

デジタル/周波数変換-CF 出力

積算する電力量に比例したパルス、所定のパルス/kWh メータ定数で出力するには、多くの電力量計が必要です。ADE9000 には 4 つのパルス出力があり、これらは、CF1 から CF4 までの出力ピンの電力量積算値に比例します。

電力量と相の選択

CFMODE レジスタの CFxSEL[2:0] ビットは、総合または基本波の WATT、VAR、VA など、どのタイプの電力量を CFx ピンに出力するかを選択します。次に、COMPMODE レジスタの TERMSELx ビットは、どの相の電力量を CF 出力に組み込むかを選択します。例えば、CFMODE レジスタの CF1SEL[2:0] ビット = 000 で COMPMODE レジスタの TERMSEL1[2:0] ビット = 111 の場合、CF1 は、A 相、B 相、および C 相の総合 WATT 出力を表します。

A 相、B 相、および C 相の総合 WATT 積算値を同時に補正するには、総合 AWATT には CF1 を、総合 BWATT には CF2 を、総合 CWATT には CF3 を使用して、CFMODE レジスタの CF1SEL、CF2SEL、および CF3SEL ビット = 000、COMPMODE レジスタの TERMSEL0[2:0] ビット = 001、COMPMODE レジスタの TERMSEL1[2:0] ビット = 010、COMPMODE レジスタの TERMSEL2[2:0] ビット = 100 を設定します。

CF パルス出力の最大周波数の設定

xTHR = 0x0010_0000 を書き込むことを推奨します。CFxDEN の範囲は 2~65535 です。CFxDEN を設定して、CF 周波数出力を調整します。xTHR、CFxDEN、AWATT の値の関係は、次式で与えられます。

$$CF \text{ (Hz)} = \left(\frac{f_{DToF} \times AWATT}{xTHR \times 512 \times CFxDEN} \right)$$

したがって、CF パルス出力の推奨の最大周波数は 78.862kHz になります。

$$\begin{aligned} \text{MAXIMUM_CF (Hz)} \\ = \left(\frac{4.096 \times 10^6 \times 20,694,066}{0x0010_0000 \times 512 \times 2} \right) = 78.9 \text{ kHz} \end{aligned}$$

ここで、

f_{DToF} は 4.096MHz です。

AWATT はフルスケール時の値で、20,694,066 です。

xTHR は 0x0010_0000 です。

CFDEN は 2 です。

xTHR のパワーオン・リセット値およびフルスケール入力での CFxDEN を使用したデフォルトの CF パルス出力は次のとおりです。

$$\begin{aligned} \text{MAXIMUM_CF (Hz)} \\ = \left(\frac{4.096 \times 10^6 \times 20,694,066}{0x0000_FFFF \times 512 \times 0xFFFF} \right) = 38.5 \text{ Hz} \end{aligned}$$

CF パルス幅の設定

パルス幅は CF_LCFG レジスタの CFx_LT ビットと CF_LTMR レジスタの値によって決まります。

CFx_LT が 0 の場合、 $1/(2 \times 80\text{ms}) = 6.25\text{Hz}$ より低い周波数では、アクティブ・ローのパルス幅が 80ms に設定されます。6.25Hz より高い周波数では、CFxDEN が偶数の場合、デューティ・サイクルは 50% であり、CFxDEN が奇数の場合は $(1 + 1/CFxDEN) \times 50\%$ です。CFx_LT を 1 に設定した場合、アクティブ・ローの CF パルス幅は $CF_LTMR \times 6/CLKIN$ です。CF_LTMR の最大値は $327680 = 0x0005_0000$ です。この結果、 $327680/(6/CLKIN) = 80\text{ms}$ のパルスが得られます。CF_LTMR は 0 より大きくする必要があります。

表 16. CFx_LT および CF_LTMR に基づくアクティブ・ローの CF パルス幅およびデューティ・サイクル

CFx_LT	低周波数でのアクティブ・ローのパルス幅 (ms)	高周波数でのアクティブ・ローのパルス幅 (CFxDEN が偶数のとき)	高周波数でのアクティブ・ローのパルス幅 (CFxDEN が奇数のとき)	無負荷になったときの動作
0	80	50%	$(1 + 1/CFxDEN) \times 50\%$	Cfx がローの場合、電流パルスを終了し、ハイに戻ります。
1	$CF_LTMR \times 6/CLKIN \times 1000$	50%	$(1 + 1/CFxDEN) \times 50\%$	Cfx がローの場合、無負荷状態が終了するまで CFx をローに維持します。

CF パルスの符号

アプリケーションによっては、正と負の電力量使用量を別々に記録する必要があります。これを容易にするため、PHSIGN レジスタの SUMxSIGN ビットは、最後の CFx パルスになった電力量の合計が正と負のいずれであったかを示します。CFx パルスになった電力量の合計が正の場合、SUMxSIGN は 0 であり、電力量の合計が負の場合は 1 になります。

更に、STATUS0 レジスタおよび EVENT_STATUS レジスタの REVPSUMx ビットは、CF の極性が符号を変化させたかどうかを示します。例えば、最後の CF2 パルスが正の無効電力量を表し、次の CF2 パルスが負の無効電力量を表す場合は、STATUS0 レジスタと EVENT_STATUS レジスタの REVPSUM2 ビットがセットされます。このイベントを有効にして IRQ0 の割込みを生成できます。

CF 積算器のクリア

例えば、電源投入時や初期化处理時には、部分的な CF 積算値をクリアするのが望ましいことがあります。デジタル/周波数コンバータの積算値と CFDEN カウンタをクリアするには、CONFIG1 レジスタの CF_ACC_CLR ビットに 1 を書き込みます。CF_ACC_CLR ビットは自動的にクリアされます。

CF パルス出力と CFx 割込みの無効化

CFx パルス出力を無効にして CFx 出力をハイに維持するには、CFMODE レジスタの CFx_DIS ビットに 1 を書き込みます。CFx 出力が無効になっている場合は、新しい CF パルスの準備が整っても STATUS0 の CFx ビットはセットされません。CF パルスが正と負のいずれであったかを示す REVPSUMx ビットは、CFx_DIS 設定の影響を受けないことに注意してください。

電力の積算

図 21 に、AWATT のローパス・フィルタ処理後の有効電力サンプルを積算して、AWATT_ACC レジスタに正確な有効電力の値を供給する仕組みを示します。A 相の総合有効電力積算値の符号は、REVAPA ステータス・ビットでモニタされ、電力の符号が変化すると割込みが有効になります。各相の電力ごとに対応する x_ACC 積算値があり、STATUS0 の REVx ステータス・ビットは、電力の符号が変化したかどうかを示します。

電力積算の詳細

図 21 は、AWATT の値が内部の電力積算器に積算され、その後、PWRRDY のレートで xWATT_ACC レジスタにラッチされる仕組みを示しています。

PWRRDY は、PWR_TIME + 1 個のサンプルが 8ksps で積算された後にセットされます。電力の積算時間は次式に従って計算できます。

$$\text{Internal Power Accumulation Time (sec)}$$

$$= \left(\frac{\text{PWR_TIME} + 1}{8000} \right)$$

PWR_TIME[12:0] レジスタは、最大 $(8191 + 1) = 8192$ 個のサンプルを積算できます。これは $8192/8000 = 1.024$ 秒に相当します。

$$\text{Internal Power Accumulation Time (sec)}$$

$$= \left(\frac{8091 + 1}{8000} \right) = 1.024 \text{ sec}$$

内部の電力積算器は、内部の電力量積算器と同じレートでオーバーフローします（内部電力量レジスタのオーバーフロー・レートのセクションを参照してください）。

ユーザ電力レジスタのアクセス

各 42 ビットのユーザ・アクセス可能な符号付き電力積算器は、図 24 に示すように、上位 32 ビットから成るレジスタ x_ACC に分かれています。

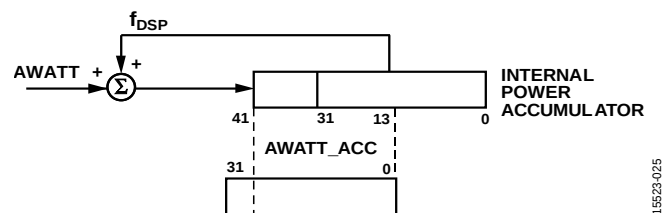


図 25. 内部電力レジスタと AWATT_ACC との対応

ユーザ電力の予想積算値は、AWATT の平均値に基づいて、次式に従って計算できます。

$$\text{USER_POWER_ACCUMULATION} = \text{AWATT} \times (\text{PWR_TIME} + 1)$$

したがって、32 ビット電力積算レジスタの予想データ (xWATT_ACC, xVAR_ACC, xVA_ACC) は次のように計算できます。

$$\text{Power accumulation register} = \text{ROUNDDOWN}(\text{USER_POWER_ACCUMULATION} \times 2^{-13})$$

例えば、AWATT の 4000 個のサンプルを 8ksps、フルスケール入力で積算した場合、AWATT_ACC の予想値は 0x009B_0003 になります。

$$\text{USER_POWER_ACCUMULATION} = 20,694,066 \times (3999 + 1) = 82776264000$$

$$\text{AWATT_ACC} = \text{ROUNDDOWN}(82776264000 \times 2^{-13}) = 10104524 = 0x009A_2ECC$$

消費電力 (ワット) を求めるには、xWATT_ACC に W/LSB 定数を掛けます (xWATT_ACC × W/LSB)。W/LSB は PWR_TIME 積算時間に応じて変化することに注意してください。

電力の符号検出

STATUS0 レジスタの REVRPC、REVRPB、REVRPA、REVAPC、REVAPB、および REVAPA ビットを使用すると、いずれかの相で有効電力または無効電力の符号が変化したかどうかをモニタできます。

PWR_SIGN_SEL[1:0] ビットを使用すると、電力の符号変化が総合または基本波の電力量に追従するかどうかを選択できます。REVAPx 電力符号ステータス・ビットで総合 WATT を追跡するには、PWR_SIGN_SEL[0] = 0 を設定します。基本波の VAR を REVRPx ビットで追跡す

るには、PWR_SIGN_SEL[1] = 1 を書き込みます。PHSIGN レジスタの CVARSIGN、CWSIGN、BVARSIGN、BWSIGN、AVARSIGN、および AWSIGN ビットは、PWR_SIGN_SEL[1:0] ビットで選択した総合または基本波の VAR および WATT が正か負かを示します。電力の符号は xWATT_ACC、xFWATT_ACC、xVAR_ACC、および xFVAR_ACC レジスタと同時に更新され、これらのレジスタの符号と一致します。電力のレジスタおよび符号は、 $f_{DSP}=8\text{ksps}$ で、PWR_TIME レジスタで設定したサンプル数が経過した、 $250\mu\text{s}$ ～ 1.024 秒後に更新されることに注意してください。REVxPx ビットでの電力符号の変化表示は、同時に更新されます。詳細については、電力積算の詳細のセクションを参照してください。

ADE9000 を使用すると、総合 WATT および総合 VAR 電力を別個の正と負のレジスタ (PWATT_ACC と NWATT_ACC、PVAR_ACC と NVAR_ACC) に積算できます。このためには、AWATT (ローパス・フィルタ処理後の有効電力) を 8ksps ごとに評価します。AWATT が正の場合は、その値が PWATT_ACC 積算値に加算されます。AWATT が負の場合は、絶対値が NWATT_ACC 積算値に加算されます。PWR_TIMER に設定された電力更新間隔が経過すると、新たな積算が 0 から始まります。3 つ全ての相からの正と負の総合 WATT および総合 VAR が正/負の WATT および VAR 積算値に加算されます。

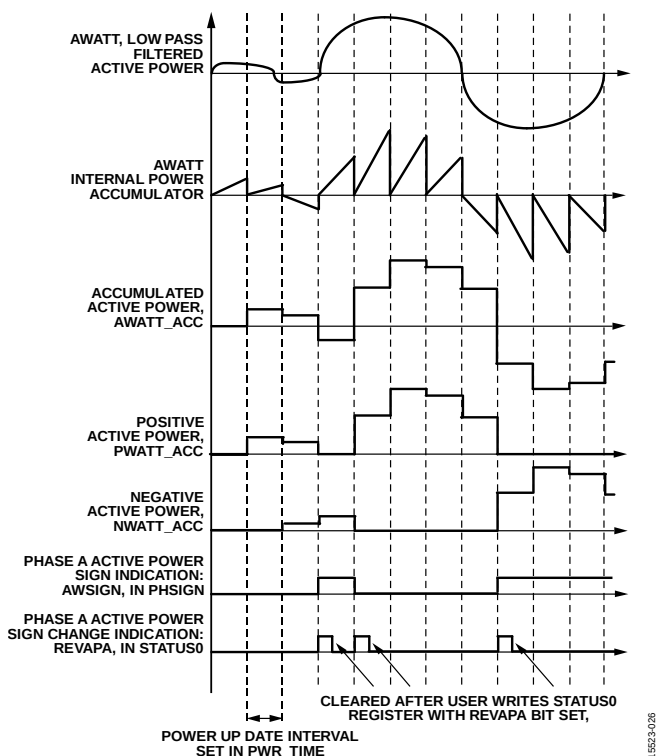


図 26. 電力の積算と電力の符号

電力品質の測定

ゼロ交差検出

ADE9000 は、VA、VB、VC、IA、IB、および IC 入力信号のゼロ交差検出機能を備えています。中性電流チャンネル IN には、ゼロ交差検出回路は含まれていません。ゼロ交差回路は、リサンプリング、ライン周期、角度測定、およびライン・サイクル積算モードを使用した電力量積算のタイム・ベースとして使用されます。xV_PCF および xI_PCF は、DSP によって処理される電圧および電流チャンネル波形であり、 8ksps のデータ・レートで波形バッファに格納できます (詳細については、波形バッファのセクションを参照してください)。

CONFIG0 レジスタの ZX_SRC_SEL ビットは、ゼロ交差検出回路に送るデータを、ハイパス・フィルタ、積分器、および位相補償部の前から取得するか後から取得するかを設定します。デフォルトでは、位相補償後のデータが使用されます。ハイパス・フィルタは、入力にステップ変化がある場合に 500ms のセトリング時間を要するので、高速応答の場合は ZX_SRC_SEL を設定して、ハイパス・フィルタの前にゼロ交差を検出することを推奨します。CONFIG0 レジスタの HPFDIS ビットを 1 にしてハイパス・フィルタを無効にするか、CONFIG0 レジスタの ZX_SRC_SEL ビットを 1 にすると、入力に DC オフセットがある場合は、負から正へのゼロ交差から正から負へのゼロ交差までの時間と、正から負へのゼロ交差から負から正へのゼロ交差までの時間が変化することがあり、ZX 検出のデューティ・サイクルが 50% ではないことを示すので注意してください。

電流信号と電圧信号はローパス・フィルタに掛けられ、高調波が除去されます。ローパス・フィルタ LPF1 のコーナ周波数は 82Hz で、式は次のとおりです。

$$H(z) = \frac{2^{-4}}{1 - (1 - 4)z^{-1}}$$

ローパス・フィルタのセトリング時間は 71 サンプル ($71/8\text{ksps}$) で、 8.875ms に相当します。

図 27 に、検出されたゼロ交差信号と入力信号の間の遅延を示します。入力信号が 50Hz の場合、入力信号のゼロ交差と ZX ゼロ交差表示との間には 4.3ms の遅延があります。ゼロ交差は負から正への遷移と正から負への遷移の両方で発生します。

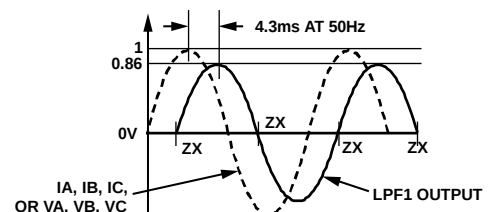


図 27. 電圧および電流チャンネルでのゼロ交差検出

ノイズからの保護のために、LPF1 出力電圧の絶対値が閾値 ZXTHRSRSH より小さい場合、電圧チャンネルのゼロ交差イベント (ZXVA、ZXVB、ZXVC) は生成されません。電流チャンネルの ZX 検出出力 (ZXIA、ZXIB、ZXIC) は、すべての入力信号レベルに対してアクティブです。

ゼロ交差閾値 ZXTHRSH は、次式から計算できます。

$$ZXTHRSH = \frac{(V_PCF \text{ at Full Scale}) \times (LPF1_ATTENUATION)}{X \times 32 \times 2^8}$$

ここで、フルスケール時の V_PCF は $\pm 74,532,013$ (10 進数) です。

X はダイナミック・レンジで、この値未満ではゼロ交差をブロックする必要があります。

$LPF1_ATTENUATION$ は 50Hz のとき 0.86、60Hz のとき 0.81 で、LPF1 フィルタのゲイン減衰量を表します。例えば、フルスケールの 100 分の 1 より小さい信号が ZX 出力を生成しないようにするには、ZXTHRSH を 78 (10 進数) に設定します。

$$ZXTHRSH = \frac{(74,532,013) \times (0.86)}{100 \times 32 \times 2^8} = 78d$$

更に、誤ったゼロ交差を防止するため、ZX の生成後 1ms が経過してから次の ZX を出力できるようにする必要があります。

合成電圧のゼロ交差

A 相、B 相、および C 相の電圧チャンネル信号を合成して、1 つ以上の相が欠落した場合でも安定した 1 つのゼロ交差信号 ZX_COMB を生成します。

ゼロ交差検出回路への入力は $(V_A + V_B - V_C)/2$ で、シグナル・チェーンは図 28 に対応します。様々な電力量計構成への ADE9000 の応用のセクションで説明するように、ADE9000 を使用して様々な多相構成を測定できます。

ACCMODE レジスタの VCONSEL[2:0] ビットを使用して、この選択を示します。VCONSEL[2:0] が 0 ではない場合、合成ゼロ交差回路の VB 成分を 0 に設定します。

同じ予防策を講じて、ノイズによってこの出力でのゼロ交差割込みが発生しないようにします。ゼロ交差検出のセクションで説明したように、ZXTHRSH 閾値より小さい信号は ZXCOMB 出力を生成せず、次の ZXCOMB 生成までに 1ms 以上が必要です。

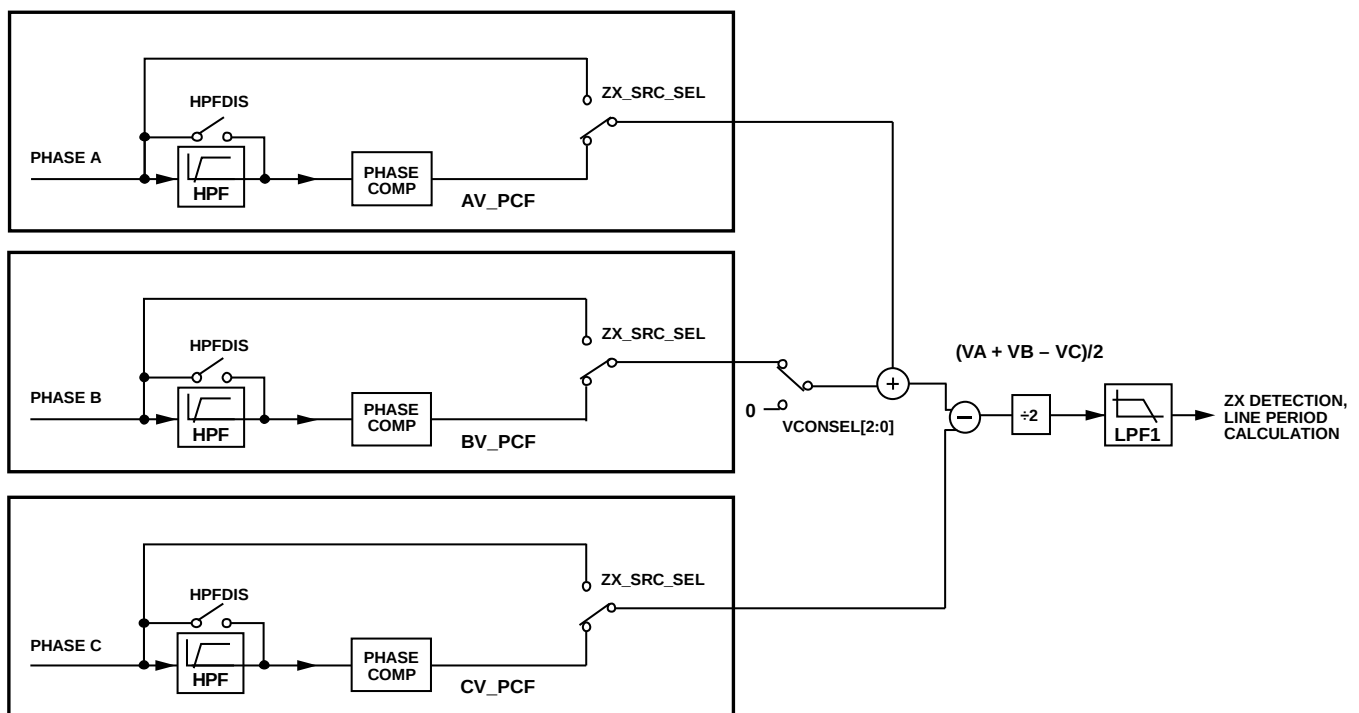


図 28. 合成信号のゼロ交差検出

15523-028

ゼロ交差の出力レート

信号 IA、IB、IC、VA、VB、VC と、合成信号 $(VA + VB + VC)/2$ をモニタする 7 つのゼロ交差検出回路があります。ゼロ交差検出回路には、2 つの出力レート 8ksps および 1024ksps があります。8ksps のゼロ交差信号は、ライン周期を計算するために使用され、STATUS1 レジスタの ZXx ビットに送られ、ゼロ交差タイムアウト、相シーケンス・エラー検出、リサンプリング、電力量の積算の各機能によってモニタされます。1024ksps の信号は角度測定に使用され、CONFIG1 レジスタの CF3_CFG ビットが 1 の場合は CF3/ZX ピンに出力されます。

表 17 に、どちらのゼロ交差エッジ（負から正および正から負）を使用するかを機能ごとに示し、入力信号がユーザ設定の ZXTHRSH より小さいためにゼロ交差が阻止された場合はどうなるかを示します。

CF3/ZX 出力ピンは、負から正への遷移が検出されるとローからハイになり、正から負への遷移が検出されるとハイからローになります。ZX_LP_SEL レジスタの ZX_SEL[1:0] ビットで選択するのは、ライン・サイクルでの電力量の積算と ZX 出力ピンで使用されるゼロ交差出力です。

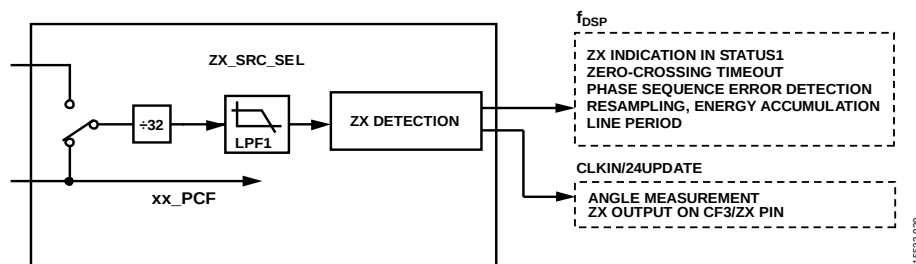


図 29. ゼロ交差の出力レート

表 17. 他の機能でのゼロ交差の使用

ゼロ交差を使用する機能	使用されるゼロ交差遷移	対応する STATUS1 レジスタのビット	どの相を測定に使用するかを選択	ゼロ交差が起こらない場合の影響
ZX Indication in STATUS1 Register	Negative to positive, and positive to negative	ZXIA, ZXIB, ZXIC, ZXVA, ZXVB, ZXVC, ZXCOMB	該当せず	ZXx ビットは STATUS1 でラッチされます。クリアされると、再度セットされることはありません。ZXx 割込みは行われません。
Zero-Crossing Timeout	Negative to positive, and positive to negative	ZXTOVA, ZXTOVb, ZXTOVC	該当せず	ゼロ交差タイムアウトは STATUS1 レジスタの ZXTOUT ビットによって示され、割込みを有効にして実行できます。
Phase Sequence Error Detection	Depends on VCONSEL[2:0] setting	SEQERR	該当せず	1 つまたは 2 つのゼロ交差イベントがなくなると、SEQERR が生成されます。全てのゼロ交差がなくなった場合、SEQERR ビットはセットされません。
Energy Accumulation	Negative to positive, and positive to negative	該当せず	ZX_LP_SEL.ZX_SEL[1:0] は、ライン・サイクルでの電力量の積算と ZX 出力ピンで使用されるゼロ交差出力を選択します。	ライン・サイクルの積算は更新されません。
Line Period Measurement	Negative to positive	該当せず	該当せず	強制的にデフォルト値になります。ACCMODE.SELFREQ = 0、50Hz 回路の場合は 0x00A0_0000 になり、ACCMODE.SELFREQ = 1、60Hz 回路の場合は 0x0085_5554 になります。
Resampling, RMS½, 10 Cycle RMS/12 Cycle RMS	None	該当せず	ZX_LP_SEL.LP_SEL[1:0] は、これらの計算の基礎として使用される相電圧のライン周期を選択します。	ゼロ交差が検出されないか、計算結果が 40Hz～70Hz の範囲外の値になることが理由で、選択したライン周期が無効になる場合、計算に使用されるライン周期は強制的にデフォルトのライン周期になります。ACCMODE.SELFREQ = 0、50Hz 回路の場合は 0x00A0_0000 になり、ACCMODE.SELFREQ = 1、60Hz 回路の場合は 0x0085_5554 になります。
Angle Measurements	Negative to positive	該当せず	該当せず	更新されず、最後の値が維持されます。
ZX Output on CF3/ZX Pin	Negative to positive, and positive to negative	該当せず	ZX_LP_SEL.ZX_SEL[1:0] は、ライン・サイクルでの電力量の積算と ZX 出力ピンで使用されるゼロ交差出力を選択します。	現在の状態（ハイまたはロー）が維持されます。

ゼロ交差タイムアウト

ゼロ交差タイムアウト機能は、設定した時間の経過後にゼロ交差イベントが生成されないと、警報を出します。ZXTOOUT の 8ksps クロック後にゼロ交差信号を受信しなかった場合、STATUS1 レジスタの対応する ZXTOx ビットがセットされます。例えば、ZXTOOUT が 8000 である場合、 $8000/8\text{ksps} = 1$ 秒以内に A 相でゼロ交差信号を受信しないと、STATUS1 レジスタの ZXTOA ビットがセットされます。ZXTOOUT レジスタに書き込むことができる最大値は、 $0\text{x}\text{FFFF}/8000 = 8.19$ 秒です。

ライン周期計算

ADE9000 のライン周期を測定するには、ゼロ交差検出のセクションで説明したように、LPF1 でローパス・フィルタ処理された値を取った後、正から負へのゼロ交差に近い 2 つの値を使用して、線形補間によって正確なゼロ交差点を算出します。この情報を使用してライン周期を正確に計算し、xPERIOD レジスタに格納します。

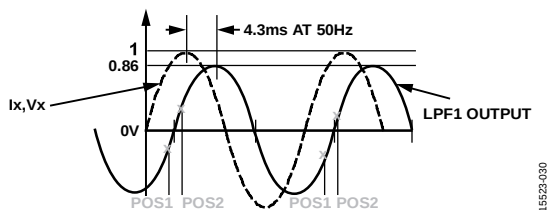


図 30. ゼロ交差検出と線形補間を使用したライン周期の計算

ライン周期 T_L は、xPERIOD レジスタを基に次式に従って計算できます。

$$T_L = \frac{xPERIOD + 1}{8000 \times 2^{16}} (\text{sec})$$

同様に、ライン周波数は、xPERIOD レジスタを基に次式を使用して計算できます。

$$f_L = \frac{8000 \times 2^{16}}{xPERIOD + 1} (\text{Hz})$$

50Hz 入力では、xPERIOD レジスタは 0x00A0_0000、10485760（10 進数）であり、60Hz 入力では 0x0085_5554、8738132（10 進数）です。

周期の計算値が 40Hz～70Hz の範囲外であるか、対象の相の負から正へのゼロ交差が検出されない場合、xPERIOD レジスタは、ACCMODE レジスタの SELFREQ ビットの設定に従って、50Hz または 60Hz に対応するよう強制されます。SELFREQ が 0 の場合は 50Hz 回路となり、xPERIOD レジスタは強制的に 0x00A0_0000 になります。SELFREQ が 1 の場合、これは 60Hz 回路を示しており、xPERIOD レジスタは強制的に 0x0085_5554 になります。

合成電圧のゼロ交差のセクションで説明したように、A 相、B 相、C 相の電圧および合成電圧信号についてライン周期が計算され、それぞれ APERIOD、BPERIOD、CPERIOD、および COM_PERIOD レジスタに格納されます。

ライン周期の計算値は、リサンプリング測定に使用されます。どの相電圧のライン周期をリサンプリング計算の基準として使用するかを、ZX_LP_SEL レジスタの LP_SEL[1:0] ビットを使用して選択するか、CONFIG2 レジスタの UPERIOD_SEL ビットを使用して、USER_PERIOD に書き込まれているユーザ設定の値を選択します。

周期の選択が役立つのは、別のアルゴリズムでライン周波数を決めるアプリケーションや、高速の実効測定値をリサンプリングまたは計算するときに、常に特定のライン周波数を想定するのが望ましい場合です。USER_PERIOD[31:0] のスケーリングは xPERIOD レジスタと同じです。50Hz の場合は USER_PERIOD[31:0] に 0x00A0_0000 を書き込み、60Hz の場合は 0x0085_5554 を書き込みます。

角度測定

ADE9000 は、ゼロ交差間の時間を相ごとに測定します。この測定が役立つのは、システムのバランスが適切かどうかを調べる場合や、実装に誤りがあったかどうかを突き止める場合です。位相角が様々な電力量計構成への ADE9000 の応用のセクションのフェーザ図の角度と一致するかどうかを調べることができます。

正から負へのゼロ交差間の時間は、 $\text{CLKIN}/24 = 24.576/24 = 1024\text{kHz}$ のクロックを使用して測定します。A 相と B 相のゼロ交差間の時間は、ANGL_VA_VB レジスタに格納されます。ANGLx_x2x レジスタの分解能は、50Hz では $(1/(1024 \times 1000))/20\text{ms} \times 360^\circ = 0.017578125^\circ$ です。

図 31 に示すように、B 相と C 相のゼロ交差間の時間は ANGL_VB_VC レジスタに格納され、A 相と C 相のゼロ交差間の時間は ANGL_VA_VC レジスタに格納されます。

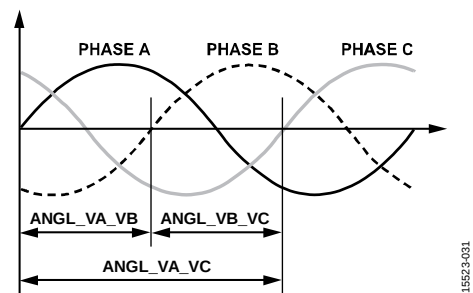


図 31. 電圧間の位相角

50Hz のライン周期の場合、角度 (°) は次式から計算できます。

$$\text{Angle (degrees)} = \text{ANGL_VA_VB} \times 0.017578125/\text{LSB}$$

4 線式 Y 結線構成の場合、ANGL_VA_VB および ANGL_VB_VC の予想値は $120^\circ/0.017578125 = 3413$ （10 進数）です。A 相の電圧から C 相の電圧までの ANGL_VA_VC の予想値は $240^\circ/0.017578125 = 13653$ （10 進数）であり、これは C 相と A 相の間の 120° の角度に対応します。

また、電流間のゼロ交差も測定されます。この測定は、前述した電圧間位相角と同様に行われますが、基準として電流チャンネルのゼロ交差が使用されることが異なります。A 相と B 相のゼロ交差間の時間は、ANGL_IA_IB レジスタに格納されます。B 相と C 相のゼロ交差間の時間は ANGL_IB_IC レジスタに格納され、A 相と C 相のゼロ交差間の時間は ANGL_IA_IC レジスタに格納されます。

電圧と電流の間の位相角も同様に測定されます。これらの角度を使用して、基本波での力率を求めることができます。ANGL_VA_IA は、図 32 に示すように、A 相の電圧と電流の間の位相角を表します。ANGL_VB_IB は B 相の電圧と電流の間の位相角を保持し、ANGL_VC_IC は C 相の電圧と電流の間の位相角を保持します。

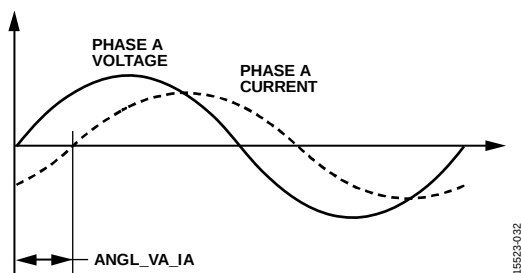


図 32. 電圧と電流の間の位相角

電圧チャンネルの振幅がユーザ設定のゼロ交差閾値より小さい場合、該当する相のゼロ交差出力は生成されません。この状況では、対応する ANGLx_x2x 測定値は更新されません。最終値はレジスタに残ります。電流チャンネルにはこうした閾値はありません。入力信号のレベルが低いと、電流チャンネルに疑似ゼロ交差イベントが生じて、ANGLx_I2I と ANGLx_V2I の読出し値が意味のないものになります。

相シーケンス・エラーの検出

4 線式 Y 結線と 4 線式 Δ 結線

4 線式 Y 結線と 4 線式 Δ 結線のメータについて、通常の相シーケンスを図 33 に示します。

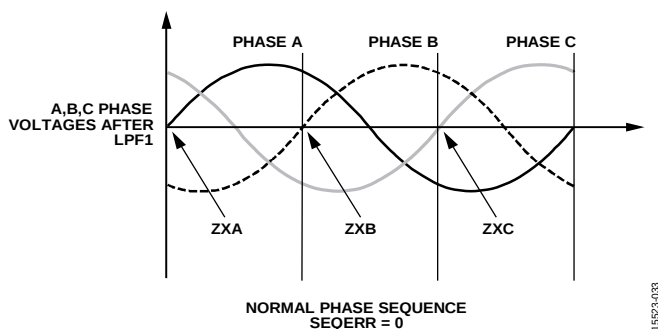


図 33. 4 線式 Y 結線と 4 線式 Δ 結線での通常の相シーケンス

4 線式 Y 結線システムまたは 4 線式 Δ 結線システムでは、様々な電力量計構成への ADE9000 の応用のセクションで説明するように、VCONSEL[2:0] は 000、010、または 011 です。これらの 4 線式システムでは、図 35 に示すように、ZXVA、ZXVB、および ZXVC での負から正への遷移がモニタされ、相シーケンス・エラーがあるかどうか調べられます。相シーケンス・エラーを検出するには、観測するシーケンスの数を SEQ_CYC レジスタに設定します。SEQ_CYC には 1 を設定することを推奨します。図 34 に、配線または実装の誤りによる 4 線式 Y 結線または 4 線式 Δ 結線での相シーケンス・エラーを示します。

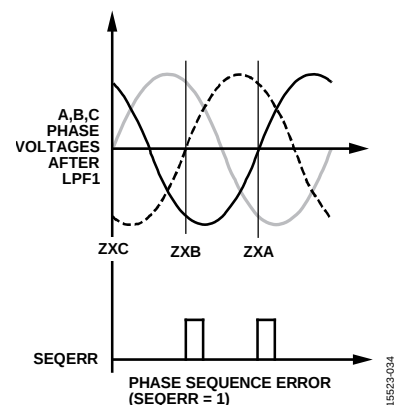


図 34. 4 線式 Y 結線および 4 線式 Δ 結線での相シーケンス・エラー（配線の誤り）

図 35 は、通常の相シーケンスを持つ実装回路で、1 つの相電圧が ZXTHRSR より低くなると相シーケンス・エラーが発生することを示しています。

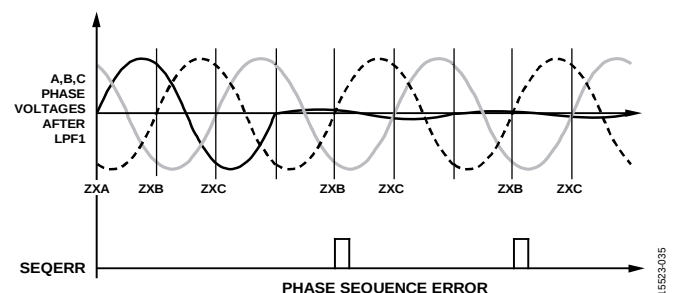


図 35. SEQ_CYC = 1 で相電圧が ZXTHRSR より低くなったことによる 4 線式 Y 結線、4 線式 Δ 結線での相シーケンス・エラー

3 線式 Δ 結線

3 線式 Δ 結線システムでは、様々な電力量計構成への ADE9000 の応用のセクションで説明するように、VCONSEL[2:0] は 001 または 100 です。3 線式 Δ 結線システムでは、ZXVC および ZXVA での正から負への遷移と負から正への遷移がモニタされ、相シーケンス・エラーが検出されます。図 36 は、3 線式 Δ 結線で VCONSEL[2:0] = 001 の場合の通常の相シーケンスを示しています。

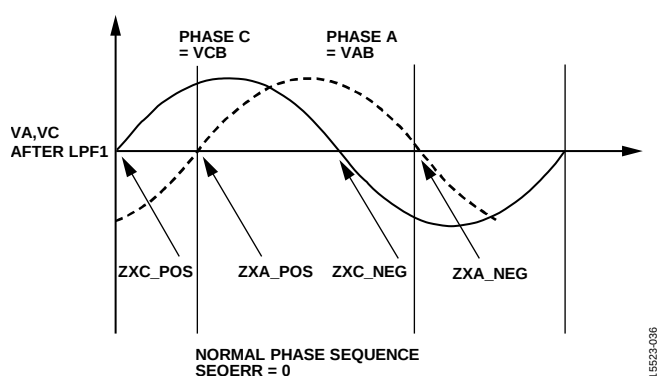


図 36. 3 線式Δ結線での通常の相シーケンス

SEQ_CYC を書き込んで、連続した誤遷移の数を示してから SEQ_ERR 割込みを生成する必要があります。SEQ_CYC には 1 を設定することを推奨します。図 37 に、検出された相シーケンス・エラーの原因となった 3 線式Δ結線の実装上の誤りを示します。

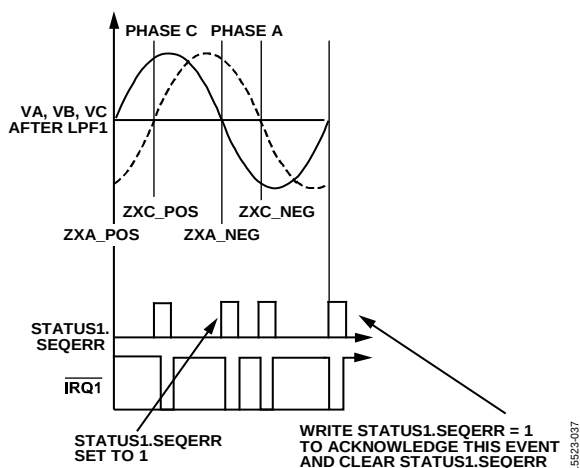


図 37. 3 線式Δ結線での相シーケンス・エラー（配線の誤り）

図 38 は、通常の相シーケンスを持つ実装回路で、相電圧の 1 つが ZXTHRSR より低くなると相シーケンス・エラーが発生することを示しています。

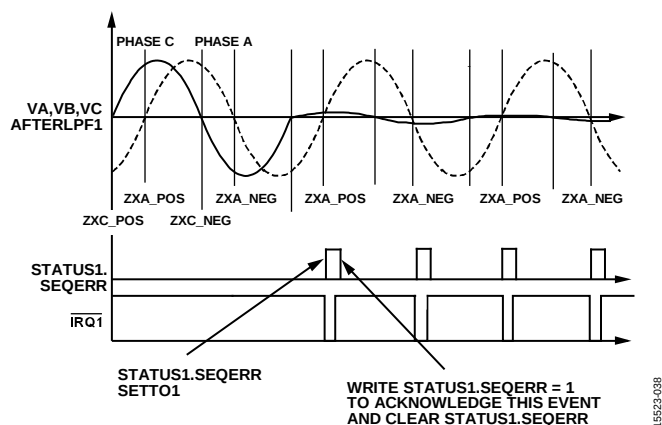


図 38. SEQ_CYC = 1 で相電圧が ZXTHRSR より低くなったことによる 4 線式 Y 結線、3 線式Δ結線での相シーケンス・エラー

高速 RMS½測定および 10/12 RMS 測定

RMS½は 1 ライン・サイクルについて行う実効値測定で、ハーフ・サイクルごとに更新されます。

この測定は、全ての相の電圧と電流、および中性電流に対して行われます。すべてのハーフ・サイクル実効値測定は同じ時間枠で行われ、STATUS0 レジスタの RMSONERDY ビットによる指示に従って、同時に更新されます。結果は、AIRMSONE、BIRMSONE、CIRMSONE、NIRMSONE、AVRMSONE、BVRMSONE、CVRMSONE レジスタに保存されます。

デフォルトでは、計算に使用されるサンプルの数は、測定したライン周波数に応じて変化します。ZX_LP_SEL レジスタの LP_SEL ビットは、RMS½測定に使用されるサンプルの数を設定するために、どのライン周期測定値を使用するかを選択します。

あるいは、CONFIG2 の UPERIOD_SEL ビットをセットすれば、計算に使用するサンプルの数を設定できます。この場合には、選択したライン周期測定値ではなく、ユーザ設定の USER_PERIOD レジスタを使用します。

USER_PERIOD とライン周期測定の詳細については、ライン周期計算のセクションを参照してください。

RMS½の計算に使用されるサンプルは、CONFIG0 レジスタの RMS_SRC_SEL ビットで選択したように、ハイパス・フィルタの前段または積分器の後段から供給されます。

ハイパス・フィルタに付随するセトリング時間は非常に長いので、応答時間を最も短くするには、ハイパス・フィルタの前段からのデータを使用することを推奨します。

入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMSONEOS を使用することができます。

フルスケール入力での xRMSONE レジスタの読出し値は 52,702,092 (10 進数) です。

10 サイクルの実効値測定/12 サイクルの実効値測定は、50Hz 回路では 10 サイクルごとに、60Hz 回路では 12 サイクルごとに行われます。

入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMS1012OS を使用することができます。

フルスケール入力での xRMS1012 レジスタの読出し値は 52,702,092 (10 進数) です。

表 18 に、50Hz 信号での½サイクル実効セトリング時間を示します。表 19 に、50Hz 信号での 10 サイクル/12 サイクル実効セトリング時間を示します。

表 18. ½サイクル実効セトリング時間

Configuration	½ RMS Settling Time, FS = 99% (sec)
Integrator On, HPF On, and LPF2 On	0.26
Integrator Off, HPF On, and LPF2 On	0.06

表 19. 10 サイクル/12 サイクル実効セトリング時間

Configuration	10/12 RMS Settling Time, FS = 99% (sec)
Integrator On, HPF On, and LPF2 On	0.6
Integrator Off, HPF On, and LPF2 On	0.2

ディップ/スウェル表示

ディップは、設定したサイクル数での規定の閾値より電圧が低下したことを示します。逆に、スウェルは、電圧が規定のサイクル数での閾値を超えたことを示します。

RMS $\frac{1}{2}$ の値に対応するよう DIP_LVL レジスタをセットして、次式に従ってディップ・イベントをトリガします。

$$DIP_LVL = xVRMSONE \times 2^5$$

RMS $\frac{1}{2}$ の値を観測するサイクル数を DIP_CYC レジスタに設定します。

A 相、B 相、および C 相での RMS $\frac{1}{2}$ 電圧は、規定の DIP_CYC にわたって DIP_LVL と比較されます。規定の DIP_CYC 数での RMS $\frac{1}{2}$ 電圧が低いと、該当する相でディップ・イベントが発生し、STATUS1 レジスタの対応する DIPA ビット、DIPB ビット、および DIPC ビットがセットされます。ディップ・イベントを設定して、IRQ1 ピンで割込みを生成できます。

EVENT_MASK レジスタの対応するビットがセットされている場合は、ディップ・イベントを設定して、CF4/EVENT/DREADY ピンでイベントを生成できます。これにより、CF4/EVENT/DREADY ピンと外部マイクロコントローラのタイマーを併用して、ディップまたはスウェルの持続時間を正確に測定できます。

ディップ時に測定された最小 RMS $\frac{1}{2}$ 値は、対応する DIPA、DIPB、および DIPC レジスタに保存されます。同様に、スウェル表示には、次式に従ってスウェル閾値を設定する SWELL_LVL レジスタがあります。

$$SWELL_LVL = xVRMSONE \times 2^5$$

また、SWELL_CYC レジスタもあります。スウェル時に測定された RMS $\frac{1}{2}$ 電圧の最大値は、対応する SWELLA、SWELLB、および SWELLC レジスタに保存されます。CONFIG1 レジスタの DIP_SWELL_IRQ_MODE ビットを 0 に設定すると、DIP_CYC/SWELL_CYC サイクルごとに割込みが生成されます。DIP_SWELL_IRQ_MODE を 1 に設定した場合は、ディップ/スウェル・モードに入るとある割込みが生成され、このモードから出ると別の割込みが生成されます。モードは DIP_CYC サイクル経過後に変更されます。DIP_CYC/SWELL_CYC = 1 の場合は、ディップ/スウェル状態が終了すると追加の割込みが生成され、ディップ/スウェルの値 DIPx/SWELLx がそのときに更新されて、DIP_LVL/SWELL_LVL の値を超えるので注意してください。

過電流表示

過電流表示は、RMS $\frac{1}{2}$ の電流測定値をモニタする機能です。RMS $\frac{1}{2}$ の電流がユーザ設定の OILVL (過電流閾値) より大きくなると、このことが STATUS1 レジスタの OI ビットに示されます。

$$OILVL = xIRMSONE \times 2^5$$

CONFIG3 レジスタの OC_EN[3:0] ビットは、どの相の過電流イベントをモニタするかを選択します。

OISTATUS レジスタの OIPHASE[3:0] ビットは、どの電流チャンネルの RMS $\frac{1}{2}$ 測定値が閾値より大きいを示します。

ある相を有効にして、対応する OC_EN ビットをセットして RMS $\frac{1}{2}$ 電流を閾値より大きくすると、OI ステータスが設定され、RMS $\frac{1}{2}$ の値は対応する OIx レジスタに格納されます。ある相を無効にした場合や、その相で過電流イベントが発生しなかった場合、OIx レジスタは最後の値を維持します。

ピーク検出

ADE9000 は、xI_PCF および xV_PCF 波形の電流及び電圧チャンネルで測定されたピーク値を記録します。CONFIG3 レジスタの PEAKSEL[2:0] ビットを使用すると、モニタする相を選択できます。C 相をモニタするには PEAKSEL[2] を設定し、B 相をモニタするには PEAKSEL[1] を、A 相をモニタするには PEAKSEL[0] を設定します。3 つの相全てをモニタするには、PEAKSEL[2:0] = 111 (2 進数) を設定します。

IPEAK レジスタはピーク電流値を IPEAKVAL[23:0] に格納して、どの相電流が IPPHASE[2:0] ビットの値に達したかを示します。IPEAKVAL = xI_PCF/2⁵ です。

IPPHASE[2] は C 相に、IPPHASE[1] は B 相に、IPPHASE[0] は A 相に、それぞれピーク値があることを示します。

同様に、VPEAK はピーク電圧値を VPEAKVAL[23:0] に格納します。VPEAKVAL = xV_PCF/2⁵ です。

VPPHASE[2] は C 相に、VPPHASE[1] は B 相に、VPPHASE[0] は A 相に、それぞれピーク電圧値があるかどうかを示します。

IPEAK レジスタを読み出すと、その値はリセットされます。VPEAK の読出しについても同じことが当てはまります。

力率

総合有効電力量と総合皮相電力は、1.024 秒間積算されます。その後、次式に従って各相の力率が計算されます。

$$APF = \frac{AWATT \text{ accumulated over } 1.024 \text{ sec}}{AVA \text{ accumulated over } 1.024 \text{ sec}}$$

APF 計算の符号は AWATT の符号に従います。

電力量がどの象限に入っているかを割り出すには、データシートに示すように、その相での総合無効電力量および基本波無効電力量の符号に加えて、xPF または xWATT の値の符号を確認します。第 1 象限と第 3 象限の力率は容量性負荷の力率であり、第 2 象限と第 4 象限の力率は誘導性負荷の力率です。ほとんどのアプリケーションでは、WATT を電力網から受け取って (取り込んで) いるため、WATT と VAR は第 1 象限と第 4 象限の範囲内にとどまることに注意してください。

内部データへのアクセス

SPI プロトコルの概要

ADE9000 は、4 本のピン、SCLK、MOSI、MISO、 $\overline{SS}$ で構成される SPI 互換インターフェースを備えています。ADE9000 は常に SPI スレーブであり、SPI 通信を開始することはありません。SPI インターフェースは、16 ビットおよび 32 ビットの読出し／書込み動作を行うことができます。各レジスタの長さについては、レジスタの情報のセクションを参照してください。

図 41 に、ADE9000 の SPI と SPI インターフェースを内蔵したマスタ・デバイス間の接続を示します。

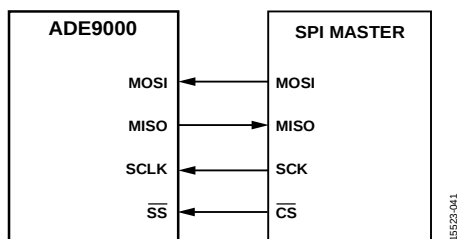


図 41. ADE9000 のスレーブ SPI ポートからマスタ SPI デバイスへの接続

$\overline{SS}$ ピンはチップ・セレクト入力です。このピンは、ADE9000 との SPI 通信を開始するために使用します。ADE9000 の SPI プロトコルは、3 つの部分に分かれています。まず、16 ビットのコマンドが送信され、読出し動作と書込み動作のどちらを実行するかと、どのレジスタにアクセスするかが示されます。このコマンドの後に続くのは、SPI 書込みの場合は 16 ビットまたは 32 ビットの書込み対象データであり、SPI 読出し動作の場合はレジスタから読み出したデータです。最後に、SPI 読出し動作の場合は、バースト読出しをサポートしている領域にアドレスが属していない限り、レジスタ・データの巡回冗長検査（CRC）が続きます。その領域にアドレスが属している場合は、次のレジスタからのデータが続きます（詳細については、SPI バースト読出しのセクションを参照してください）。

$\overline{SS}$ 入力は SPI トランザクション全体を通じてローに維持する必要があります。データ転送動作時に $\overline{SS}$ をハイにすると、転送がアボートされます。新規の転送を開始するには、 $\overline{SS}$ ロジック入力をローに戻します。 $\overline{SS}$ をグラウンドに接続するのは推奨しません。 $\overline{SS}$ がハイからローに遷移すると ADE9000 の SPI トランザクションが開始されるからです。

SCLK の立下がりエッジで、データが MOSI ロジック入力からデバイスにシフトインされ、デバイスは SCLK の立上がりエッジで入力データをサンプリングします。SCLK の立下がりエッジで、データが MISO ロジック出力で ADE9000 からシフトアウトされ、SCLK の立上がりエッジでマスタ・デバイスによってサンプリングされます。ワードの最上位ビットから先にシフトインおよびシフトアウトが行われます。

MISO の内部には 100k Ω の弱いプルアップ抵抗があるので、MISO ピンのデフォルトの状態はハイになります。SPI バスは、必要に応じて、複数の ADE9000 デバイス

を含む複数のデバイスと共用できます。

ADE9000 は、以下のマイクロコントローラ SPI ポートのクロック極性および位相設定と互換性があります。それは、CPOL = 0 および CPHA = 0（通常はモード 0）、または CPOL = 1 および CPHA = 1（通常はモード 3）です。

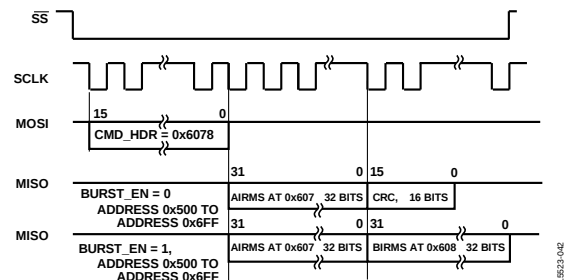


図 42. SPI 読出しプロトコルの例-後に続くのは CRC または次のデータ

MOSI ピンのデフォルトの状態は、マスタ SPI デバイスにより異なります。ここでは、ハイ（ロジック 1）であると仮定します。

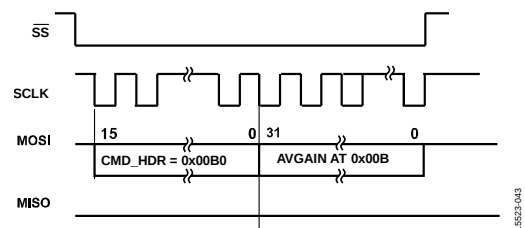


図 43. SPI 書込みプロトコルの例

このインターフェースがサポートする最大シリアル・クロック周波数は 20 MHz です。

SPI 読出し／書込み動作は、以下の情報を記述した 16 ビットのコマンド（CMD_HDR）によって始まります。

- CMD_HDR[15:4]は、コマンド・ヘッダの上位 12 ビットで、その内容は読出しまたは書込みの対象となるレジスタのアドレス（ADDR[11:0]）です。
- CMD_HDR[3]は、現在の動作が読出し／書込みのどちらであるかを指定するビットです。このビットは、読出しの場合は 1 に、書込みの場合は 0 に設定します。
- CMD_HDR[2:0]は、内部チップのタイミングに必要なビットで、全て 1 か全て 0 にします。これらのビットは、LAST_CMD レジスタでは 000 として読み出されることに注意してください。

図 44 に、コマンド・ヘッダに含まれている情報を示します。

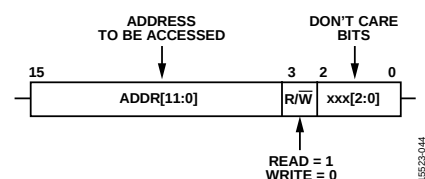


図 44. コマンド・ヘッダ、CMD_HDR [15:0]

SPI 書込み

ADE9000 の SPI インターフェースを使用した書込み動作が開始されるのは、 $\overline{SS}$ ピンがローになり、CMD_HDR[3]が 0 である 16 ビットのコマンド・ヘッダ (CMD_HDR) を ADE9000 が受信したときです。

書き込まれる 16 ビットまたは 32 ビットのデータは、最上位ビットを先頭にしてコマンド・ヘッダの後に続きます。データの最後のビットがクロックに同期して出力されると、マスタは $\overline{SS}$ 線をハイにして SPI バスを解放する必要があります。SCLK 線をアイドル状態でハイにすることを推奨します。

SPI 読出し

ADE9000 の SPI インターフェースを使用した読出し動作が開始されるのは、 $\overline{SS}$ ピンがローになり、CMD_HDR[3]が 1 である 16 ビットのコマンド・ヘッダ (CMD_HDR) を ADE9000 が受信したときです。

レジスタから読み出される 16 ビットまたは 32 ビットのデータは、最上位ビットを先頭にしてコマンド・ヘッダの後に続きます。

以下の場合には、レジスタ・データの CRC が追加されます。

- BURST_EN = 0 で、アドレスが 0x000～0x6FF の範囲にある場合。
- BURST_EN = 0 で、アドレスが波形バッファ (0x800～0xFFF) 内にあり、BURST_CHAN が 1111 (2 進数) である場合。

ADE9000 は SPI バースト読出し機能を提供します。以下の条件が当てはまる場合は、CRC を送信する代わりに、次のアドレスから以下のデータを読み出します (詳細については、SPI バースト読出しのセクションを参照してください)。

- BURST_EN = 1 で、アドレスが 0x500～0x63C または 0x680～0x6BC の範囲内にある場合。
- アドレスが 0x800～0xFFFF の範囲内にあり、BURST_CHAN が 1111 (2 進数) ではない場合。

これらのいずれにも当てはまらず、追加のクロックが送信された場合は、元の読出しデータが再送信されます。

表 20 に、CMD_HDR でアドレス指定されたレジスタからのデータの後にどのデータが送信されるかの要約を示します。送信されるデータは、アクセスされるアドレスと BURST_EN の選択に応じて変動します。

表 20. アドレス指定データ後にクロック同期出力されるデータ、SPI 読出し動作時

アドレス	BURST_EN = 0	BURST_EN = 1
0x000 to 0x4FF	CRC	同じデータを再送信
0x500 to 0x6FF	CRC	次のアドレス
0x800 to 0xFFFF (Waveform Buffer)	BURST_CHAN = 1111 の場合は CRC、それ以外の場合は次のアドレス	BURST_CHAN = 1111 の場合は同じデータを再送信、それ以外の場合は次のアドレス

この情報がアプリケーションで必要ない場合は、 $\overline{SS}$ 線をハイにしてから CRC をクロック同期出力できます。

データの最終ビット、または CRC がクロック同期出力されたら、マスタは $\overline{SS}$ 線をハイにして SPI バスを解放する必要があります。その後、ADE9000 は MISO の駆動を停止して、100k Ω の弱いプルアップをイネーブルします。SCLK 線をアイドル状態でハイにすることを推奨します。

BURST_EN = 0 および 1 のとき、AVGAIN レジスタのアドレス 0x00B を読み出すと何が起こるかの例を図 45 に示します。

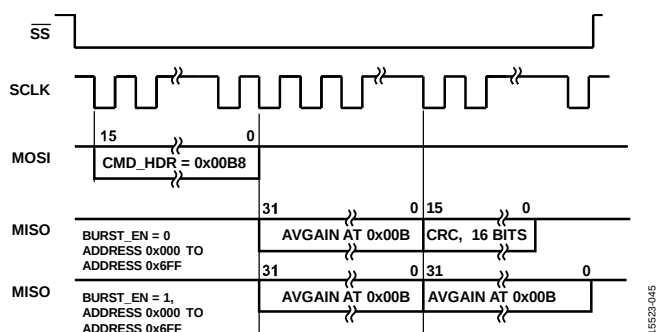


図 45. 後続データが CRC の場合や最初のデータが繰り返される場合の SPI 読出しプロトコルの例

SPI バースト読出し

SPI バースト読出しでは、CMD_HDR を 1 回送信した後複数のレジスタを読み出すことができます。レジスタのデータがクロック同期出力されると、ADE9000 はアドレスの自動インクリメントを行って、次のレジスタ・アドレスからデータのクロック同期出力を開始します。

アドレスの範囲が 0x500～0x6FF のレジスタと、アドレス 0x800～アドレス 0xFFFF の波形バッファでは、SPI バースト読出しアクセスを実行できます。他のレジスタ・アドレスに対しては、SPI バースト読出しは実行できません。SPI バースト読出し動作は、次のアドレスを示している表 20 ではオプションとして行われます。

0x500～0x6FF のレジスタに対してバースト読出し機能を有効にするには、CONFIG1 レジスタの BURST_EN ビットを 1 に設定します。

波形バッファのバースト読出し機能はデフォルトで有効になっており、WFB_CFG レジスタの BURST_CHAN[3:0] ビットで管理します。これらのビットを 1111 (2 進数) に設定すると、波形バッファのバースト読出し機能は無効になります。波形バッファの内容のバースト読出し動作の詳細については、SPI による波形バッファ・サンプルのバースト読出しのセクションを参照してください。

ADE9000 の SPI インターフェースを使用したバースト読出し動作が開始されるのは、 $\overline{SS}$ ピンがローになり、CMD_HDR[3]が 1 である 16 ビットのコマンド・ヘッダ (CMD_HDR) を ADE9000 が受信したときです。これは、次のアドレスを示している表 20 の基準を満たしています。

コマンド・ヘッダの後に、ADE9000 は、コマンド内にアドレスを指定されているレジスタのレジスタ・データを送信します。最初のレジスタ値の最後のビットが受信された後、ADE9000 はアドレスの自動インクリメントを行って、次のレジスタ・アドレスからデータのクロック同期出力を開始します。開始アドレスがアドレス 0x500～アドレス 0x516 の範囲内にあり、SPI がアドレス 0x516 を超えてクロックに同期している場合、アドレスは 0x5FF に達するまで自動的にインクリメントされ、その後、折り返して最初のアドレスに戻ります。最初のアドレスがアドレス 0x600～アドレス 0x63C の範囲内またはアドレス 0x680～アドレス 0x6BC の範囲内にあり、SPI がアドレス 0x63C またはアドレス 0x6BC を超えてクロックに同期している場合、アドレスは折り返して最初のアドレスに戻ります。この処理はマスタが $\overline{SS}$ 線をハイに設定するまで続きます。その後、ADE9000 は MISO の駆動を停止して、100k Ω の弱いプルアップをイネーブルします。SCLK 線をアイドル状態でハイにすることを推奨します。BURST_EN = 1 の場合、SPI バースト読出し動作の例を図 42 に示します。その他の例については、SPI による波形バッファ・サンプルのバースト読出しのセクションを参照してください。

SPI プロトコルの CRC

ADE9000 の SPI ポートは、マスタによって受信されるデータの完全性をチェックできるように、その MOSI ピンから送信したデータの CRC の計算を行います。最後のレジスタ読出し時に MOSI ピンから送信されたデータの CRC は 16 ビット・レジスタの CRC_SPI に提供され、SPI トランザクションの一部として SPI 読出しデータの末尾に付加することができます。

CRC が書き込まれる表 20 の事例では、CRC_SPI レジスタの値は、CMD_HDR でアドレス指定されたレジスタから読み出された 16/32 ビットのデータに追加されます（詳細については、SPI 読出しのセクションを参照してください）。

CRC の結果は、常に CRC_SPI レジスタから直接読み出すことができます。

SPI 書込みレジスタ・プロトコルの一部としての CRC はありません。SPI 書込み動作のデータ完全性を確認するには、レジスタを読み出して、値が ADE9000 に正しく書き込まれていることを検証します。

ADE9000 の CRC アルゴリズム

ADE9000 の内部に実装されている CRC アルゴリズムは、CRC-16-CCITT アルゴリズムに基づいています。MISO のデータ出力は、図 46 および図 47 に示すように、リニア・フィードバック・シフト・レジスタ (LFSR) ベースのジェネレータに、一度に 1 バイトずつ、最上位バイトを先頭にビット反転なしで取り込まれます。16 ビットの結果は CRC_SPI レジスタに書き込まれます。

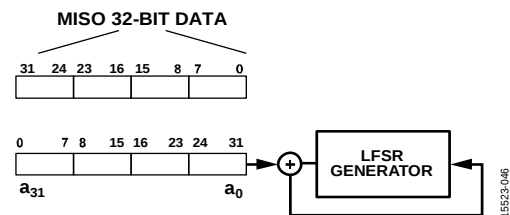


図 46. 32 ビット SPI データの CRC 計算

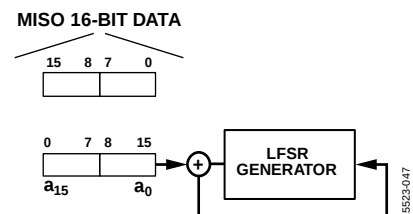


図 47. 16 ビット SPI データの CRC 計算

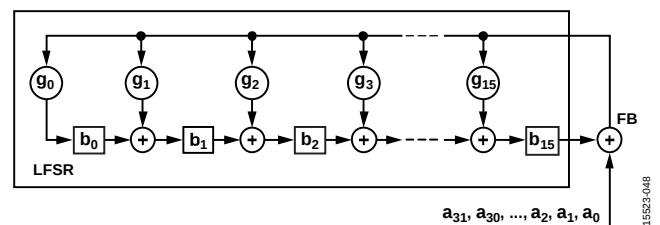


図 48. CRC_SPI 計算に使用される LFSR ジェネレータ

図 48 に、LFSR がどのように機能するかを示します。MISO の 32 ビット・データは、LFSR によって使用される $[a_{31}, a_{30}, \dots, a_0]$ ビットを形成します。ビット a_0 は、LFSR に入力される MISO の先頭の 32 ビット・データのビット 24 であり、LFSR に入力される最後のデータ（ビット a_{31} ）は、MISO から送信されたビット 7 に対応します。LFSR を制御する式は次のとおりです。

$$G(x) = x^{16} + x^{12} + x^5 + 1 \quad (3)$$

$$g_0 = g_5 = g_{12} = 1 \quad (4)$$

その他の g_i 係数は全て 0 です。

$$FB(j) = a_{j-1} \text{ XOR } b_{15}(j-1) \quad (5)$$

$$b_0(j) = FB(j) \text{ AND } g_0 \quad (6)$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 15 \quad (7)$$

式 5、式 6、および式 7 は、 $j = 1, 2, \dots, 32$ に対して繰り返す必要があります。CRC_SPI レジスタに書き込まれる値には、ビット $b_i(32)$ 、 $i = 0, 1, \dots, 15$ が含まれます。

16 ビット・データに対しても同様の手順に従います。ビットがどのような順番で LFSR に入力されるかについては、図 47 を参照してください。

追加通信検証レジスタ

ADE9000 は、SPI 動作を検証できる 3 つのレジスタを内蔵しています。LAST_CMD (アドレス 0x4A3)、LAST_DATA_16 (アドレス 0x4AC)、および LAST_DATA_32 (アドレス 0x423) レジスタは、受信した CMD_HDR と最後の読出し/送信データを記録します。LAST_DATA_16 レジスタには、最後の 16 ビット・トランザクション時に読み出されたか書き込まれた最後のデータが入っており、また LAST_DATA_32 レジスタは、最後の 32 ビット・トランザクション時に読み出されたか書き込まれたデータを保持しています。

LAST_CMD レジスタは、CMD_HDR を受信した後に更新されます。LAST_CMD、LAST_DATA_16、または LAST_DATA_32 レジスタを読み出すコマンドを受信した場合、これら 3 つのレジスタは更新されません。LAST_CMD[2:0]は、常に 000 として読み出されることに注意してください。

SPI 読出し動作時に、LAST_DATA_16 レジスタと LAST_DATA_32 レジスタは、CMD_HDR を受信後 2 つのマスタ・クロック・パルス以内に更新されます。LAST_CMD、LAST_DATA_16、または LAST_DATA_32 レジスタを読み出すコマンドを受信した場合、これら 3 つのレジスタは更新されません。

LAST_DATA_16 レジスタと LAST_DATA_32 レジスタは SPI バースト読出し動作後は更新されないことに注意してください。これらは、次のアドレスが書き込まれる表 20 の事例です。

書込み動作では、16 ビットまたは 32 ビットの書込みデータを全て受信するまで、LAST_DATA_16 および LAST_DATA_32 は更新されません。書込みレジスタ動作では、レジスタの長さに応じて、全 16 ビットまたは全 32 ビットを受信するまで、アドレス指定されたレジスタは書き込まれないことに注意してください。

LAST_CMD、LAST_DATA_16、および LAST_DATA_32 レジスタを読み出す場合、それらの値は変化しないので注意してください。

設定レジスタの CRC

ADE9000 の設定レジスタ CRC 機能は、多くのレジスタ値をモニタします。また、CRC_OPTEN レジスタで個別に選択可能な 15 のレジスタもオプションで組み込まれます。

この機能はバックグラウンド・タスクとして動作します。設定レジスタ CRC を計算するには 10.8ms かかります。結果は CRC_RSLT レジスタに格納されます。いずれかのモニタ対象レジスタの値が変化すると、CRC_RSLT も同様に变化して、STATUS1 レジスタの CRC_CHG ビッ

トがセットされます。また、これを設定して、 $\overline{\text{IRQ1}}$ で割込みを生成することもできます。

ADE9000 を設定し、必要なレジスタに書き込んで測定値 (例えば xIGAIN や xVGAIN など) を補正したら、CRC_FORCE レジスタの FORCE_CRC_UPDATE ビットに書き込むことで設定レジスタの CRC 計算を開始できます。計算が完了すると、STATUS1 レジスタに CRC_DONE ビットがセットされます。

設定レジスタの CRC を計算するのに使用した方法も、CRC-16-CCITT アルゴリズムに基づいています。各レジスタの最上位バイトは最初に LFSR に取り込まれ、ビットの反転はありません。

レジスタの計算順序は表 21 に与えられており、最下位のレジスタが最初に取り込まれます。32 バイトのレジスタは 4 バイトが LFSR に取り込まれ、16 バイトのレジスタは 2 バイトが LFSR に取り込まれることに注意してください。

表 21. 設定レジスタの CRC に組み込まれたレジスタの順序

Register Addresses	Register Length (Bits)
0x01 to 0x18	32
0x21 to 0x38	32
0x41 to 0x58	32
0x60 to 0x73	32
0x409	32
0x40F	32
0x420 to 0x422	32
0x424	32
0x470 to 0x475	32
0x480 to 0x481	16
0x490 to 0x497	16
0x499	16
0x4AF to 0x4B2	16
0x425	32
0x4B8 to 0x4B9	16
0x47D	32
0x478 to 0x479	32
0x4EF	16
0x4BA	16
0x47E	32
0x00	32
0x20	32
0x40	32
0x4B6	16
0x4BF	16
0x4B5	16

波形バッファ

ADE9000 は、アドレスが 0x800 から 0xFFFF までの 2048 の 32 ビット・メモリ領域で構成される波形バッファを備えています。このメモリは、**sinc4** または **sinc4 + IIR LPF** からのサンプル、デジタル・シグナル・プロセッサによって処理された電流波形と電圧波形のサンプル、またはリサンプリング波形で満たされます。

リサンプリング波形は、外部プロセッサで高調波解析を実行するのが容易で、ライン・サイクルあたり 128 点の 16 ビット・サンプルを FFT で直接使用可能であり、ウィンドウ機能を実行する必要がなく、ライン周期の FFT 係数機能を変更せずに済みます。

波形バッファのデータの供給元は、シグナル・チェーンでの次の 4 カ所です。

- 32ksps の更新レートで供給される Sinc4 出力 (xI_SINC_DAT, xV_SINC_DAT)
- 8ksps の更新レートで供給される Sinc4 + IIR LPF 出力 (xI_LPF_DAT, xV_LPF_DAT)
- 8ksps の更新レートで供給され、DSP によって処理される電流および電圧チャンネル波形 (xI_PCF, xV_PCF)
- DSP によって処理されるライン・サイクルあたり 128 点のリサンプリング波形。データ・レートはライン周期に応じて変化する

波形バッファへの格納およびアクセスは、バッファに格納されるデータの種類により異なります。データ・レートが固定 (32ksps または 8ksps) の波形は、固定データ・レート波形と呼ばれます。リサンプリング波形と固定データ・レート波形で利用できるモードとアクセスを理解するには、対応するセクションを参照してください。1 つの SPI コマンド・ヘッダだけを使用して複数のサンプルを読み出すことができるように、波形バッファのサンプルには SPI バースト読み出し機能を使用してアクセスできます (SPI による波形バッファ・サンプルのバースト読み出しのセクションを参照してください)。

固定データ・レート波形

シグナル・チェーンからの固定データ・レート波形は、表 22 に示す場所から波形バッファに格納できます。

表 22. 固定データ・レートの波形ソース

ソース	WFB_CFG.WF_SRC	データ・レート	32 ビットのデータ・フォーマット
Sinc4 Outputs	0	32ksps	24 bits, shifted left by 4 bits and sign extended to 32 bits
Sinc4 + IIR LPF Output	2	8ksps	24 bits, shifted left by 4 bits and sign extended to 32 bits
Waveforms Processed by the DSP (xI_PCF, xV_PCF)	3	8ksps	5.27 format

24 ビットの **sinc4** および **sinc4 + IIR LPF** データは、表 23 に示すように、4 ビットだけ左にシフトして符号拡張処理を行うことにより、波形バッファの 32 ビット・データとして格納されます。

表 23. 24 ビットの Sinc4 データと Sinc4 + IIR LPF データ

Bits[31:28]	Bits[27:4]	Bits[3:0]
SE	ADC_DATA[23:0]	0000

表 22 は、WFB_SRC の選択肢を固定データ・レートの波形ソースごとに示しています。各固定データ・レート・サンプルは 32 ビットですが、データ・フォーマットは、表 22 に示すように、3 つのソース間で異なります。波形バッファをイネーブルすると、全 7 チャンネルからのデータがバッファに格納されます。1 つのサンプル・セットは 1 チャンネルにつき 1 つのサンプル、合計 7 サンプルで構成されており、同じ時点に取り込まれます。図 49 に、固定データ・レートのサンプルがどのようにバッファに格納されるかを示します。全てのサンプル・セットは、図 49 に示すように、サンプル・データが格納されていないスเปア・セルを使用することにより、メモリ内部で隣接サンプル・セットと分離されています。このように、バッファ内部での 32 ビット・メモリ領域は、8 番目の領域ごとにスเปア・セルとして確保されています。WFB_CFG レジスタの WF_IN_EN ビットを 0 にして、7 番目のチャンネルをディスエーブルすると、IN サンプルの領域がスเปア・セルとして同様に扱われます。

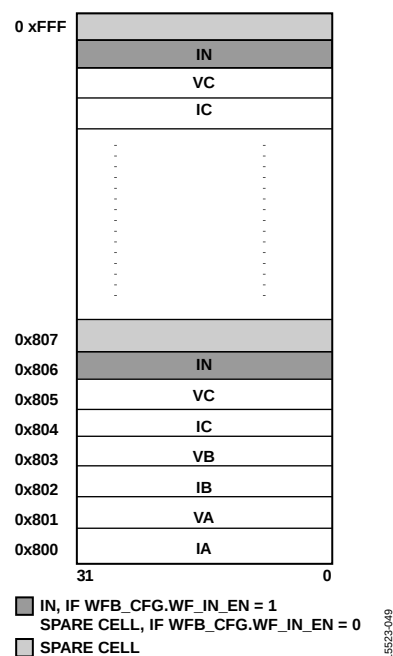


図 49. 固定データ・レートの波形サンプル記憶領域

バッファに格納できるサンプル・セットは 256 (2048/8) あります。ADE9000 では、**sinc4** が 32ksps で出力されるので、バッファに収容できるのは **sinc4** からの (256/32000) = 8ms 分のデータです。**sinc4 + IIR LPF** サンプルと、DSP で処理された **xI_PCF** および

xV_PCF 波形サンプルは 8kHz で満たされるので、バッファに収容できるのはこのデータの 32ms 分 (256/8000) です。

固定データ・レート・サンプルの波形と組み合わせて使用する場合、波形バッファは 16 ページ (ページ 0~ページ 15) に分割されます。各ページには 128 の 32 ビット・メモリ領域があります。図 50 にこの配列を示します。

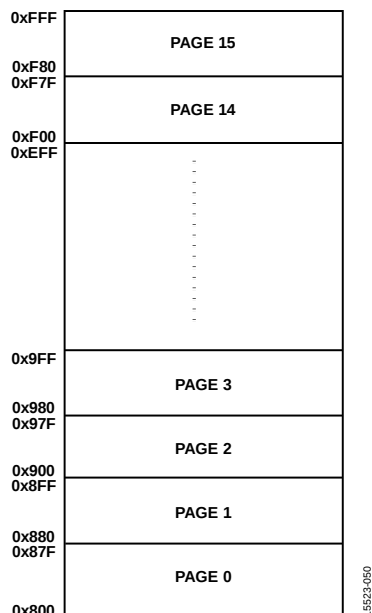


図 50. 波形バッファのページ配列-固定データ・レート・サンプルの場合のみ

波形バッファの満杯表示-固定データ・レート・サンプル

WFB_PG_IRQEN レジスタを使用すると、特定のページがいっぱいになったかどうかをモニタして、次のように 1 ビットでバッファの 1 ページを管理できます。ビット 0 がページ 0 を管理し、ビット 1 がページ 1 を管理します。以下同様です。例えば、WFB_PG_IRQEN のビット 0 とビット 3 をセットすると、ページ 0 の最後のアドレス (0x87F) がいつ書き込まれたか (つまり、ページ 0 がいつフルになったか) と、ページ 3 の最後のアドレス (0x9FF) がいつ書き込まれたか (つまり、ページ 3 がいつフルになったか) の通知を受け取ります。WFB_PG_IRQEN レジスタで有効化されたページがいっぱいになると、STATUS0 レジスタの PAGE_FULL ビットは 1 に設定されます。STATUS0 レジスタの PAGE_FULL ビットをセットすれば、PAGE_FULL ビットがセットされたときに IRQ0 で割込みを生成できます。WFB_TRG_STAT レジスタの WFB_LAST_PAGE ビットは、固定データ・レート・サンプルでの書込み時にどのページが最後に書き込まれたかを示します。

固定データ・レート波形のフィリングとトリガベース・モード

波形バッファでは、次に示す異なる書込みモードを固定データ・レート・サンプルと組み合わせて使用できます。

- バッファがフルになった時点で停止する
- 連続フィリング

ADE9000 では、波形バッファのキャプチャをトリガするイベントを選択できます。また、イベント時に波形バッファの現在のアドレスを保管して、イベントを波形サンプルと同期できるオプションもあります。

以下は、バッファへの書込み (フィリング) が連続しているときにイベントとの関連付けが可能な波形バッファの動作です。

- トリガ時にフィリングを停止する
- トリガ前後の中央で取り込む
- イベントのアドレスを保存してフィリングを維持する

バッファがフルになった時点で停止するモード

バッファがフルになった時点で停止するモードが有効になるのは、WF_CAP_SEL = 1 で、かつ WFB_CFG レジスタの WF_MODE[1:0] ビットが 00 になった場合です。WFB_CFG レジスタの WF_CAP_EN ビットをセットして、アドレス 0x800 からバッファのフィリングを開始します。

ページ 15 のアドレス位置 0xFFFF が書き込まれると、書込み動作は停止します。バッファがフルになったら (つまり、ページ 15 がフルになったら) 通知を受け取るには、WFB_PG_IRQEN レジスタのビット 15 をセットしてからキャプチャを開始します。その後、バッファがフルになると STATUS0 の PAGE_FULL ビットがセットされます。PAGE_FULL ステータスの変更を有効にして、同様に IRQ0 で割込みを生成できます。

次のフィリング動作を実行するには、WFB_CFG レジスタの WF_CAP_EN ビットを 0 にクリアすることによって波形バッファをディスエーブルしてから、同じビットを 1 に設定してもう一度イネーブルします。

連続フィリング・モード

連続フィリング・モードが有効になるのは、WF_CAP_SEL = 1 で、かつ WFB_CONFIG レジスタの WF_MODE[1:0] が 1、2、3 のいずれかである場合です。WFB_CONFIG レジスタの WF_CAP_EN ビットを書き込んで、アドレス 0x800 からバッファのフィリングを開始します。

このモードでは、波形バッファは連続して書き込まれます。バッファ全体がアドレス位置 0xFFFF まで書き込まれると、フィリングはアドレス位置 0x800 から循環式に続行されます。

このモードでは、波形バッファの満杯表示-固定データ・レート・サンプルのセクションで説明したように、STATUS0 レジスタの PAGE_FULL ビットおよび WFB_TRG_STAT レジスタの WFB_LAST_PAGE ビットと組み合わせて WFB_PG_IRQEN レジスタを使用することにより、バッファのフィリング・ステータスをモニタすることが重要です。バッファからのデータの読出しが十分に高速でない場合、データは上書きされます。波形バッファのキャプチャを停止するには、最新の有効なデータを収容するページが分かるように WFB_LAST_PAGE レジスタを読み出してから、WFB_CONFIG レジスタの WF_CAP_EN ビットを 0 にクリアします。

フィリング動作を再開するには、WFB_CONFIG レジスタの WF_CAP_EN ビットがクリアされていない場合は

このビットをクリアすることによって波形バッファをディスエーブルしてから、このビットを 1 に設定してもう一度イネーブルします。

トリガ・イベントに基づいて波形バッファのフィリングを停止する連続フィリング・モードには、トリガ時にフィリングを停止するモードと、トリガ前後の中央キャプチャ・モードという 2 種類があります。これらのモードは、それぞれ **WF_MODE[1:0] = 1** および **2** のときに選択されます（詳細については、トリガ時にフィリングを停止するのセクションとトリガ前後の中央で取り込むのセクションを参照してください）。

トリガ時にフィリングを停止する

WF_CAP_SEL = 1 で、かつ **WF_MODE[1:0]** が **1** のときは、トリガ時にフィリングを停止するモードが選択されます。このモードを使用するのは、対象のイベントに至るまでの ADC サンプルを分析するときです。

このモードでは、波形バッファは連続して書き込まれます。バッファ全体がアドレス位置 **0xFFFF** まで書き込まれると、書き込みはアドレス位置 **0x800** から循環的に続行されます。表 24 に記載のイベントは、トリガ・イベントとして分類されます。有効なトリガ・イベントを受け取ると、ADE9000 は波形バッファのフィリングを停止します。

表 24 に記載されたイベントは、波形バッファがトリガするのと同様に、**WFB_TRG_CFG** レジスタで有効化できます。

表 24. **WFB_TRG_CFG** レジスタでの波形バッファ・トリガ・イベント

ビット番号	ビット名	説明
10	TRIG_FORCE	波形バッファのフィリングを停止するには、このビットをセットしてイベントをトリガします
9	ZXCOMB	ZXCOMB イベント
8	ZXVC	C 相電圧での ZX イベント
7	ZXVB	B 相電圧での ZX イベント
6	ZXVA	A 相電圧での ZX イベント
5	ZXIC	C 相電流での ZX イベント
4	ZXIB	B 相電流での ZX イベント
3	ZXIA	A 相電流での ZX イベント
2	OI	過電流イベント
1	SWELL	スウェル・イベント
0	DIP	ディップ・イベント

WFB_TRG_CFG[10:0] でのトリガ・イベントは、**TRIG_FORCE** ビットを除き、ADE9000 内部での割込みイベントに対応します。**TRIG_FORCE** ビット (**WFB_TRG_CFG[10]**) をセットして、このモードでの波形バッファのフィリングを停止できます。

WFB_TRG_CFG で設定したいいずれかのイベントが発生すると、バッファのフィリングが停止して **STATUS0** レジスタの **WFB_TRIG** ビットがセットされます。これを設定して、**IRQ0** ピンでの割込みを生成できます。最後のサンプル・セットの IN 波形のアドレスは、**WFB_TRG_STAT** レジスタの **WFB_TRIG_ADDR** ビットに格納されます。イベントが発生するとフィリングは停止するので、アドレスが **WFB_TRIG_ADDR** の値より

大きいサンプル・セットには古いデータが入っています。バッファの価値があるサンプルをイベントの前に取り込んで 込んであったか確認するには、次の手順に従います。

1. 次のようにして、トリガ時にキャプチャを停止するモードを選択します。**WF_CAP_SEL = 1**、**WF_MODE = 1**。
2. **WFB_TRG_CFG = 0** を書き込んで、すべてのトリガ・イベントを無効にします。
3. **WFB_PQ_IRQEN** レジスタのビット 15 だけをセットし、**STATUS0** レジスタの **PAGE_FULL** ビットを有効にすることにより、最後のページが書き込まれたときに **IRQ0** で割込みを生成できるようにすることで、バッファが一度いっぱいになっていることを確認します。あるいは、割込みを使用する代わりに **LAST_PAGE** レジスタを読み出してかまいません。
4. **WF_CAP_EN = 1** を書き込んで、キャプチャを開始します。
5. バッファがいっぱいになるまで待ちます (**PAGE_FULL** 割込みが発生したときか、**LAST_PAGE = 15** によって通知されます)。
6. バッファがいっぱいになったら、**WFB_TRG_CFG** レジスタの目的の波形バッファ・イベントを有効化し、**STATUS0** の **WFB_TRIG_IRQ** ビットをセットして、そのイベントが発生して波形バッファがフィリングを停止したら割込みを生成するようにします。
7. **WFB_TRIG_IRQ** が発生したら、**WFB_TRIG_ADDR** レジスタを読み出してトリガ・イベントのアドレスを取得します。これは、イベント発生時のサンプル 1～2 個であり、最後の書き込みアドレスです。

WFB_CFG レジスタの **WF_CAP_EN** ビットをクリアすることによって波形バッファをディスエーブルした場合、波形バッファの値は維持されます。ただし、このビットをクリアすると、**LAST_PAGE** と **WFB_TRIG_ADDR** はリセットされます。**LAST_PAGE** レジスタと **WFB_TRIG_ADDR** レジスタを先に読み出してから **WF_CAP_EN = 0** を書き込むようにしてください。

WFB_TRG_CFG レジスタに書き込むことによって、波形バッファをイネーブルする前に、表 24 に示すトリガ・イベントを有効化または無効化する必要があります。その後、トリガ時にフィリングを停止するモードで次のフィリング動作を実行するには、**WFB_CFG** レジスタの **WF_CAP_EN** ビットをクリアすることによって波形バッファをディスエーブルしてから、同じビットを 1 に設定してもう一度イネーブルします。**TRIG_FORCE** ビットをセットしてトリガを強制するようにしていた場合は、次のキャプチャを始める前に (**WF_CAP_EN = 1** を書き込む前に) **WFB_TRG_CFG** レジスタでこのビットをクリアしておく必要があります。

トリガ前後の中央で取り込む

トリガ前後の中央で取り込むモードが有効になるのは、**WF_CAP_SEL = 1** および **WF_MODE[1:0] = 2** のときであり、トリガ時にフィリングを停止するモードと似ています。ただし、トリガ・イベント後に波形バッファがフィリングを停止しない点が異なります。トリガ・イベ

ントの発生後であっても、停止するまでは、次の 1024 の 32 ビット・メモリ領域に対してバッファのフィリングが継続されます。このモードを使用して、イベントの前後でサンプルを分析することを推奨します。トリガ・イベントの詳細については、トリガ時にフィリングを停止するのセクションを参照してください。

トリガ前後の中央で取り込むモードでは、有効化されたトリガ・イベントが発生すると STATUS0 レジスタの WFB_TRIG ビットがセットされ、1024 の追加メモリ領域が書き込まれて波形バッファのフィリングが停止すると STATUS0 レジスタの WFB_TRG_IRQ ビットがセットされます。これらのステータス・ビットを両方とも設定して、IRQ0 ピンで割込みを生成できます。WFB_TRIG_ADDR を使用して、最後に書き込まれたアドレスを次のように計算します。

```
If (WFB_TRIG_ADDR+1024>0xFFFF,
    Last Filled Address = WFB_TRIG_ADDR-1024;
Else
    Last Filled Address = WFB_TRIG_ADDR+1024;
```

バッファの価値があるサンプルをイベントの前に取り込んであったか確認するには、次の手順に従います。

1. 次のようにして、トリガ前後の中央で取り込むモードを選択します。WF_CAP_SEL = 1、WF_MODE = 2。
2. WFB_TRG_CFG = 0 を書き込んで、全てのトリガ・イベントを無効にします。
3. WFB_PQ_IRQEN レジスタのビット 7 だけをセットし、STATUS0 レジスタの PAGE_FULL ビットを有効にすることにより、ページ 7 が書き込まれたときにIRQ0で割込みを生成できるようにすることで、少なくともバッファの半分が書き込まれていることを確認します。あるいは、割込みを使用する代わりに LAST_PAGE レジスタを読み出してもかまいません。
4. WF_CAP_EN = 1 を書き込んで、キャプチャを開始します。
5. バッファがいっぱいになるまで待ちます (PAGE_FULL 割込みが発生したときか、LAST_PAGE = 15 によって通知されます)。
6. バッファがいっぱいになったら、WFB_TRG_CFG レジスタの目的の波形バッファ・イベントを有効化し、STATUS0 レジスタの WFB_TRIG_IRQ ビットをセットして、そのイベントが発生して波形バッファがフィリングを停止したら割込みを生成するようにします。
7. WFB_TRIG_IRQ が発生したら、WFB_TRIG_ADDR レジスタを読み出してトリガ・イベントのアドレスを取得します。これは、イベント発生時のサンプル 1 ~ 2 個です。最後に書き込まれるアドレスは 1024 サンプル後です。

イベントのアドレスを保存してフィリングを維持する

トリガ・イベント発生時に波形バッファのアドレスを記録するには、波形バッファのフィリングがまだ続いているうちに、WF_MODE = 3 を選択してフィリングを続行します。WFB_TRG_CFG レジスタで有効化されているトリガ・イベントが発生すると、STATUS0 レジスタの

WFB_TRIG ビットがセットされます。これを設定して、IRQ0ピンでの割込みを生成できます。WFB_TRIG_STAT レジスタの WFB_TRIG_ADDR ビットを読み出して、イベントの波形バッファ・アドレスを取得します。最初に有効になったトリガ・イベントのアドレスのみが格納され、それ以降のトリガ・イベントは無視されます。

リサンプリング波形

リサンプリングを有効にすると、全 7 チャンネルからのデータが計算されてバッファに格納されます。1 つのサンプル・セットは 1 チャンネルにつき 1 つのサンプル、合計 7 サンプルで構成されており、これらは同じ時点から取り込まれたものです。リサンプリングされた各波形サンプルは 16 ビット幅です。

図 51 に、リサンプリングされた波形がどのようにバッファに格納されるかを示します。全てのサンプル・セットは、図 51 に示すように、スペア・セルを使用することにより、メモリ内部で隣接サンプル・セットと分離されています。これらのスペア・セルにはサンプル・データは入っていません。連続した 32 ビット・メモリ領域の各 4 番目の最後に、1 つの 16 ビット・スペア・セルがあります。中性電流チャンネルをディスエーブルすると、IN サンプルが格納されている 16 ビット領域もスペア・セルとして機能します。

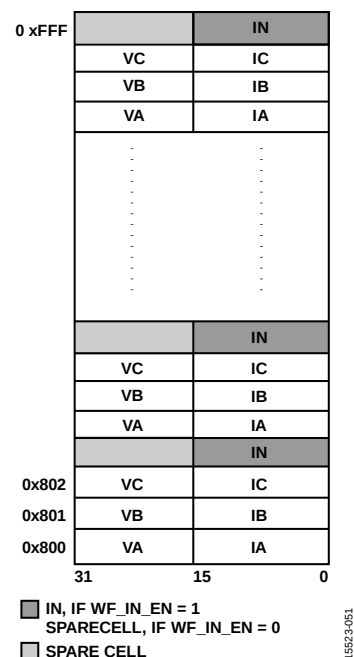


図 51. リサンプリングされた波形サンプルの記憶領域

波形バッファは 2048 の 32 ビット・メモリ領域を収容しており、コヒーレント書き込みモードでは 512 (2048/4) セットのサンプルを保持できます。ADE9000 では、バッファはライン・サイクルあたり 128 のリサンプリング点で満たされます。これは、バッファが 4 ライン・サイクル (128×4 = 512) 相当のデータを常に保持できることを意味します。ライン周波数が 50Hz の場合、バッファは 80ms 相当のリサンプリング・データを収容します。

リサンプリング波形を使って波形バッファのフィリングを開始するには、まず **WF_CAP_EN** ビットをクリアして波形バッファをディスエーブルします。次に、**WFB_CFG** レジスタの **WF_CAP_SEL** ビットをクリアして、波形バッファに格納するリサンプリング・データを選択します。最後に、**WF_CAP_EN** ビットをセットして、リサンプリング処理を開始します。波形バッファは、その先頭のアドレス位置 **0x800** からフィリングを開始します。波形バッファがいっぱいになると、**STATUS0** の **COH_WFB_FULL** ビットはハイになり、**IRQ0**での割込みを生成できます。これはリサンプリング波形に対して使用できる唯一のステータス・ビットであることに注意してください。波形バッファのフィリングが停止します。新しい一連のリサンプリング・データを取得するには、まず **WFB_CFG** レジスタの **WF_CAP_EN** ビットを **0** にクリアしてから、このビットを **1** に戻します。バッファを満たすのに必要な時間は、ライン周波数に依存します。**WFB_CFG** レジスタの **WF_CAP_EN** ビットをクリアすることによって波形バッファをディスエーブルした場合でも、波形バッファの値は保持されます。

波形バッファの設定

波形ソース (**sinc4**、**sinc4 + IIR**、**xI_PCF/xV_PCF**、またはリサンプリング)、キャプチャの種類 (連続、シングル・キャプチャ、またはトリガ時に停止)、および書き込みモード (連続、1 回、またはトリガ・ベース) を **WFB_CFG** レジスタで設定する必要があります。この設定を実行するには、まず **WF_CAP_EN = 0** を書き込んで、波形バッファをディスエーブルします。次に、**WFB_CFG** レジスタの **WF_SRC**、**WF_CAP_SEL**、および **WF_MODE** ビットを書き込みます。

WF_CAP_EN ビットがセットされると、**WFB_CFG** レジスタの **WF_CAP_SEL** ビットと **WF_MODE** ビットによってどのモードが選択された場合でも、それに基づいてキャプチャが始まります。

例えば、**WF_CAP_SEL = 0** の場合は、リサンプリング波形がバッファに格納されます。**WF_CAP_SEL = 1** の場合は固定データ・レート・サンプルがバッファに格納されます。また、バッファが連続して書き込まれるか 1 度だけ書き込まれるか、およびトリガ・イベントがバッファのフィリングに影響するかどうかを **WF_MODE** ビットで示します。これら全てのビットは、**WFB_CFG** レジスタの **WF_CAP_EN** ビットを書き込む前に設定する必要があります。

WF_CAP_EN ビットをクリアすることによって波形バッファをディスエーブルした場合、波形バッファのデータは有効のままです。ただし、**LAST_ADDR** レジスタと **WFB_TRIG_ADDR** レジスタはリセットされます。

波形のキャプチャを新たに開始するには、**WF_CAP_EN = 0** を書き込んで、波形バッファをディスエーブルします。次に、**WFB_CFG** レジスタに書き込むことにより、**WF_CAP_SEL** ビットと **WF_MODE** ビットを望みどおりに設定します。最後に、**WFB_CFG** レジスタの **WF_CAP_EN** ビットをセットして、キャプチャを開始します。**WF_CAP_EN** ビットがセットされているときは、**WF_CAP_SEL** ビットまたは **WF_MODE** ビットを変更しないでください。

SPI による波形バッファ・サンプルのバースト読出し

波形バッファの内容は、SPI バースト読出しモードを使用して読み出すことができます。SPI バースト読出しモードでは、1 つの SPI コマンド・ヘッダを送信しているときにのみ、データのサンプルを読み出すことができます。**SS**線がローに維持され、**SCLK** クロックが **ADE9000** の **SCLK** ピンに到達している限り、データの転送は継続されます。

SPI バースト読出し機能を使用して目的のデータを簡単に読み出すには、表 25 に示すように、**WFB_CFG** レジスタの **BURST_CHAN** ビットを使用することにより、波形バッファからどのチャンネルのデータを読み出すかを指示できます。

表 25. 波形バッファのバースト読出し

BURST_CHAN[3:0]	Channels to Burst
0000 (default)	All channels
0001	IA and VA
0010	IB and VB
0011	IC and VC
1000	IA
1001	VA
1010	IB
1011	VB
1100	IC
1101	VC
1110	IN if WF_IN_EN = 1 in the WFB_CFG register
1111	Single address read (SPI burst mode is disabled)

固定データ・レート・サンプルとリサンプリング・データの両方に、同じ **BURST_CHAN** オプションがあります。読み出される波形バッファ・サンプルは、**BURST_CHAN** の選択内容と、格納されているデータが固定データ・レート・データかリサンプリング・データかによって異なります。

BURST_CHAN が **1111** ではなく、固定データ・レート・データが波形バッファに格納されている場合は、**WF_CAP_SEL = 1** を設定すると、どのサンプル・セットを読み出すかを決めるときにアドレスの下位 3 ビットがマスクされます。

BURST_CHAN が **1111** ではなく、リサンプリング・データが波形バッファに格納されている場合は、**WF_CAP_SEL = 0** を設定すると、どのサンプル・セットを読み出すかを決めるときにアドレスの下位 2 ビットがマスクされます。

BURST_CHAN が **1111** である場合は、どのアドレスが **CMD_HDR** に書き込まれても読み出されます。

これらの事例を表 26 にまとめています。

表 26. 波形バッファから読み出すときの SPI アドレスの解釈

Capture Type	Address of Sample Set (BURST_CHAN ≠ 1111)	Address of Sample Set (BURST_CHAN = 1111)
Fixed Data Rate Samples (WF_CAP_SEL=1)	ADDR[11:3]	ADDR[11:0]
Resampled Data (WF_CAP_SEL=0)	ADDR[11:2]	ADDR[11:0]

例 1：固定データ・レート・データ、7チャンネルのサンプル

WFB_CFG レジスタの WFB_CAP_SEL = 1、WF_IN_EN = 1、および BURST_CHAN = 0000 は、波形バッファに固定データ・レート・データがあることと、7 チャンネル全てからサンプルを読み出したいことを示しています。アドレス 0x801 を読み出すコマンドが送信されます。これはアドレス 0x800 から始まるサンプル・セットの読出し先として解釈されます。先頭の 32 の SPI クロックがアドレス 0x800 から IA を返し、次にアドレス 0x801 から VA を返し、以下同様にしてアドレス 0x806 から IN を返すまで続きます。その後、サンプル・セットが自動インクリメントして、次のデータはアドレス 0x808 からの IA で、その後に VA が続きます。この例を図 52 に示します。MOSI ピンのデフォルトの状態は、マスタ SPI デバイスにより異なります。図 52 では、ハイ（ロジック 1）であると仮定しています。

例 2：リサンプリング・データ、C 相 (I と V のサンプル)

WFB_CFG レジスタの WFB_CAP_SEL = 0 および BURST_CHAN = 0011 は、波形バッファにリサンプリング・データがあることと、IC と VC のサンプルを読み出したいことを示しています。アドレス 0x801 を読み出すコマンドが送信されます。これはアドレス 0x800 から始まるサンプル・セットの読出し先として解釈されます。アドレス 0x802 からの VC 波形がまず転送され、次にアドレス 0x802 からの IC が続きます。その後、サンプル・セットが自動インクリメントして、次のデータはアドレス 0x806 からの VC で、その後に同じアドレスからの IC が続き、更にアドレス 0x80A からの VC とアドレス 0x80A からの IC が続き、以下同様です（図 53 参照）。MOSI ピンのデフォルトの状態は、マスタ SPI デバイスにより異なります。図 53 では、ハイ（ロジック 1）であると仮定しています。

例 3：固定データ・レート・データ、シングル・アドレス読出しモード

WFB_CFG レジスタの WFB_CAP_SEL = 1 および BURST_CHAN = 1111 は、波形バッファに固定データ・レート・データがあることと、1 つのシングル・アドレスを読み出したいことを示しています。アドレス 0x801 を読み出すコマンドが送信されます。これはアドレス 0x801 の読出し先として解釈されます。BURST_EN = 0 の場合は、アドレス 0x801 から VA 波形が転送され、その後 CRC が続きます。BURST_EN = 1 の場合は、アドレス 0x801 からの VA 波形データが再度繰り返されます。この例を図 54 に示します。MOSI ピンのデフォルトの状態は、マスタ SPI デバイスにより異なります。図 54 では、ハイ（ロジック 1）であると仮定しています。CS 線がローに維持され、SCLK クロックが ADE9000 の SCLK ピンに到達している限り、データの転送は継続されます。

例 4：リサンプリング・データ、シングル・アドレス読出しモード

WFB_CFG レジスタの WFB_CAP_SEL = 0 および BURST_CHAN = 1111 は、波形バッファにリサンプリング・データがあることと、1 つのシングル・アドレスを読み出したいことを示しています。アドレス 0x801 を読み出すコマンドが送信されます。これはアドレス 0x801 の読出し先として解釈されます。BURST_EN = 0 の場合は、先頭の 16 の SPI クロックがアドレス 0x801 から VA 波形を返し、次にアドレス 0x801 から IA 波形を返して、最後に CRC を返します。BURST_EN = 1 の場合は、アドレス 0x801 からの VA および IA 波形データが再度繰り返されます（図 55 参照）。

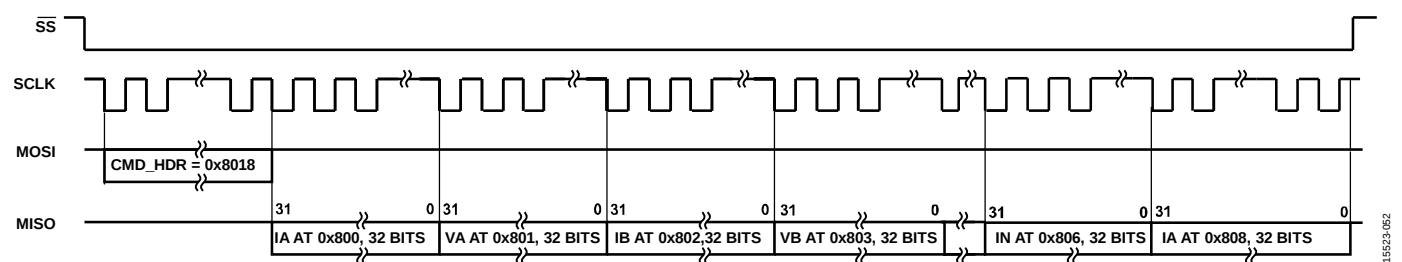


図 52. 固定データ・レート・サンプルの波形バッファ SPI バースト読出し、BURST_CHAN = 0 で、全チャンネルを読み出す場合

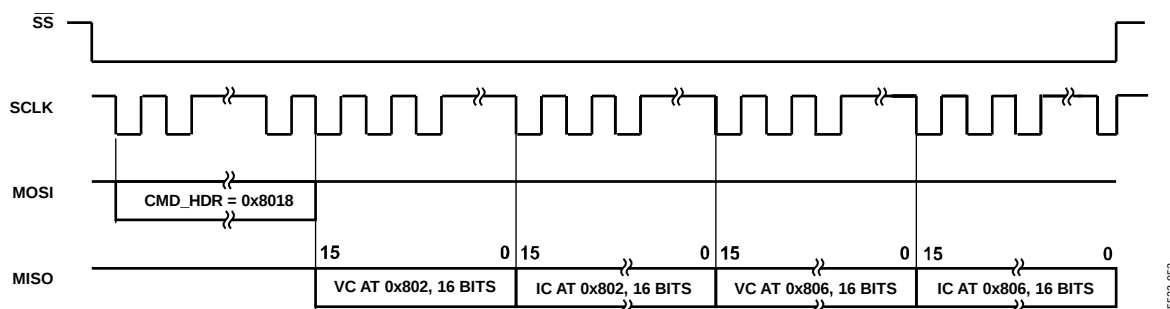


図 53. リサンプリング・データの波形バッファ SPI バースト読出し、BURST_CHAN = 0011 で、IC と VC のデータを読み出す場合

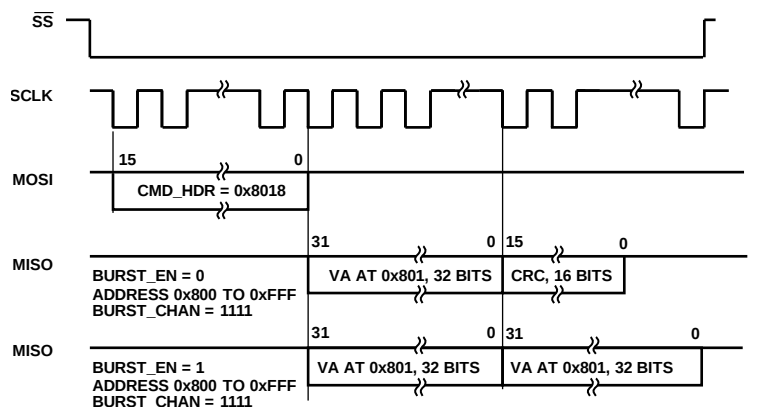


図 54. 固定レート・データの波形バッファ SPI シングル・アドレス読み出し、BURST_CHAN = 1111

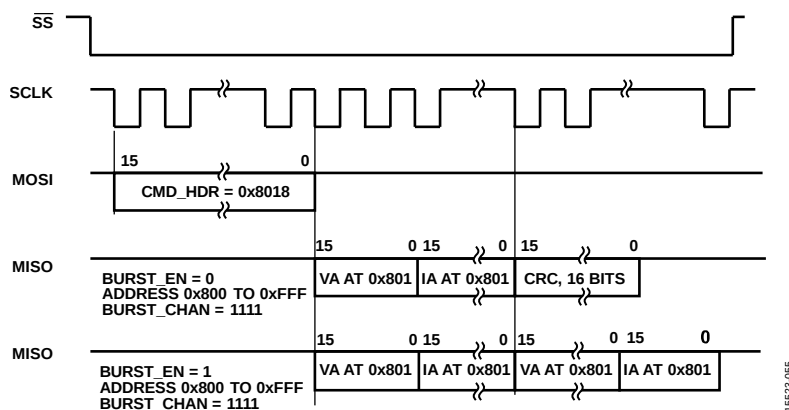


図 55. リサンプリング・データの波形バッファ SPI シングル・アドレス読み出し、BURST_CHAN = 1111

波形バッファから読み出すときの SPI CRC

WF_CAP_SEL = 1 を設定して固定データ・レート・サンプルを読み出す場合、波形バッファから読み出されたデータには計算済みの CRC があります。これは CRC_SPI レジスタに格納され、波形バッファのバースト読み出し後に読み戻すことができます。

シングル・アドレスの波形バッファ・データを読み出す場合は、図 54 に示すように、CRC_SPI は計算されて、32 ビット・データの後に追加されます。

波形バッファからリサンプリング・データを読み出す場合、WF_CAP_SEL = 0 にすると、SPI_CRC_RSLT レジスタは更新されません。波形バッファをもう一度読み出して、SPI 読み出しデータの完全性をチェックしてください。

波形バッファから読み出すときの SPI 最終データ・レジスタ

BURST_CHAN = 1111 の場合、LAST_DATA_32 レジスタが更新されるのは、その 32 ビット波形バッファ領域の値を使用して波形バッファのサンプルを読み出した後です。

BURST_CHAN が 1111 でない場合は、波形バッファのサンプルを読み出すときに LAST_DATA_32 レジスタが更新されないことに注意してください。

割込み／EVENT

ADE9000 には $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、および $\text{CF4}/\overline{\text{EVENT}}/\text{DREADY}$ の 3 つのピンがあり、ホスト・プロセッサへの割込みとして使用できます。 $\overline{\text{IRQ0}}$ ピンと $\overline{\text{IRQ1}}$ ピンは、イネーブルされた割込みが発生するとローになり、それぞれ STATUS0 レジスタと STATUS1 レジスタの対応ステータス・ビットをセットすることによってそのイベントがアクノレッジされるまで、ローのままになります。 $\overline{\text{EVENT}}$ 機能は、 $\text{CF4}/\overline{\text{EVENT}}/\text{DREADY}$ ピンの CF4 および DREADY オプションとマルチプレクスされます。この機能は、イネーブルされた信号の状態をトラックし、これらの内部信号によってローおよびハイになります。 $\overline{\text{EVENT}}$ 機能は、ディップやスウェルなど、イベントの持続時間を外部から測定するのに役立ちます。

割込み ($\overline{\text{IRQ0}}$ および $\overline{\text{IRQ1}}$)

$\overline{\text{IRQ0}}$ ピンと $\overline{\text{IRQ1}}$ ピンは、32 ビットの割込みマスク・レジスタ (MASK0 および MASK1) によってそれぞれ管理されます。割込みを生成できる各イベントには、 MASK0 レジスタまたは MASK1 レジスタおよび STATUS0 レジスタまたは STATUS1 レジスタに対応するビットがあります。

割込みを有効にするには、 MASK0 レジスタまたは MASK1 レジスタの対応するビットを 1 に設定します。割込みを無効にするには、 MASK0 レジスタまたは MASK1 レジスタの対応するビットをクリアして 0 にする必要があります。

STATUS0 レジスタおよび STATUS1 レジスタは、割込みを生成できるイベントが発生したかどうかを示します。 MASK0 レジスタまたは MASK1 レジスタの対応するビットがセットされると、対応する $\overline{\text{IRQ0}}$ ピンまたは $\overline{\text{IRQ1}}$ ピンで割込みが生成され、そのピンはローになります。

割込みの原因を突き止めるには、対応する STATUS0 レジスタまたは STATUS1 レジスタを読み出して、どの割込み可能ビットが 1 に設定されているかを特定します。イベントに対するアクノレッジを返して STATUSx レジスタのビットをクリアするには、目的のビット位置を 1 に設定して、 STATUSx レジスタに書き込みます。その結果、対応する $\overline{\text{IRQ0}}$ ピンまたは $\overline{\text{IRQ1}}$ ピンはハイになります。

例えば、A 相の電圧入力でゼロ交差が生じて MASK1 レジスタの ZXVA ビットがセットされると、 $\overline{\text{IRQ1}}$ ピンはローになり、割込み可能イベントが発生したことを示します。イベントに対するアクノレッジを返すため、 STATUS1 レジスタの ZXVA ビットに 1 を書き込みます。その結果、 $\overline{\text{IRQ1}}$ ピンがローになります。 ZXVA STATUS1 ビットは、 MASK1 の ZXVA ビットが有効であるかどうかに関係なくセットされます。

マスクできない割込みがいくつかあります。マスクできないとは、 MASKx レジスタの対応するビットが 0 の場合でも割込みが生成されるという意味です。これらのマスクできない割込みには、 RSTDONE や ERROR0 があります。

2 つのピン $\overline{\text{IRQ0}}$ および $\overline{\text{IRQ1}}$ を使用する代わりに、全ての割込みを 1 つの割込みピン $\overline{\text{IRQ1}}$ にまとめるオプションがあります。このオプションを有効にするには、 CONFIG1 レジスタの IRQ0_ON_IRQ1 ビットをセットします。このモードの間、 $\overline{\text{IRQ0}}$ ピンは割込み可能な $\overline{\text{IRQ0}}$ イベントを継続して示し、 $\overline{\text{IRQ1}}$ は $\overline{\text{IRQ1}}$ と $\overline{\text{IRQ0}}$ の両方のイベントを示すことに注意してください。

個々の割込み原因の意味は、データシートの関連のセクションに記載されています。詳細については、ADE9000 データシートのこれらのセクションを参照してください。

EVENT

$\overline{\text{EVENT}}$ 機能は、 $\text{CF4}/\overline{\text{EVENT}}/\text{DREADY}$ ピンの CF4 および DREADY とマルチプレクスされます。 $\overline{\text{EVENT}}$ 機能をこのピンに出力できるようにするには、 CONFIG1 レジスタで $\text{CF4_CFG} = 10$ を書き込みます。

$\overline{\text{EVENT}}$ ピンに組み込むことが可能で、 EVENT_MASK レジスタで選択する 16 の信号があります。これら全てのイベント・ソースはマスク可能であり、デフォルトでは無効になっています。

$\overline{\text{EVENT}}$ 出力のロジック・レベルは割込み可能イベントのみに依存しており、変更することはできません。 EVENT_MASK レジスタの対応するマスク・ビットを 1 に設定して、16 イベント全てを割込み可能にした場合、いずれかの割込み可能イベントが発生すると $\overline{\text{EVENT}}$ ピンは必ずローになり、全ての割込み可能信号がハイになるまでローのまま推移します。その後、 $\overline{\text{EVENT}}$ ピンはハイになります。 $\overline{\text{EVENT}}$ を生成するのに使用されるステータス・ソースはラッチされないことに注意してください。1 つのイベント・ソースを選択した場合、 $\overline{\text{EVENT}}$ ピンはそのソースのステータスをトラックします。

追加レジスタのステータス・ビット

いくつかの割込みは他のステータス・レジスタと組み合わせて使用されます。

過電流

MASK1 レジスタの OI ビットは、 OISTATUS レジスタの OIPHASE ステータス・ビットと連携して機能します。

無負荷

MASK1 レジスタの VAFNOLOAD 、 RFNOLOAD 、 AFNOLOAD 、 VANLOAD 、 RNLOAD 、および ANLOAD ビットは、 PHNOLOAD レジスタの追加のステータス・ビットと連携して機能します。

MASK0 レジスタの REVAPx 、 REVRPx 、および REVPSUMx ビットは、 PHSIGN レジスタのステータス・ビットと連携して機能します。

STATUSx レジスタの対応するビットがセットされたら、追加のレジスタを読み出して詳細な情報を取得します。

様々な電力量計構成への ADE9000 の応用

多相システムの電圧波形と電流波形は、以下の式で定義されます。

$$v_a(t) = \sqrt{2} \sin(\omega t)$$

$$v_b(t) = \sqrt{2} \sin(\omega t - 120^\circ)$$

$$v_c(t) = \sqrt{2} \sin(\omega t + 120^\circ)$$

$$i_a(t) = \sqrt{2} \sin(\omega t - \theta)$$

$$i_b(t) = \sqrt{2} \sin(\omega t - \theta - 120^\circ)$$

$$i_c(t) = \sqrt{2} \sin(\omega t - \theta + 120^\circ)$$

これらの信号が互いにどのように関連するかを理解するには、遅れ位相角を使用する規則に従ってフェーザ図を作成します。図 56 に、多相電力量計の一般的な構成である 4 線式 Y 結線を、前出の式で定義した v_a 、 v_b 、および v_c を加えて示します。B 相は A 相より 120° 遅れており、C 相は A 相より 240° 遅れています。電流は力率 1 (PF = 1) のときを示し、 i_a 、 i_b 、および i_c の式 (前出) では $\theta = 0$ であり、電流と電圧の位相は揃っています。

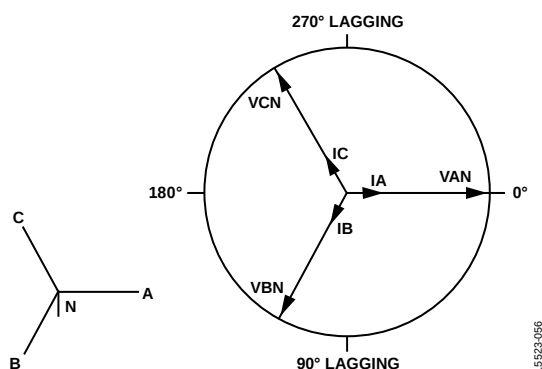


図 56. 4 線式 Y 結線サービスのベクトル図

以下の図は、電力量計の一般的な構成 (3 線式 Δ 結線、4 線式 Δ 結線、3 線式住宅用、および 3 線式回路) を示しています。また、ADE9000 は複数の単相回路も測定できます。

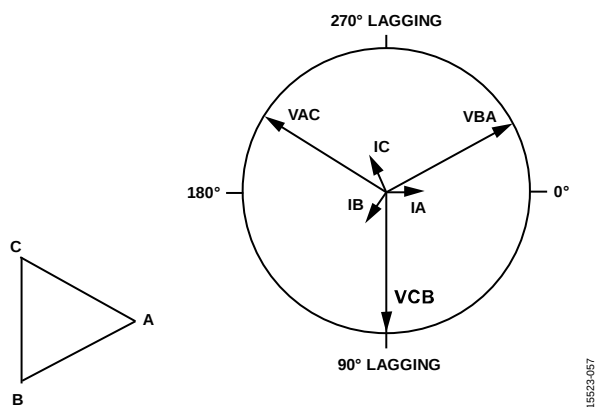


図 57. 3 線式 Δ 結線サービスのベクトル図

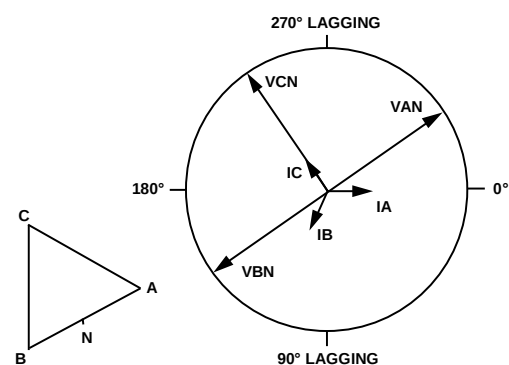


図 58. 4 線式 Δ 結線サービスのベクトル図

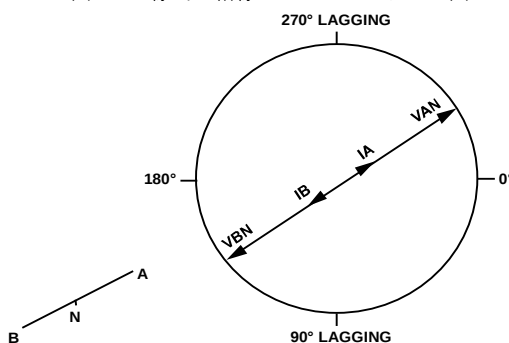


図 59. 3 線式住宅用 1PH サービスのベクトル図

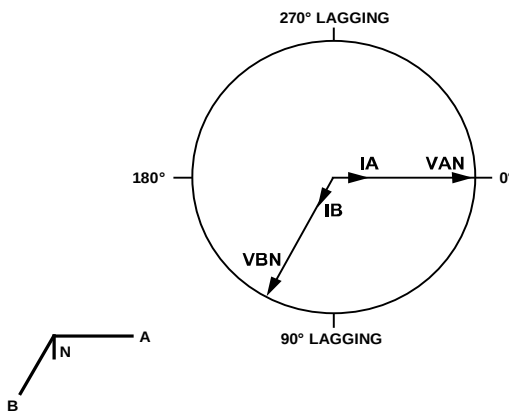


図 60. 3 線式回路メータのベクトル図

フェーザ図は、電圧と電流が時間とどのように関連するかを理解するのに役立ちます。図 61 に、4 線式 Y 結線の時間上の電圧相シーケンスを示します。これは図 56 のフェーザ図と、前述した v_a 、 v_b 、および v_c の式に対応しています。

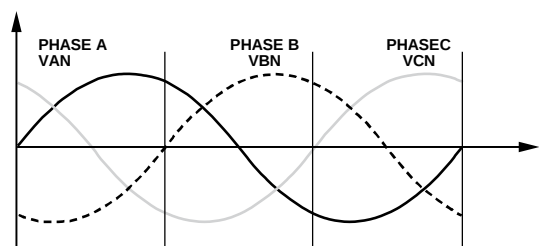


図 61. 4 線式 Y 結線、時間上の電圧相シーケンス

ブロンデル非準拠メータ

ブロンデルの定理では、1つのメータに $n - 1$ 個の測定素子が必要であると述べています。ここで、 n は電力系統の電線の数です。このように、ブロンデル準拠の 4 線式 Y 結線または 4 線式 Δ 結線では、3 つの電圧と 3 つの電流を測定します。3 線式 Δ 結線サービスでは、ブロンデルに準拠するには 2 つ以上の電圧と 2 つ以上の電流を測定する必要があります。

IEC メータの形式は、全てブロンデル準拠です。ANSI

には、ブロンデルに準拠していない（つまり、測定素子が $n - 1$ 個より少ない）メータ形式がいくつかあります。そのため、4 線式 Y 結線または 4 線式 Δ 結線では、2 つの電圧と 3 つの電流が測定されます。ADE9000 には、ブロンデル非準拠メータの形式に対処する備えがあります。ACCMODE レジスタの VCONSEL[2:0] ビットを使用し、VB に対して使用する計算法を VA 信号および VC 信号に基づいて選択してください。

表 27. ブロンデル非準拠メータの形式

Service Type	Non-Blondel Compliant ANSI Meter Form	VCONSEL[2:0]	VB Calculation
4-Wire Wye, 2 Voltages, 3 Currents	6S, 7S, 14S, 29S, 36S, 46S, 76S	010	$VB = -VA - VC$
4-Wire Delta, 2 Voltages, 3 Currents	8S, 15S, 24S	011	$VB = -VA$

4 線式 Y 結線サービスへの ADE9000 の応用

4 線式 Y 結線サービスを測定するときに最高レベルの性能を得るため、図 62 に示すように、中性線をグラウンドに接続します。この構成では、VCONSEL[2:0] = 000 です。

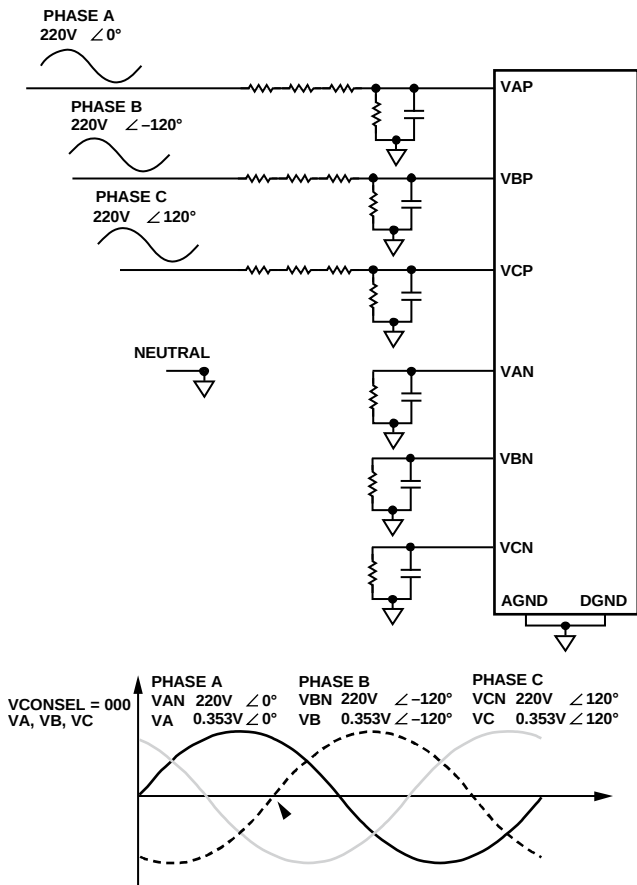


図 62. 4 線式 Y 結線、中性線をグラウンドに接続

あるいは、図 63 に示すように、中性線に直列インピーダンスを使用してもかまいません。こうすると、絶縁型電源を使用する場合に好都合です。相電圧のバランスがとれていない場合、この構成は性能が低いので注意してください。詳細については、AN-1334 を参照してください。この構成では、VCONSEL[2:0] = 000 です。

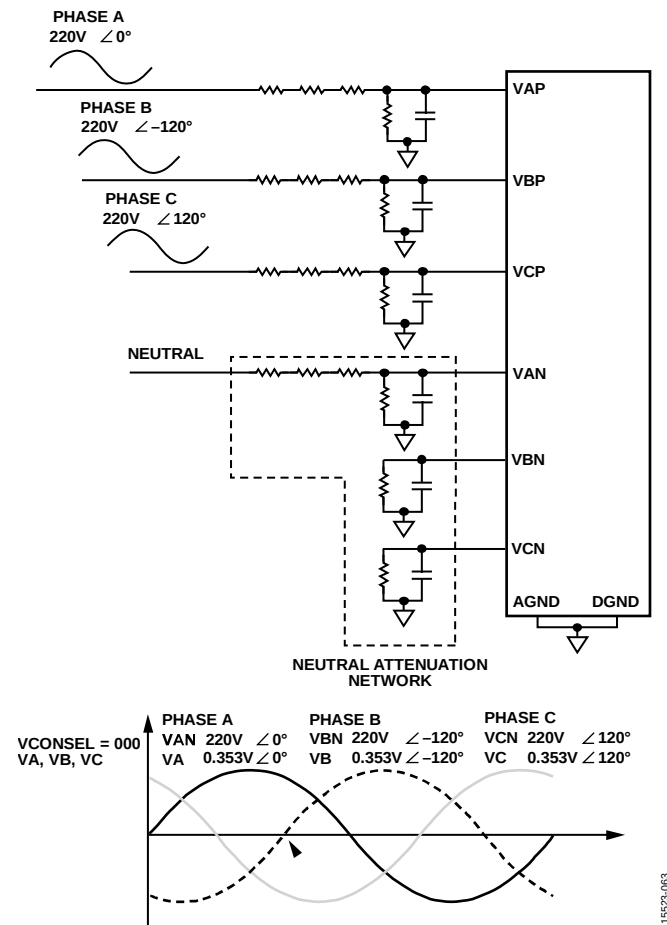


図 63. 4 線式 Y 結線、直列インピーダンスを中性線に使用

予想される ABC のシーケンスに基づいて相シーケンス・エラーの検出が行われます。詳細については、相シーケンス・エラーの検出のセクションを参照してください。

システムの全消費電力（有効、無効、および皮相）を求めるには、A 相、B 相、および C 相の積算値からの寄与分を加算します。

3 線式 Δ 結線サービスへの ADE9000 の応用

3 線式 Δ 結線サービスを測定するときに最高レベルの性能を得るため、図 64 に示すように、B 相をグラウンドに接続します。この構成では、 $VCONSEL[2:0] = 00$ を書き込みます。その結果、 $VB = VA - VC$ となり、ADE9000 は BVRMS レジスタの VAC 電位を計算します。IA と IC の測定値から IB を流れる電流を計算するには、 $IB = -IA - IC$ となるように $ICONSEL = 1$ を設定します。

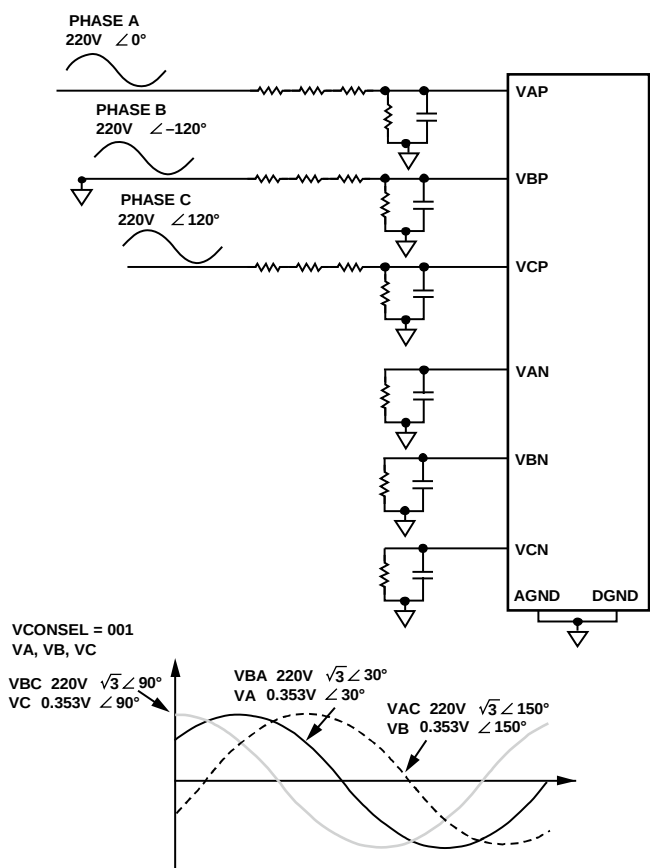


図 64. 3 線式 Δ 結線、B 相をグラウンドに接続

この 3 線式 Δ 結線、B 相をグラウンドに接続する構成では、ADE9000 IC 内部の VA、VC、および VB 波形のフェーザ図（図 65 に示す）が、図 57 に示すサービス図と比べてシフトしていることに注意してください。

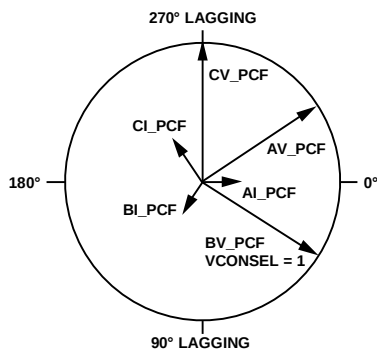


図 65. B 相をグラウンドとして $VCONSEL = 001$ に設定した 3 線式 Δ 結線での IC 内部の xV_PCF 波形と xI_PCF 波形のフェーザ図

4 線式 Y 結線回路と 3 線式 Δ 結線回路の両方に同じ PCB を使用するには、別のオプションとして、B 相をメータの中性端子に配線して、図 62 または図 63 で使用されたのと同じ回路を維持する方法があります。BVRMS レジスタで計算された VAC の実効値を取得して、3 線式 Δ 結線構成に対して正しい相シーケンス検出方法を使用するのが望ましい場合は、 $VCONSEL[2:0]$ を 001 に設定する必要があります。IA と IC の測定値から IB を流れる電流を計算するには、 $IB = -IA - IC$ となるように $ICONSEL = 1$ を設定します。

あるいは、図 66 に示すように、B 相に直列インピーダンスを使用してもかまいません。この構成は、絶縁型電源を使用する場合に好都合です。ただし、相電圧のバランスがとれていない場合、この構成では読出し値が不正確です。VA = VA - VB、VB = VA - VC、および VC = VC - VB となるように、この構成では $VCONSEL[2:0] = 100$ を使用します。IA と IC の測定値から IB を流れる電流を計算するには、 $IB = -IA - IC$ となるように $ICONSEL = 1$ を設定します。

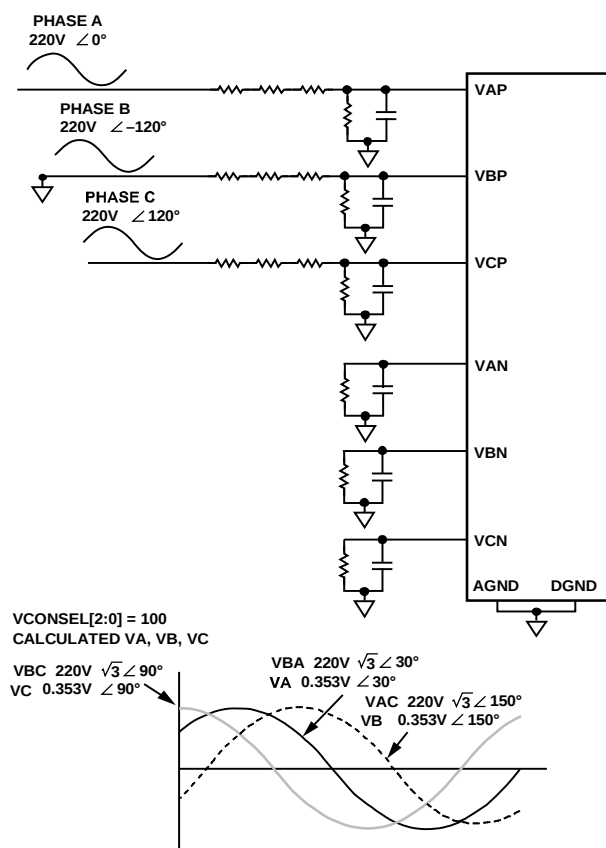


図 66. 3 線式 Δ 結線、B 相に直列インピーダンスを使用して $VCONSEL = 100$ を設定

B 相に直列インピーダンスを使用して $VCONSEL = 100$ を設定した 3 線式 Δ 結線では、ADE9000 内部で計算された VA、VB、および VC 波形のフェーザ図が、図 65 に示すフェーザ図と一致します。

VC の波形の位相が VA より進むと想定して相シーケンス・エラーの検出が行われます。詳細については、相シーケンス・エラーの検出のセクションを参照してください。

ブロンデル準拠の 3 線式 Δ 結線メータでは、システム的全消費電力だけに意味があります。ライン電圧はライン間電圧と掛け合わされるため、個々の相の電力は意味がありません。システム的全消費電力（有効、無効、および皮相）を求めるには、A 相および C 相の積算値からの寄与分を加算します。

ブロンデル非準拠の 4 線式 Y 結線サービスへの ADE9000 の応用

ADE9000 をブロンデル非準拠の 4 線式 Y 結線サービス（ANSI メータ形式 6S、7S、14S、29S、36S、46S、および 76S 向けなど）で使用するには、A 相と C 相の電圧を測定し、B 相の電圧を計算します（ $V_B = -V_A - V_C$ ）。3 相電流全てを測定します。この構成では、VCONSEL[2:0] = 010 を書き込み、図 67 に示すように接続します。

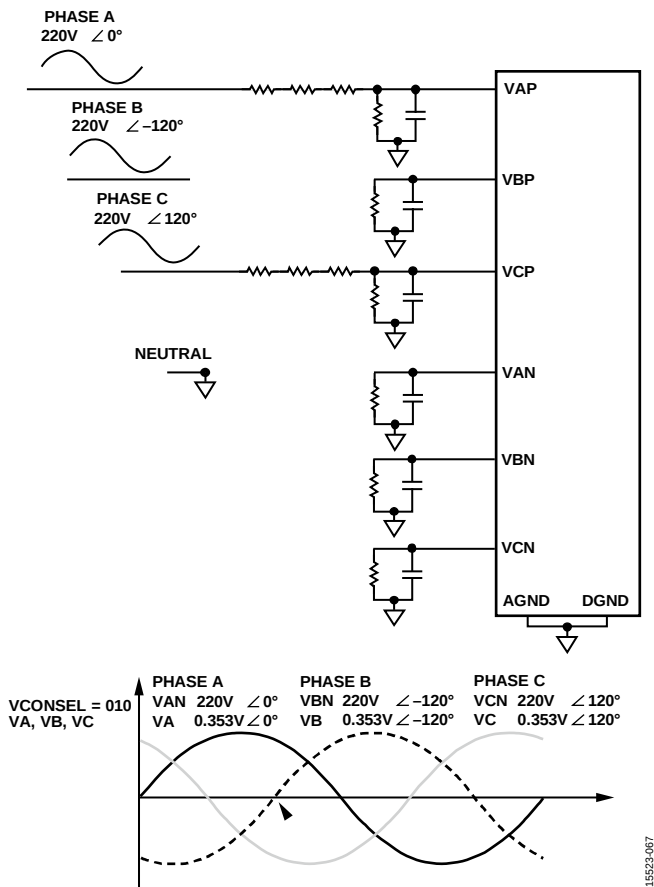


図 67. ブロンデル非準拠の 4 線式 Y 結線

フェーザ図は図 56 に従います。予想される ABC のシーケンスに基づいて相シーケンス・エラーの検出が行われます。詳細については、相シーケンス・エラーの検出のセクションを参照してください。全電力（有効、無効、および皮相）を求めるには、A 相、B 相、および C 相からの寄与分を加算します。

ブロンデル非準拠の 4 線式 Δ 結線サービスへの ADE9000 の応用

ADE9000 をブロンデル非準拠の 4 線式 Δ 結線サービス（ANSI メータ形式 8S、15S、および 24S 向けなど）で使用するには、A 相と C 相の電圧を測定し、B 相の電圧を計算します（ $V_B = -V_A$ ）。3 相電流全てを測定します。この構成では、VCONSEL[2:0] = 011 を書き込み、図 68 に示すように接続します。

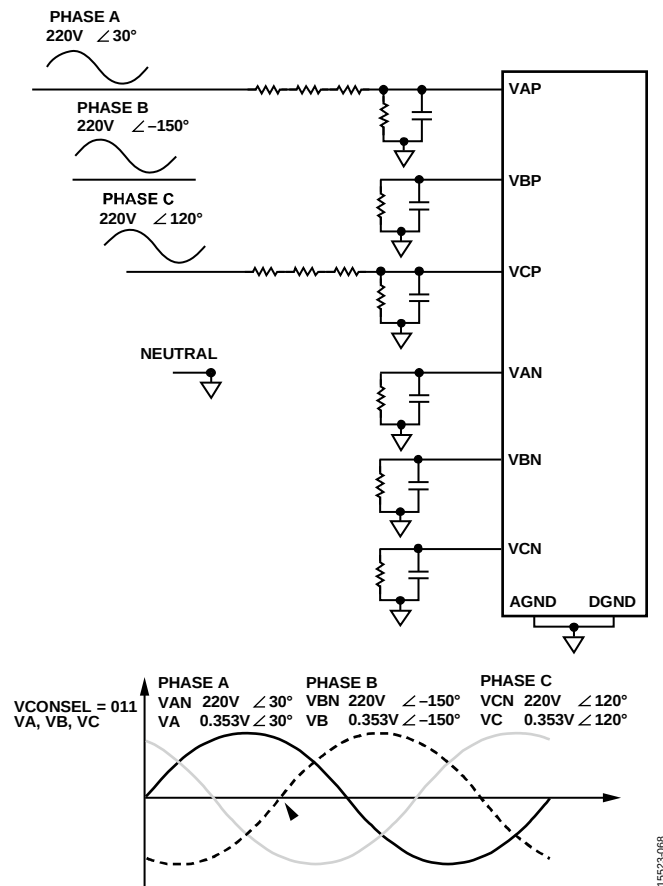


図 68. ブロンデル非準拠の 3 線式 Δ 結線

フェーザ図は図 58 に従います。予想される ABC のシーケンスに基づいて相シーケンス・エラーの検出が行われます。詳細については、相シーケンス・エラーの検出のセクションを参照してください。全電力（有効、無効、および皮相）を求めるには、A 相、B 相、および C 相からの寄与分を加算します。

サービス・タイプまとめ

まとめると、ADE9000 を様々な構成で使用して、4 線式 Y 結線、4 線式 Δ 結線、および 3 線式 Δ 結線の実装回路を測定できます。表 28 に、使用する VCONSEL[2:0] と ICONSEL の設定を構成ごとにまとめて示します。

表 28. サービス・タイプと VCONSEL、ICONSEL 設定のまとめ

サービス・タイプ	ADE9000 のグラウンド・リファレンス	参照用の図	必要な電圧 センサーの数	VCONSEL[2:0]	必要な電流 センサーの数	ICONSEL
4-Wire Wye	Neutral	Figure 62	3	000	3	0
4-Wire Wye	Isolated	Figure 63	3	000	3	0
3-Wire Delta	Phase B	Figure 64; Figure 62 with Phase B tied to neutral	2	001; $VB = VA - VC$	2	0: IB has current sensor 1: $IB = IA - IC$
3-Wire Delta	Isolated	Figure 63 with Phase B tied to neutral	2	001; $VB = VA - VC$	2	0 : IB has current sensor 1: $IB = -IA - IC$
3-Wire Delta	Isolated	Figure 66	2	100; $VA = VA - VB$; $VB = VA - VC$; $VC = VC - VB$	2	0: IB has current sensor 1: $IB = -IA - IC$
4-Wire Delta	Neutral	Figure 62 (note that VA and VB phasor diagram follows Figure 58)	3	000	3	0
4-Wire Wye, Non- Blondel Compliant	Neutral	Figure 67	2	010; $VB = -VA - VC$	3	0
4-Wire Delta, Non-Blondel Compliant	Neutral	Figure 68	2	011; $VB = -VA$	2	0: IB has current sensor 1: $IB = -IA - IC$
3-Wire 1PH	Neutral	Not applicable	1 to 2	000	1 to 2	0
3-Wire Network	Neutral	Not applicable	2	000	2	0
Multiple 1PH Circuits	Neutral	Not applicable	3	000	3	0

クイック・スタート

このセクションでは、3 相、4 線式 Y 結線の測定に合わせて ADE9000 をセットアップする方法について説明します。図 62 に、3 相、4 線式 Y 結線構成の代表的なハードウェア接続を示します。

1. RSTDONE 割込みを待ちます。これは $\overline{\text{IRQ}}$ ピンがローになることによって通知されます。
2. PM1 ピンと PM0 ピンをローに設定することにより、PSM0 通常電源モードを設定します。
3. PGA_GAIN ゲイン・レジスタを使用して、電流チャンネルと電圧チャンネルの PGA ゲインを設定します。全チャンネルのデフォルトのゲインは 1 です。
4. CONFIG0 レジスタの HPFDIS ビットを設定して、ハイパス・フィルタをイネーブル/ディスエーブルします。ハイパス・フィルタはデフォルトでイネーブルされます。ハイパス・フィルタをイネーブル状態に維持することを推奨します。CONFIG2 レジスタの HPF_CRN ビットを使用して、HPF の目的のコーナ周波数を設定します。HPF_CRN のデフォルト値は 6 (1.25Hz) です。
5. ロゴスキー・コイルを電流センサーとして使用する場合は、CONFIG0 レジスタの INTEN ビットと INITEN ビットを使用してデジタル積分器をイネーブルします。カレント・トランスを使用する場合は、積分器をディスエーブルします。デジタル積分器はデフォルトではディスエーブルされています。
 - a. 積分器がイネーブルされている場合は、DICOEFF レジスタを 0xFFFFE000 に設定します。
6. ACCMODE レジスタの SELFREQ ビットを使用して、基本波の予想周波数 (50 Hz : SELFREQ = 0、60 Hz : SELFREQ = 1) を設定し、基本波の計算のため VLEVEL レジスタで公称電圧を設定します。VLEVEL = $X \times 1,144,084$ です。ここで X は、公称信号がフルスケールを基準にしている場合のダイナミック・レンジです。
7. ZX 検出のゼロ交差ソースを設定します。CONFIG0 レジスタで ZX_SRC_SEL = 1 を設定すると、HPF、積分器、および位相補償の前のデータが使用されます。ZX_SRC_SEL = 0 を設定すると、HPF、積分器、および位相補償の後のデータが使用されます。ZX_SRC_SEL = 0 を設定することを推奨します。
8. 3 相、4 線式 Y 結線構成の場合は、ACCMODE レジスタで VCONSEL = 000 を設定します。
9. CF 出力を使用して電力量をモニタする場合は、以下のレジスタを設定します。CF 出力を使用しない場合は、このセクションを飛ばして先に進みます。
 - a. CFMODE レジスタの CFxSEL ビットを設定して、モニタする電力量の種類を選択します。
 - b. COMPMODE レジスタの TERMSELx ビットを設定して、CF の計算に組み込む相を選択します。
 - c. xTHR を 0x00100000 に設定します。
 - d. 目的のインパルス/kWh に基づいて、対応する CFxDEN レジスタを計算して設定します。
 - e. CF_LCFG レジスタを使用して CF パルス幅を設定します。
10. 電力量レジスタを使用して電力量をモニタする場合は、以下のレジスタを設定します。
 - a. ACCMODE レジスタの WATTACC ビットおよび VARACC ビットを設定して、使用可能な積算モード (例えば、符号付き、絶対値、正、または負の積算モード) の中から選択します。デフォルトの積算モードは符号付きです。
 - b. EP_CFG レジスタの NOLOAD_TMR ビットを設定し、ACT_NL_LVL、REACT_NL_LVL、および APP_NL_LVL レベル・レジスタを設定して、無負荷状態を検出し、ノイズの電力量積算を防止します。
 - c. EP_CFG レジスタの EGY_TMR_MODE ビットを設定して、サンプル・ベースの積算 (EGY_TMR_MODE = 0) またはライン・サイクル・ベースの積算 (EGY_TMR_MODE = 1) を選択します。目的のサンプル数またはハーフ・ライン・サイクル数を EGY_TIME レジスタで設定します。
 - d. EP_CFG レジスタの EGY_LD_ACCUM ビットを設定して、EGYRDY に応じて内部電力量レジスタをユーザ電力量レジスタに追加する (EGY_LD_ACCUM = 0) か、ユーザ電力量レジスタを内部電力量レジスタで上書きします (EGY_LD_ACCUM = 1)。
 - e. EP_CFG レジスタの RD_RST_EN ビットを設定して、ユーザ電力量レジスタの読出し時リセットを有効化 (RD_RST_EN = 1) するか、ユーザ電力量レジスタの読出し時リセットを無効化 (RD_RST_EN = 0) します。
11. ADE9000 は、 $\overline{\text{IRQ0}}$ ピンと $\overline{\text{IRQ1}}$ ピンで様々なイベントの割込みを生成できます。MASK0 レジスタまたは MASK1 レジスタと STATUS0 レジスタまたは STATUS1 レジスタは、それぞれの割込みピンを管理します。
12. 電力品質パラメータを設定するには、電力品質の測定のコセクションを参照してください。
13. 波形バッファを設定して使用するには、波形バッファのコセクションを参照してください。
14. RUN レジスタに 1 を設定して DSP をイネーブルし、EP_CFG レジスタの EGY_PWR_EN ビットを 1 に設定して電力量の積算を有効にします。
15. 代表的な動作条件では、キャリブレーションは 1 回実行されます。キャリブレーション値を計算するときは、定数をレジスタに書き込んでから DSP をイネーブルします。
16. ADE9000 の設定変更を防止するため、WR_LOCK レジスタに 0x3C64 を書き込んで書込み保護を有効にします。

キャリブレーション

以下のセクションでは、レジスタの読出し値を使用した ADE9000 のキャリブレーションについて説明します。フルスケールでの予想レジスタ値をリファレンスとして使用します。

表 29. フルスケール時の ADC コード

Parameter	Full-Scale Codes (Decimal)
Total and Fundamental IRMS and VRMS	52,702,092
Total and Fundamental WATT, VAR, and VA	20,694,066
Fast RMS½	52,702,092
10 Cycle RMS/12 Cycle RMS	52,702,092
Resampled Data	18,196

システム・パラメータ

システムは正確なソースを使用して、公称の動作電圧および動作電流で補正されます。キャリブレーションの精度はソースの精度以下です。この例では、チャンネル A のキャリブレーションを示します。チャンネル B およびチャンネル C の場合も計算は同様です。

- $V_{\text{NOMINAL}} = 220\text{Vrms}$
- $I_{\text{NOMINAL}} = 10\text{Arms}$
- ライン周波数 = 50Hz
- カレント・トランス比 = 3000:1
- バーデン抵抗 = 20Ω
- 分圧器 R1 = 990kΩ
- R2 = 1kΩ

電流の伝達関数は $20/3000 = 0.0067\text{Vrms/Arms}$ です。電圧の伝達関数は $1/(900 + 1) = 0.001\text{Vrms/Arms}$ です。電流 ADC ピンの入力値は $0.0067 \times 10 = 0.067\text{Vrms}$ です。電圧 ADC ピンの入力値は $0.001 \times 220 = 0.22\text{Vrms}$ です。ゲイン = 1 での ADC のフルスケール電圧は 0.707Vrms です。フルスケールのパーセンテージとしての公称電流は、 $I_{\text{FSP}} = 0.067/0.707 = 9.47\%$ です。フルスケールのパーセンテージとしての公称電圧は、 $V_{\text{FSP}} = 0.220/0.707 = 31.1\%$ です。

実効値のキャリブレーション

AIGAIN および AVGAIN は、それぞれチャンネル A の電流および電圧のキャリブレーション・レジスタです。公称の電圧および電流入力の場合、AIRMS レジスタおよび AVRMS レジスタを読み出します。精度向上のため、ゼロ交差時に実効値を 1 秒間読み出して、平均を取ることを推奨します。

この例では、AIRMS レジスタの読出し値は 5,294,441 です。

AIRMS レジスタの予想読出し値は、次のとおりです。

$$I_{\text{FSP}} \times \text{full-scale rms codes} = 0.0947 \times 52,702,092 = 4,801,488$$

したがって、予想値に到達するには、以下のゲインを適用する必要があります。

$$\text{GAIN} = \frac{\text{AIRMS}_{\text{EXPECTED}}}{\text{AIRMS}_{\text{MEASURED}}} = \frac{4,801,488}{5,294,441} = 0.907$$

AIGAIN レジスタは次のように計算されます。

$$\text{AIGAIN} = (\text{GAIN} - 1) \times 2^{27} = -12,482,248 = 0\text{xFF418938}$$

AIRMSOS オフセット・レジスタを補正するには、通常は 5000:1 以下のダイナミック・レンジで少量の電流を流します。この例では、オフセット・キャリブレーション電流は 20mA です。

オフセット・キャリブレーション電流を流した後、AIRMS レジスタの読出し値は 70,431 になります。AIRMS レジスタの予想読出し値は、次のとおりです。

$$I_{\text{calibrationFSP}} \times \text{Full-Scale RMS Codes} = 0.0002 \times 52,702,092 = 10,540$$

AIRMSOS レジスタは次のように計算されます。

$$\begin{aligned} \text{AIRMSOS} &= \frac{\text{AIRMS}_{\text{EXPECTED}}^2 - \text{AIRMS}_{\text{MEASURED}}^2}{2^{15}} \\ &= \frac{10,540^2 - 70,431^2}{2^{15}} = -147,992 = 0\text{xFFFFDBDE8} \end{aligned}$$

同様の手順に従って、キャリブレーション定数 AVGAIN および AVRMSOS を求めます。

位相のキャリブレーション

APHCAL0 は、チャンネル A の位相キャリブレーション・レジスタです。

APHCAL0 を計算するには、有効電力量レジスタと無効電力量レジスタが正になるように、遅れ力率 0.5 で公称電流を流して公称電圧を印加します。この例では、電力量レジスタは EP_CFG = 0x0011 および EGY_TIME = 7999 (1 秒の積算) となるように設定します。

AWATTTHR_HI レジスタと AVARHR_HI レジスタを読み出します。

$$\begin{aligned} \text{Phase Error } (\varphi) &= -\tan^{-1} \left(\frac{\text{AWATTTHR_HI} \times \sin(60) - \text{AVARHR_HI} \times \cos(60)}{\text{AWATTTHR_HI} \times \cos(60) + \text{AVARHR_HI} \times \sin(60)} \right) \\ &= -\tan^{-1} \left(\frac{10356 \times \sin(60) - 17585 \times \cos(60)}{10356 \cos(60) + 17585 \times \sin(60)} \right) = -0.49^\circ \end{aligned}$$

したがって、位相キャリブレーション・レジスタは次のようになります。

$$\begin{aligned} \text{APHCAL0} &= \left(\frac{\sin(\varphi - \omega) + \sin \omega}{\sin(2 \times \omega - \varphi)} \right) \times 2^{27} \\ &= \left(\frac{\sin(\text{RADIAN}(-0.49) - 0.039) + \sin(0.039)}{\sin(2 \times 0.039 - \text{RADIAN}(-0.49))} \right) \times 2^{27} \\ &= -13265997 = 0\text{xFF3593B3} \end{aligned}$$

$$\text{APHCAL0} = 0\text{xFF3593B3}$$

同様の手順に従って、キャリブレーション定数 BPHCAL0 および CPHCAL0 を求めます。

電力のキャリブレーション

APGAIN は A 相のゲイン・キャリブレーション・レジスタです。各相の有効、無効、および皮相電力には、共通のゲイン・レジスタと個別のオフセット・キャリブレーション・レジスタがあります。

1. 力率 = 1 で公称電圧を印加して公称電流を流します。
2. EP_CFG = 0x0011 および EGY_TIME = 7999 (1 秒の積算) を設定します。
3. AWATTHR_HI レジスタを読み出します。
4. APGAIN レジスタの値は次のように求めます。

$$APGAIN = \frac{AWATTHR_HI_{EXPECTED} - AWATTHR_HI_{MEASURED}}{AWATTHR_HI_{MEASURED}} \times 2^{27}$$

$$\begin{aligned} AWATTHR_HI_{EXPECTED} &= I_{FSP} \times V_{FSP} \times \text{Full-Scale Power Codes} \times \\ &\quad \text{Accumulation Time} \times 8000 \times 2^{-13} \\ &= 0.0947 \times 0.311 \times 20,694,066 \times 1 \text{ sec} \times 8000 \times 2^{-13} \\ &= 595,191 \end{aligned}$$

AWATTHR_HI_MEASURED = 580,000 とすると、次のようになります。

$$APGAIN = \frac{595,191 - 580,000}{580,000} \times 2^{27} = 3515347 = 0x35A3D3$$

実効値のオフセット・キャリブレーションと同様に、5000:1 以下のダイナミック・レンジで少量の電流を流して、電力のオフセット・キャリブレーションを実行します。この例では、オフセット・キャリブレーション電流は 20mA であり、オフセット・キャリブレーション電圧は 220V です。

1. 力率 = 1 で公称電圧を印加してオフセット・キャリブレーション電流を流します。
2. EP_CFG = 0x0013 および EGY_TIME = 1000 (10 秒の積算) を設定します。
3. AWATTHR_HI レジスタを読み出します。
4. AWATTOS は次のように計算します。

$$AWATTOS = \frac{AWATTHR_HI_{EXPECTED} - AWATTHR_HI_{MEASURED}}{\text{Accumulation Time} \times f_{DSP} \times 2^{-13}}$$

$$\begin{aligned} AWATTHR_HI_{EXPECTED} &= I_{calibrationFSP} \times V_{FSP} \times \text{Full-Scale Power Codes} \times \\ &\quad \text{Accumulation Time} \times 8000 \times 2^{-13} \\ &= 0.0002 \times 0.311 \times 20,694,066 \times 10 \text{ sec} \times 8000 \times 2^{-13} \\ &= 12570 \end{aligned}$$

$$AWATTOS = \frac{12570 - 11,000}{10 \times 8000 \times 2^{-13}} = 161 = 0xA1$$

5. AVAROS を計算するには、力率 = 0 で公称電圧を印加してオフセット・キャリブレーション電流を流します。

同様の手順に従って、BPGAIN、BWATTOS、BVAROS、CPGAIN、CWATTOS、および CVAROS を求めます。

変換定数

変換定数は、ADE9000 のレジスタ読出し値を物理的パラメータに変換するために使用します。表 29 に示すフルスケールの ADC コードにデバイスを補正した場合、システム例の変換定数は次のように計算されます。

$$\begin{aligned} \text{Current Conversion Constant} \left(\frac{\mu\text{Arms}}{\text{LSB}} \right) &= \frac{I_{nominal} \times 10^6}{I_{FSP} \times \text{Full-scale RMS codes}} \\ &= \frac{10 \times 10^6}{0.0947 \times 52,702,092} \\ &= 2.0036 \mu\text{Arms/LSB} \end{aligned}$$

$$\begin{aligned} \text{Voltage Conversion Constant} \left(\frac{\mu\text{Vrms}}{\text{LSB}} \right) &= \frac{V_{nominal} \times 10^6}{V_{FSP} \times \text{Full-scale RMS codes}} \\ &= \frac{220 \times 10^6}{0.311 \times 52,702,092} \\ &= 13.4225 \mu\text{Vrms/LSB} \end{aligned}$$

$$\begin{aligned} \text{Power Conversion Constant} \left(\frac{\text{mWATT/mVAR/mVA}}{\text{LSB}} \right) &= \frac{I_{nominal} \times V_{nominal} \times 10^3}{I_{FSP} \times V_{FSP} \times \text{Full-scale RMS codes}} \\ &= \frac{10 \times 220 \times 10^3}{0.0947 \times 0.311 \times 20,694,066} \\ &= 3.6097 (\text{mWATT/mVAR/mVA})/\text{LSB} \end{aligned}$$

$$\begin{aligned} \text{Energy Conversion Constant} \left(\frac{\mu\text{WATTHr}/\mu\text{VARHr}/\mu\text{VAHr}}{\text{LSB}} \right) &= \frac{I_{nominal} \times V_{nominal} \times 10^6}{I_{FSP} \times V_{FSP} \times \text{Full-scale RMS codes} \times 2^{-13} \times 3600} \\ &= \frac{10 \times 220 \times 10^6}{0.0947 \times 0.311 \times 20,694,066 \times 2^{-13} \times 3600} \\ &= 1.0268 (\mu\text{WATTHr}/\mu\text{VARHr}/\mu\text{VAHr})/\text{LSB} \end{aligned}$$

物理的パラメータは、レジスタの読出し値とそれぞれの変換定数を掛け合わせることで求めます。

例えば、AIRMS レジスタの読出し値が 10,540,400 (10 進コード) の場合は、次のようになります。

$$\begin{aligned} \text{Phase A rms current (A rms)} &= 2.0036 \mu\text{A rms/LSB} \times 10,540,400 \\ &= 21.12 \text{ A rms} \end{aligned}$$

レジスタの情報

表 30. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x000	AIGAIN	A 相電流のゲイン調整。	0x00000000	R/W
0x001	AIGAIN0	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0～AIGAIN5 が適用されます。	0x00000000	R/W
0x002	AIGAIN1	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0～AIGAIN5 が適用されます。	0x00000000	R/W
0x003	AIGAIN2	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0～AIGAIN5 が適用されます。	0x00000000	R/W
0x004	AIGAIN3	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0～AIGAIN5 が適用されます。	0x00000000	R/W
0x005	AIGAIN4	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0～AIGAIN5 が適用されます。	0x00000000	R/W
0x006	APHCAL0	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x007	APHCAL1	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x008	APHCAL2	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x009	APHCAL3	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x00A	APHCAL4	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x00B	AVGAIN	A 相電圧のゲイン調整。	0x00000000	R/W
0x00C	AIRMSOS	フィルタベース AIRMS 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x00D	AVRMSOS	フィルタベース AVRMS 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x00E	APGAIN	AWATT、AVA、AFWATT、AFVA、および AFVAR 計算のための A 相パワー・ゲイン調整。	0x00000000	R/W
0x00F	AWATTOS	AWATT 計算のための A 相総合有効電力オフセット補正。	0x00000000	R/W
0x010	AVAROS	AVAR 計算のための A 相総合無効電力オフセット補正。	0x00000000	R/W
0x011	AFWATTOS	AFWATT 計算のための A 相基本波有効電力オフセット補正。	0x00000000	R/W

アドレス	名前	説明	リセット	アクセス
0x012	AFVAROS	AFVAR 計算のための A 相基本波無効電力オフセット補正。	0x00000000	R/W
0x013	AIFRMSOS	基本波電流実効値 AIFRMS 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x014	AVFRMSOS	基本波電圧実効値 AVFRMS 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x015	AVRMSONEOS	高速 RMS $\frac{1}{2}$ AVRMSONE 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x016	AIRMSONEOS	高速 RMS $\frac{1}{2}$ AIRMSONE 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x017	AVRMS1012OS	10 サイクル実効値/12 サイクル実効値 AVRMS1012 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x018	AIRMS1012OS	10 サイクル実効値/12 サイクル実効値 AIRMS1012 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x020	BIGAIN	B 相電流のゲイン調整。	0x00000000	R/W
0x021	BIGAIN0	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0~BIGAIN5 が適用されます。	0x00000000	R/W
0x022	BIGAIN1	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0~BIGAIN5 が適用されます。	0x00000000	R/W
0x023	BIGAIN2	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0~BIGAIN5 が適用されます。	0x00000000	R/W
0x024	BIGAIN3	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0~BIGAIN5 が適用されます。	0x00000000	R/W
0x025	BIGAIN4	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0~BIGAIN5 が適用されます。	0x00000000	R/W
0x026	BPHCAL0	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x027	BPHCAL1	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x028	BPHCAL2	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x029	BPHCAL3	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x02A	BPHCAL4	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x02B	BVGAIN	B 相電圧のゲイン調整。	0x00000000	R/W
0x02C	BIRMSOS	BIRMS 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x02D	BVRMSOS	BVRMS 計算のための B 相電圧実効値オフセット。	0x00000000	R/W

アドレス	名前	説明	リセット	アクセス
0x02E	BPGAIN	BWATT、BVA、BVAR、BFWATT、BFVA、および BFVAR 計算のための B 相パワー・ゲイン調整。	0x00000000	R/W
0x02F	BWATTOS	BWATT 計算のための B 相総合有効電力オフセット補正。	0x00000000	R/W
0x030	BVAROS	BVAR 計算のための B 相総合無効電力オフセット補正。	0x00000000	R/W
0x031	BFWATTOS	BFWATT 計算のための B 相基本波有効電力オフセット補正。	0x00000000	R/W
0x032	BFVAROS	BFVAR 計算のための B 相基本波無効電力オフセット補正。	0x00000000	R/W
0x033	BIFRMSOS	基本波電流実効値 BIFRMS 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x034	BVFRMSOS	基本波電圧実効値 BVFRMS 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x035	BVRMSONEOS	高速 RMS $\frac{1}{2}$ BVRMSONE 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x036	BIRMSONEOS	高速 RMS $\frac{1}{2}$ BIRMSONE 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x037	BVRMS1012OS	10 サイクル実効値/12 サイクル実効値 BVRMS1012 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x038	BIRMS1012OS	10 サイクル実効値/12 サイクル実効値 BVRMS1012 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x040	CIGAIN	C 相電流のゲイン調整。	0x00000000	R/W
0x041	CIGAIN0	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0～CIGAIN5 が適用されます。	0x00000000	R/W
0x042	CIGAIN1	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0～CIGAIN5 が適用されます。	0x00000000	R/W
0x043	CIGAIN2	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0～CIGAIN5 が適用されます。	0x00000000	R/W
0x044	CIGAIN3	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0～CIGAIN5 が適用されます。	0x00000000	R/W
0x045	CIGAIN4	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0～CIGAIN5 が適用されます。	0x00000000	R/W
0x046	CPHCAL0	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x047	CPHCAL1	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x048	CPHCAL2	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x049	CPHCAL3	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W

アドレス	名前	説明	リセット	アクセス
0x04A	CPHCAL4	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN = 0 によって位相とゲインのマルチポイント・キャリブレーションがディセーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN = 1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x04B	CVGAIN	C 相電圧のゲイン調整。	0x00000000	R/W
0x04C	CIRMSOS	CIRMS 計算のための C 相電流実効値オフセット。	0x00000000	R/W
0x04D	CVRMSOS	CVRMS 計算のための C 相電圧実効値オフセット。	0x00000000	R/W
0x04E	CPGAIN	CWATT、CVA、CVAR、CFWATT、CFVA、および CFVAR 計算のための C 相パワー・ゲイン調整。	0x00000000	R/W
0x04F	CWATTOS	CWATT 計算のための C 相総合有効電力オフセット補正。	0x00000000	R/W
0x050	CVAROS	CVAR 計算のための C 相総合無効電力オフセット補正。	0x00000000	R/W
0x051	CFWATTOS	CFWATT 計算のための C 相基本波有効電力オフセット補正。	0x00000000	R/W
0x052	CFVAROS	CFVAR 計算のための C 相基本波無効電力オフセット補正。	0x00000000	R/W
0x053	CIFRMSOS	基本波電流実効値 CIFRMS 計算のための C 相電流実効値オフセット。	0x00000000	R/W
0x054	CVFRMSOS	基本波電圧実効値 CVFRMS 計算のための C 相電圧実効値オフセット。	0x00000000	R/W
0x055	CVRMSONEOS	高速 RMS $\frac{1}{2}$ CVRMSONE 計算のための C 相電圧実効値オフセット。	0x00000000	R/W
0x056	CIRMSONEOS	高速 RMS $\frac{1}{2}$ CIRMSONE 計算のための C 相電流実効値オフセット。	0x00000000	R/W
0x057	CVRMS1012OS	10 サイクル実効値/12 サイクル実効値 CVRMS1012 計算のための C 相電圧実効値オフセット。	0x00000000	R/W
0x058	CIRMS1012OS	10 サイクル実効値/12 サイクル実効値 CIRMS1012 計算のための C 相電流実効値オフセット。	0x00000000	R/W
0x060	CONFIG0	設定レジスタ 0。	0x00000000	R/W
0x061	MTTHR_L0	マルチポイント位相/ゲイン閾値。CONFIG0 レジスタの MTEN = 1 の場合、MTGNTHR_Lx レジスタと MTGNTHR_Hx レジスタが、ヒステリシスを持った、各補正セットの適用範囲を設定します。詳細については、Multipoint Phase/Gain Calibration のセクションを参照してください。	0x00000000	R/W
0x062	MTTHR_L1	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x063	MTTHR_L2	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x064	MTTHR_L3	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x065	MTTHR_L4	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x066	MTTHR_H0	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x067	MTTHR_H1	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x068	MTTHR_H2	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x069	MTTHR_H3	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x06A	MTTHR_H4	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0 を参照してください。	0x00000000	R/W
0x06B	NIRMSOS	NIRMS 計算のための中性電流実効値オフセット。	0x00000000	R/W
0x06C	ISUMRMSOS	合計値 IA + IB + IC $\pm$ IN に基づく ISUMRMS 計算のためのオフセット補正。	0x00000000	R/W
0x06D	NIGAIN	中性電流のゲイン調整。	0x00000000	R/W
0x06E	NPHCAL	中性電流位相補償。	0x00000000	R/W
0x06F	NIRMSONEOS	高速 RMS $\frac{1}{2}$ NIRMSONE 計算のための中性電流実効値オフセット。	0x00000000	R/W
0x070	NIRMS1012OS	10 サイクル実効値/12 サイクル実効値 NIRMS1012 計算のための中性電流実効値オフセット。	0x00000000	R/W
0x071	VNOM	CONFIG0 レジスタの VNOMx_EN ビットをセットしたときに、皮相電力 xVA の計算に使用する公称相電圧実効値。	0x00000000	R/W
0x072	DICOEFF	デジタル積分器アルゴリズムに使用する値。CONFIG0 レジスタの INTEN または ININTEN を 1 にして積分器をオンにした場合は、この値を 0xFFFFFE000 に設定することを推奨します。	0x00000000	R/W
0x073	ISUMLVL	ISUMRMS の比較対象となる閾値。このレジスタは、ISUMRMS がこの閾値を超えた場合に STATUS 0 レジスタの MISMTCH の通知を受け取るように設定します。	0x00000000	R/W
0x20A	AI_PCF	瞬時 A 相電流チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x20B	AV_PCF	瞬時 A 相電圧チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x20C	AIRMS	A 相フィルタベース電流実効値 (8kSPS で更新)。	0x00000000	R
0x20D	AVRMS	A 相フィルタベース電圧実効値 (8kSPS で更新)。	0x00000000	R
0x20E	AIFRMS	A 相電流基本波実効値 (8kSPS で更新)。	0x00000000	R
0x20F	AVFRMS	A 相電圧基本波実効値 (8kSPS で更新)。	0x00000000	R

アドレス	名前	説明	リセット	アクセス
0x210	AWATT	ローパス・フィルタ処理を施した A 相総合有効電力 (8kSPS で更新)。	0x00000000	R
0x211	AVAR	ローパス・フィルタ処理を施した A 相総合無効電力 (8kSPS で更新)。	0x00000000	R
0x212	AVA	A 相総合皮相電力 (8kSPS で更新)。	0x00000000	R
0x213	AFWATT	A 相基本波有効電力 (8kSPS で更新)。	0x00000000	R
0x214	AFVAR	A 相基本波無効電力 (8kSPS で更新)。	0x00000000	R
0x215	AFVA	A 相基本波皮相電力 (8kSPS で更新)。	0x00000000	R
0x216	APF	A 相力率 (1.024 秒ごとに更新)。	0x00000000	R
0x217	AVTHD	A 相電圧 THD (1.024 秒ごとに更新)。	0x00000000	R
0x218	AITHD	A 相電流 THD (1.024 秒ごとに更新)。	0x00000000	R
0x219	AIRMSONE	A 相電流高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x21A	AVRMSONE	A 相電圧高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x21B	AIRMS1012	A 相電流高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x21C	AVRMS1012	A 相電圧高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x21D	AMTREGION	CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合、このレジスタは、現在の AIGAINx と APHCALx が使われているかを示します。	0x0000000F	R
0x22A	BI_PCF	瞬時 B 相電流チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x22B	BV_PCF	瞬時 B 相電圧チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x22C	BIRMS	B 相フィルタベース電流実効値 (8kSPS で更新)。	0x00000000	R
0x22D	BVRMS	B 相フィルタベース電圧実効値 (8kSPS で更新)。	0x00000000	R
0x22E	BIFRMS	B 相電流基本波実効値 (8kSPS で更新)。	0x00000000	R
0x22F	BVFRMS	B 相電圧基本波実効値 (8kSPS で更新)。	0x00000000	R
0x230	BWATT	ローパス・フィルタ処理を施した B 相総合有効電力 (8kSPS で更新)。	0x00000000	R
0x231	BVAR	ローパス・フィルタ処理を施した B 相総合無効電力 (8kSPS で更新)。	0x00000000	R
0x232	BVA	B 相総合皮相電力 (8kSPS で更新)。	0x00000000	R
0x233	BFWATT	B 相基本波有効電力 (8kSPS で更新)。	0x00000000	R
0x234	BFVAR	B 相基本波無効電力 (8kSPS で更新)。	0x00000000	R
0x235	BFVA	B 相基本波皮相電力 (8kSPS で更新)。	0x00000000	R
0x236	BPF	B 相力率 (1.024 秒ごとに更新)。	0x00000000	R
0x237	BVTHD	B 相電圧 THD (1.024 秒ごとに更新)。	0x00000000	R
0x238	BITHD	B 相電流 THD (1.024 秒ごとに更新)。	0x00000000	R
0x239	BIRMSONE	B 相電流高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x23A	BVRMSONE	B 相電圧高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x23B	BIRMS1012	B 相電流高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x23C	BVRMS1012	B 相電圧高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x23D	BMTREGION	COFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合、このレジスタは、現在の BIGAINx と BPHCALx が使われているかを示します。	0x0000000F	R
0x24A	CI_PCF	瞬時 C 相電流チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x24B	CV_PCF	瞬時 C 相電圧チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x24C	CIRMS	C 相フィルタベース電流実効値 (8kSPS で更新)。	0x00000000	R
0x24D	CVRMS	C 相フィルタベース電圧実効値 (8kSPS で更新)。	0x00000000	R
0x24E	CIFRMS	C 相電流基本波実効値 (8kSPS で更新)。	0x00000000	R
0x24F	CVFRMS	C 相電圧基本波実効値 (8kSPS で更新)。	0x00000000	R
0x250	CWATT	ローパス・フィルタ処理を施した C 相総合有効電力 (8kSPS で更新)。	0x00000000	R
0x251	CVAR	ローパス・フィルタ処理を施した C 相総合無効電力 (8kSPS で更新)。	0x00000000	R
0x252	CVA	C 相総合皮相電力 (8kSPS で更新)。	0x00000000	R
0x253	CFWATT	C 相基本波有効電力 (8kSPS で更新)。	0x00000000	R

アドレス	名前	説明	リセット	アクセス
0x254	CFVAR	C 相基本波無効電力 (8kSPS で更新)。	0x00000000	R
0x255	CFVA	C 相基本波皮相電力 (8kSPS で更新)。	0x00000000	R
0x256	CPF	C 相力率 (1.024 秒ごとに更新)。	0x00000000	R
0x257	CVTHD	C 相電圧 THD (1.024 秒ごとに更新)。	0x00000000	R
0x258	CITHD	C 相電流 THD (1.024 秒ごとに更新)。	0x00000000	R
0x259	CIRMSONE	C 相電流高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x25A	CVRMSONE	C 相電圧高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x25B	CIRMS1012	C 相電流高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x25C	CVRMS1012	C 相電圧高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x25D	CMTREGION	CONFIG0 レジスタの MTEN = 1 によってゲインと位相のマルチポイント補償がイネーブルされている場合、これらのビットは、現在の CIGAINx と CPHCALx が使われているかを示します。	0x0000000F	R
0x265	NI_PCF	瞬時中性電流チャンネル波形 (DSP により 8kSPS で処理)。	0x00000000	R
0x266	NIRMS	中性電流フィルタベース実効値。	0x00000000	R
0x267	NIRMSONE	中性電流高速 RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	0x00000000	R
0x268	NIRMS1012	中性電流高速 10 サイクル実効値/12 サイクル実効値計算。この計算は、ACCMODE レジスタの 50Hz 回路を表す SELFREQ = 0 の場合は 10 サイクルで行われ、60Hz 回路を表す SELFREQ = 1 の場合は 12 サイクルで行われます。	0x00000000	R
0x269	ISUMRMS	合計値 IA + IB + IC $\pm$ IN に基づくフィルタベース実効値。	0x00000000	R
0x26A	VERSION2	このレジスタは、測定を開始するためにユーザが run = 1 を書き込んだ後の測定アルゴリズムのバージョンを示します。	0x0000000C	R
0x2E5	AWATT_ACC	A 相積算総合有効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x2E6	AWATTHR_LO	A 相積算総合有効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x2E7	AWATTHR_HI	A 相積算総合有効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x2EF	AVAR_ACC	A 相積算総合無効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x2F0	AVARHR_LO	A 相積算総合無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x2F1	AVARHR_HI	A 相積算総合無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x2F9	AVA_ACC	A 相積算総合皮相電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x2FA	AVAHR_LO	A 相積算総合皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x2FB	AVAHR_HI	A 相積算総合皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x303	AFWATT_ACC	A 相積算基本波有効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x304	AFWATTHR_LO	A 相積算基本波有効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x305	AFWATTHR_HI	A 相積算基本波有効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x30D	AFVAR_ACC	A 相積算基本波無効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x30E	AFVARHR_LO	A 相積算基本波無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x30F	AFVARHR_HI	A 相積算基本波無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x317	AFVA_ACC	A 相積算基本波皮相電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x318	AFVAHR_LO	A 相積算基本波皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x319	AFVAHR_HI	A 相積算基本波皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x321	BWATT_ACC	B 相積算総合有効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x322	BWATTHR_LO	B 相積算総合有効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R

アドレス	名前	説明	リセット	アクセス
0x323	BWATTHR_HI	B 相積算総合有効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x32B	BVAR_ACC	B 相積算総合無効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x32C	BVARHR_LO	B 相積算総合無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x32D	BVARHR_HI	B 相積算総合無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x335	BVA_ACC	B 相積算総合皮相電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x336	BVAHR_LO	B 相積算総合皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x337	BVAHR_HI	B 相積算総合皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x33F	BFWATT_ACC	B 相積算基本波有効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x340	BFWATTHR_LO	B 相積算基本波有効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x341	BFWATTHR_HI	B 相積算基本波有効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x349	BFVAR_ACC	B 相積算基本波無効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x34A	BFVARHR_LO	B 相積算基本波無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x34B	BFVARHR_HI	B 相積算基本波無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x353	BFVA_ACC	B 相積算基本波皮相電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x354	BFVAHR_LO	B 相積算基本波皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x355	BFVAHR_HI	B 相積算基本波皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x35D	CWATT_ACC	C 相積算総合有効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x35E	CWATTHR_LO	C 相積算総合有効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x35F	CWATTHR_HI	C 相積算総合有効電力量、MSB。P_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x367	CVAR_ACC	C 相積算総合無効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x368	CVARHR_LO	C 相積算総合無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x369	CVARHR_HI	C 相積算総合無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x371	CVA_ACC	C 相積算総合皮相電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x372	CVAHR_LO	C 相積算総合皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x373	CVAHR_HI	C 相積算総合皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x37B	CFWATT_ACC	C 相積算基本波有効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x37C	CFWATTHR_LO	C 相積算基本波有効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x37D	CFWATTHR_HI	C 相積算基本波有効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x385	CFVAR_ACC	C 相積算基本波無効電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x386	CFVARHR_LO	C 相積算基本波無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x387	CFVARHR_HI	C 相積算基本波無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x38F	CFVA_ACC	C 相積算基本波皮相電力 (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x390	CFVAHR_LO	C 相積算基本波皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R
0x391	CFVAHR_HI	C 相積算基本波皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	0x00000000	R

アドレス	名前	説明	リセット	アクセス
0x397	PWATT_ACC	AWATT、BWATT、および CWATT レジスタから積算された正の総合有効電力、MSB (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x39B	NWATT_ACC	AWATT、BWATT、および CWATT レジスタから積算された負の総合有効電力、MSB (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x39F	PVAR_ACC	AVAR、BVAR、および CVAR レジスタから積算された正の総合無効電力、MSB (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x3A3	NVAR_ACC	AVAR、BVAR、および CVAR レジスタから積算された負の総合無効電力、MSB (PWR_TIME の 8kSPS サンプル後に更新)。	0x00000000	R
0x400	IPEAK	電流ピーク・レジスタ。	0x00000000	R
0x401	VPEAK	電圧ピーク・レジスタ。	0x00000000	R
0x402	STATUS0	ステータス・レジスタ 0。	0x00000000	R/W
0x403	STATUS1	ステータス・レジスタ 1。	0x00000000	R/W
0x404	EVENT_STATUS	イベント・ステータス・レジスタ。	0x00000000	R
0x405	MASK0	割込みイネーブル・レジスタ 0。	0x00000000	R/W
0x406	MASK1	割込みイネーブル・レジスタ 1。	0x00000000	R/W
0x407	EVENT_MASK	イベント・イネーブル・レジスタ。	0x00000000	R/W
0x409	OILVL	過電流検出閾値レベル。	0x00FFFFFF	R/W
0x40A	OIA	A 相過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタに OC_ENA ビットがセットされて相がイネーブルされ、AIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40B	OIB	B 相過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタに OC_ENB ビットがセットされて相がイネーブルされ、BIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40C	OIC	C 相過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタに OC_ENC ビットがセットされて相がイネーブルされ、BIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40D	OIN	中性電流過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタに OC_ENN ビットがセットされて中性電流がイネーブルされ、NIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40E	USER_PERIOD	CONFIG2 レジスタに UPERIOD_SEL ビットがセットされているときに、リサンプリング、高速 RMS $\frac{1}{2}$ 、および 10 サイクル実効値/12 サイクル実効値に用いられるユーザ定義ライン周期。	0x00500000	R/W
0x40F	VLEVEL	基本波有効電力、無効電力、皮相電力と、基本波 IRMS および VRMS 値の計算アルゴリズムに用いられるレジスタ。	0x00045D45	R/W
0x410	DIP_LVL	電圧 RMS $\frac{1}{2}$ ディップ検出閾値レベル。	0x00000000	R/W
0x411	DIPA	ディップ状態時の A 相電圧 RMS $\frac{1}{2}$ 値。	0x007FFFFFFF	R
0x412	DIPB	ディップ状態時の B 相電圧 RMS $\frac{1}{2}$ 値。	0x007FFFFFFF	R
0x413	DIPC	ディップ状態時の C 相電圧 RMS $\frac{1}{2}$ の値。	0x007FFFFFFF	R
0x414	SWELL_LVL	電圧 RMS $\frac{1}{2}$ スウェル検出閾値レベル。	0x00FFFFFF	R/W
0x415	SWELLA	スウェル状態時の A 相電圧 RMS $\frac{1}{2}$ 値。	0x00000000	R
0x416	SWELLB	スウェル状態時の B 相電圧 RMS $\frac{1}{2}$ 値。	0x00000000	R
0x417	SWELLC	スウェル状態時の C 相電圧 RMS $\frac{1}{2}$ 値。	0x00000000	R
0x418	APERIOD	A 相電圧のライン周期。	0x00A00000	R
0x419	BPERIOD	B 相電圧のライン周期。	0x00A00000	R
0x41A	CPERIOD	C 相電圧のライン周期。	0x00A00000	R
0x41B	COM_PERIOD	A 相、B 相、C 相電圧を組み合わせた信号のライン周期測定値。	0x00A00000	R
0x41C	ACT_NL_LVL	総合および基本波有効電力データパスの無負荷閾値。	0x0000FFFF	R/W
0x41D	REACT_NL_LVL	総合および基本波無効電力データパスの無負荷閾値。	0x0000FFFF	R/W
0x41E	APP_NL_LVL	総合および基本波皮相電力データパスの無負荷閾値。	0x0000FFFF	R/W
0x41F	PHNOLOAD	無負荷相レジスタ。	0x00000000	R
0x420	WTHR	CFx キャリブレーション・パルス出力の総合および基本波有効電力に対するデジタル/周波数変換器からの最大出力レートを設定します。WTHR への書き込み値は 0x0010_0000 とすることを推奨します。	0x0000FFFF	R/W
0x421	VARTHR	CFx キャリブレーション・パルス出力の総合および基本波無効電力に対するデジタル/周波数変換器からの最大出力レートを設定します。VARTHR への書き込み値は 0x0010_0000 とすることを推奨します。	0x0000FFFF	R/W
0x422	VATHR	CFx キャリブレーション・パルス出力の総合および基本波皮相電力に対するデジタル/周波数変換器からの最大出力レートを設定します。VATHR への書き込み値は 0x0010_0000 とすることを推奨します。	0x0000FFFF	R/W

アドレス	名前	説明	リセット	アクセス
0x423	LAST_DATA_32	このレジスタは、SPI ポートでの最後の 32 ビット・トランザクション時に読み出された、または書き込まれたデータを保持します。	0x00000000	R
0x424	ADC_REDIRECT	このレジスタを使用すれば、ADC 出力を任意のデジタル・データバスへリダイレクトすることができます。	0x001FFFFFFF	R/W
0x425	CF_LCFG	CFx キャリブレーション・パルス幅設定レジスタ。	0x00000000	R/W
0x472	PART_ID	このレジスタは IC を識別します。ADE9000_ID ビット = 1 の場合、IC は ADE9000 です。	0x00100000	R
0x474	TEMP_TRIM	製造工程において計算される温度センサー・ゲインとオフセット。	0x00000000	R/W
0x480	RUN	測定を開始するには、このレジスタに 1 を書き込みます。	0x0000	R/W
0x481	CONFIG1	設定レジスタ 1。	0x0000	R/W
0x482	ANGL_VA_VB	A 相電圧の正から負へのゼロ交差と、B 相電圧の正から負へのゼロ交差の間の時間。	0x0000	R
0x483	ANGL_VB_VC	B 相電圧の正から負へのゼロ交差と、C 相電圧の正から負へのゼロ交差の間の時間。	0x0000	R
0x484	ANGL_VA_VC	A 相電圧の正から負へのゼロ交差と、C 相電圧の正から負へのゼロ交差の間の時間。	0x0000	R
0x485	ANGL_VA_IA	A 相電圧の正から負へのゼロ交差と、A 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x486	ANGL_VB_IB	B 相電圧の正から負へのゼロ交差と、B 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x487	ANGL_VC_IC	C 相電圧の正から負へのゼロ交差と、C 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x488	ANGL_IA_IB	A 相電流の正から負へのゼロ交差と、B 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x489	ANGL_IB_IC	B 相電流の正から負へのゼロ交差と、C 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x48A	ANGL_IA_IC	A 相電流の正から負へのゼロ交差と、C 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x48B	DIP_CYC	電圧 RMS $\frac{1}{2}$ ディップ検出サイクル設定。	0xFFFF	R/W
0x48C	SWELL_CYC	電圧 RMS $\frac{1}{2}$ スウェル検出サイクル設定。	0xFFFF	R/W
0x48F	OISTATUS	過電流ステータス・レジスタ。	0x0000	R
0x490	CFMODE	CFx 設定レジスタ。	0x0000	R/W
0x491	COMPMODE	計算モード・レジスタ。	0x0000	R/W
0x492	ACCMODE	積算モード・レジスタ。	0x0000	R/W
0x493	CONFIG3	設定レジスタ 3。	0xF000	R/W
0x494	CF1DEN	CF1 デノミネータ・レジスタ。	0xFFFF	R/W
0x495	CF2DEN	CF2 デノミネータ・レジスタ。	0xFFFF	R/W
0x496	CF3DEN	CF3 デノミネータ・レジスタ。	0xFFFF	R/W
0x497	CF4DEN	CF4 デノミネータ・レジスタ。	0xFFFF	R/W
0x498	ZXTOUT	ゼロ交差タイムアウト設定レジスタ。	0xFFFF	R/W
0x499	ZXTHRS	電圧チャンネル・ゼロ交差閾値レジスタ。	0x0009	R/W
0x49A	ZX_LP_SEL	このレジスタは、どのゼロ交差とどのライン周期測定値をその他の計算に使用するかを選択します。	0x001E	R/W
0x49C	SEQ_CYC	相シーケンス検出に使用するライン・サイクル数。このレジスタは 1 に設定することを推奨します。	0x00FF	R/W
0x49D	PHSIGN	電力符号レジスタ。	0x0000	R
0x4A0	WFB_CFG	波形バッファ設定レジスタ。	0x0000	R/W
0x4A1	WFB_PG_IRQEN	このレジスタは、波形バッファの特定ページにデータが書き込まれた後、割込みをイネーブルします。	0x0000	R/W
0x4A2	WFB_TRG_CFG	このレジスタは、波形バッファへのキャプチャをトリガするためのイベントをイネーブルします。	0x0000	R/W
0x4A3	WFB_TRG_STAT	このレジスタは、波形バッファ内のデータが書き込まれた最後のページと、トリガ・イベントのロケーションを示します。	0x0000	R/W
0x4A4	CONFIG5	設定レジスタ 5。	0x0063	R/W
0x4A8	CRC_RSLT	このレジスタは、設定レジスタの CRC を保持します。	0x0000	R
0x4A9	CRC_SPI	このレジスタは、最後の SPI レジスタ読み出し時に MOSI ピンから送出されたデータの 16 ビット CRC を保持します。	0x0000	R
0x4AC	LAST_DATA_16	このレジスタは、SPI ポートでの最後の 16 ビット・トランザクション時に読み出された、または書き込まれたデータを保持します。	0x0000	R
0x4AE	LAST_CMD	このレジスタは、SPI ポートの最後のトランザクションのアドレスと読み出し／書き込み動作要求 (CMD_HDR) を保持します。	0x0000	R
0x4AF	CONFIG2	設定レジスタ 2。	0x0C00	R/W
0x4B0	EP_CFG	電力量および電力積算設定。	0x0000	R/W
0x4B1	PWR_TIME	電力更新時間設定。	0x00FF	R/W

アドレス	名前	説明	リセット	アクセス
0x4B2	EGY_TIME	電力量積算更新時間設定。	0x00FF	R/W
0x4B4	CRC_FORCE	このレジスタは、設定レジスタの CRC を強制的に更新します。	0x0000	R/W
0x4B5	CRC_OPTEN	このレジスタは、設定レジスタ CRC 機能に、どのレジスタをオプションで含めるかを選択します。	0x0000	R/W
0x4B6	TEMP_CFG	温度センサー設定レジスタ。	0x0000	R/W
0x4B7	TEMP_RSLT	温度計測結果。	0x0000	R
0x4B9	PGA_GAIN	このレジスタは、各 ADC の PGA ゲインを設定します。	0x0000	R/W
0x4BA	CHNL_DIS	ADC チャンネルのイネーブル/ディスエーブル。	0x0000	R/W
0x4BF	WR_LOCK	このレジスタは、設定ロック機能を有効化します。	0x0000	R/W
0x4E0	VAR_DIS	総合無効電力計算をイネーブル/ディスエーブルします。	0x0000	R/W
0x4F0	RESERVED1	このレジスタは予備です。	0x0000	R
0x4FE	Version	ADE9000 IC のバージョン。	0x0040	R
0x500	AI_SINC_DAT	32kSPS sinc4 出力からの電流チャンネル A ADC 波形。	0x00000000	R
0x501	AV_SINC_DAT	32kSPS sinc4 出力からの電圧チャンネル A ADC 波形。	0x00000000	R
0x502	BI_SINC_DAT	32kSPS sinc4 出力からの電流チャンネル B ADC 波形。	0x00000000	R
0x503	BV_SINC_DAT	32kSPS sinc4 出力からの電圧チャンネル B ADC 波形。	0x00000000	R
0x504	CI_SINC_DAT	32kSPS sinc4 出力からの電流チャンネル C ADC 波形。	0x00000000	R
0x505	CV_SINC_DAT	32kSPS sinc4 出力からの電圧チャンネル C ADC 波形。	0x00000000	R
0x506	NI_SINC_DAT	32kSPS sinc4 出力からの中性電流チャンネル ADC 波形。	0x00000000	R
0x510	AI_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの電流チャンネル A ADC 波形。	0x00000000	R
0x511	AV_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの電圧チャンネル A ADC 波形。	0x00000000	R
0x512	BI_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの電流チャンネル B ADC 波形。	0x00000000	R
0x513	BV_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの電圧チャンネル B ADC 波形。	0x00000000	R
0x514	CI_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの電流チャンネル C ADC 波形。	0x00000000	R
0x515	CV_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの電圧チャンネル C ADC 波形。	0x00000000	R
0x516	NI_LPF_DAT	8kSPS sinc4 + IIR LPF 出力からの中性電流チャンネル ADC 波形。	0x00000000	R
0x600	AV_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AV_PCF を参照。	0x00000000	R/W
0x601	BV_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BV_PCF を参照。	0x00000000	R/W
0x602	CV_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CV_PCF を参照。	0x00000000	R/W
0x603	NI_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。NI_PCF を参照。	0x00000000	R/W
0x604	AI_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AI_PCF を参照。	0x00000000	R/W
0x605	BI_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BI_PCF を参照。	0x00000000	R/W
0x606	CI_PCF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CI_PCF を参照。	0x00000000	R/W
0x607	AIRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AIRMS を参照。	0x00000000	R/W
0x608	BIRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BIRMS を参照。	0x00000000	R/W
0x609	CIRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CIRMS を参照。	0x00000000	R/W
0x60A	AVRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AVRMS を参照。	0x00000000	R/W
0x60B	BVRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BVRMS を参照。	0x00000000	R/W
0x60C	CVRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CVRMS を参照。	0x00000000	R/W
0x60D	NIRMS_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。NIRMS を参照。	0x00000000	R/W
0x60E	AWATT_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AWATT を参照。	0x00000000	R/W
0x60F	BWATT_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BWATT を参照。	0x00000000	R/W
0x610	CWATT_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CWATT を参照。	0x00000000	R/W
0x611	AVA_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AVA を参照。	0x00000000	R/W
0x612	BVA_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BVA を参照。	0x00000000	R/W
0x613	CVA_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CVA を参照。	0x00000000	R/W
0x614	AVAR_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AVAR を参照。	0x00000000	R/W
0x615	BVAR_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BVAR を参照。	0x00000000	R/W
0x616	CVAR_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CVAR を参照。	0x00000000	R/W
0x617	AFVAR_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。AFVAR を参照。	0x00000000	R/W
0x618	BFVAR_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。BFVAR を参照。	0x00000000	R/W
0x619	CFVAR_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。CFVAR を参照。	0x00000000	R/W
0x61A	APF_1	SPI バースト読出しアクセス可能。機能的に分類されたレジスタ群。APF を参照。	0x00000000	R/W

ADE9000 テクニカル・リファレンス・マニュアル

UG-1098

[illegible]

ADE9000 テクニカル・リファレンス・マニュアル

UG-1098

[illegible]

アドレス	名前	説明	リセット	アクセス
0x6B6	CVRMSONE_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。CVRMSONE を参照。	0x00000000	R/W
0x6B7	CIRMS1012_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。CIRMS1012 を参照。	0x00000000	R/W
0x6B8	CVRMS1012_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。CVRMS1012 を参照。	0x00000000	R/W
0x6B9	NI_PCF_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。NI_PCF を参照。	0x00000000	R/W
0x6BA	NIRMS_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。NIRMS を参照。	0x00000000	R/W
0x6BB	NIRMSONE_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。NIRMSONE を参照。	0x00000000	R/W
0x6BC	NIRMS1012_2	SPI バースト読出しアクセス可能。相により分類されたレジスタ群。NIRMS1012 を参照。	0x00000000	R/W

レジスタの詳細

表 31 に、ビット・フィールドのある ADE9000 のレジスタの詳細を示します。表 30 に示した追加レジスタには、ビット・フィールドはありません。

表 31. レジスタの詳細

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x060	CONFIG0	[31:14]	RESERVED		予備	0x0	R
		13	DISRPLPF		総合無効電力データバスのローパス・フィルタをディスエーブルするには、このビットをセットします。	0x0	R/W
		12	DISAPLPF		総合有効電力データバスのローパス・フィルタをディスエーブルするには、このビットをセットします。	0x0	R/W
		11	ININTEN		中性電流チャンネルのデジタル積分器をイネーブルするには、このビットをセットします。	0x0	R/W
		10	VNOMC_EN		C 相総合皮相電力 CVA の計算に公称相電圧実効値 V_{NOM} を使用するには、このビットをセットします。	0x0	R/W
		9	VNOMB_EN		B 相総合皮相電力 BVA の計算に公称相電圧実効値 V_{NOM} を使用するには、このビットをセットします。	0x0	R/W
		8	VNOMA_EN		A 相総合皮相電力 AVA の計算に公称相電圧実効値 V_{NOM} を使用するには、このビットをセットします。	0x0	R/W
		7	RMS_SRC_SEL		このビットは、RMS½ と 10 サイクル実効値/12 サイクル実効値の計算に、どのサンプルを使用するかを選択します。 0 ハイパス・フィルタおよび積分器後の xI_PCF 波形。 1 ハイパス・フィルタおよび積分器前の ADC サンプル。	0x0	R/W
		6	ZX_SRC_SEL		このビットは、ゼロ交差検出回路に送るデータを、ハイパス・フィルタ、積分器、位相補償部の前から取得するか、後から取得するかを選択します。 0 ハイパス・フィルタ、積分器、位相補償部の後。 1 ハイパス・フィルタ、積分器、位相補償部の前。	0x0	R/W
		5	INTEN		相電流チャンネルの積分器をイネーブルするには、このビットをセットします。中性電流チャンネルの積分器は、CONFIG0 レジスタの ININTEN ビットによって管理します。	0x0	R/W
		4	MTEN		位相とゲインのマルチポイント補償をイネーブルするには、このビットをセットします。イネーブルすると、xIRMS 電流実効値振幅と MTTHR_Lx および MTTHR_Hx レジスタ値に基づいて、追加のゲイン係数 xIGAIN0～xIGAIN5 が電流チャンネルに適用されます。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		3	HPFDIS		すべての電圧および電流チャンネルのハイパス・フィルタをディスエーブルするには、このビットをセットします。	0x0	R/W
		2	RESERVED		予備	0x0	R
		[1:0]	ISUM_CFG	00 ISUM = AI_PCF + BI_PCF + CI_PCF（中性電流実効値の近似計算）。 01 ISUM = AI_PCF + BI_PCF + CI_PCF + NI_PCF（中性電流と相電流間のミスマッチの算出）。 10 ISUM = AI_PCF + BI_PCF + CI_PCF・NI_PCF（中性電流と相電流間のミスマッチの算出）。 11 ISUM = AI_PCF + BI_PCF + CI_PCF（中性電流実効値の近似計算）。	0x0	R/W	
0x21D	AMTREGION	[31:4]	RESERVED		予備	0x0	R
		[3:0]	AREGION	0000 AIGAIN0, APHCAL0 0001 AIGAIN1, APHCAL1 0010 AIGAIN2, APHCAL2 0011 AIGAIN3, APHCAL3 0100 AIGAIN4, APHCAL4 1111 CONFIG0 レジスタの MTEN が 0 なので、この機能はディスエーブルされています。	0xF	R	
0x23D	BMTREGION	[31:4]	RESERVED		予備	0x0	R
		[3:0]	BREGION	0000 BIGAIN0, BPHCAL0 0001 BIGAIN1, BPHCAL1 0010 BIGAIN2, BPHCAL2 0011 BIGAIN3, BPHCAL3 0100 BIGAIN4, BPHCAL4 1111 CONFIG0 レジスタの MTEN が 0 なので、この機能はディスエーブルされています。	0xF	R	
0x25D	CMTREGION	[31:4]	RESERVED		予備	0x0	R
		[3:0]	CREGION	0000 CIGAIN0, CPHCAL0 0001 CIGAIN1, CPHCAL1 0010 CIGAIN2, CPHCAL2 0011 CIGAIN3, CPHCAL3 0100 CIGAIN4, CPHCAL4 1111 CONFIG0 レジスタの MTEN が 0 なので、この機能はディスエーブルされています。	0xF	R	

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x400	IPEAK	[31:27]	RESERVED		予備	0x0	R
		[26:24]	IPPHASE		これらのビットは、どの相が IPEAKVAL 値を生成するかを示します。PEAKSEL (CONFIG3 レジスタのビット[4:2]) は、どの電流チャンネルでピーク値をモニタするかを決定します。IPPHASE のビット 0 が 1 に設定されている場合、A 相電流は IPEAKVAL のビット[23:0]の値によって生成されます。同様に、IPPHASE のビット 1 は B 相電流、IPPHASE のビット 2 は C 相電流がピーク値によって生成されることを示します。	0x0	R
		[23:0]	IPEAKVAL		IPEAK レジスタは、ピーク電流の絶対値を保存します。IPEAK = $xI_PCF/2^5$ です。	0x0	R
0x401	VPEAK	[31:27]	RESERVED		予備	0x0	R
		[26:24]	VPPHASE		これらのビットは、どの相が VPEAKVAL 値を生成するかを示します。PEAKSEL (CONFIG3 レジスタのビット[4:2]) は、どの電圧チャンネルでピーク値をモニタするかを決定します。VPPHASE のビット 0 が 1 の場合、A 相電圧は、VPEAKVAL のビット[23:0]の値によって生成されます。同様に、VPPHASE のビット 1 は B 相電圧、VPPHASE のビット 2 は C 相電圧がピーク値によって生成されることを示します。	0x0	R
		[23:0]	VPEAKVAL		VPEAK レジスタは、ピーク電圧の絶対値を保存します。VPEAK = $xV_PCF/2^5$ です。	0x0	R
0x402	STATUS0	[31:26]	RESERVED		予備	0x0	R
		25	TEMP_RDY		このビットは、新しい温度測定が可能な状態になるとハイになります。	0x0	R/W1
		24	MISMTCH		このビットは、ISUMRMS と ISUMLVL の関係の変化を示すためにセットされます。	0x0	R/W1
		23	COH_WFB_FULL		このビットは、波形バッファがリサンプルされたデータでフルになるとセットされます。この状態は、WFB_CFG レジスタの WF_CAP_SEL を 0 にすることで選択されます。	0x0	R/W1
		22	WFB_TRIG		このビットは、WFB_TRIG_CFG に設定されたイベントの 1 つが発生するとセットされます。	0x0	R/W1
		21	THD_PF_RDY		このビットは、THD と力率の測定値が更新されたことを示すために、1.024 秒ごとにハイになります。	0x0	R/W1
		20	RMS1012RDY		このビットは、10 サイクル実効値/12 サイクル実効値が更新されるとセットされます。	0x0	R/W1
		19	RMSONERDY		このビットは、高速 RMS $\frac{1}{2}$ 実効値が更新されるとセットされます。	0x0	R/W1
		18	PWRRDY		このビットは、PWR_TIME の 8kSPS サンプル後に、xWATT_ACC、xVA_ACC、xVAR_ACC、xFWATT_ACC、xFVA_ACC、および xFVAR_ACC レジスタの電力値が更新されると設定されます。	0x0	R/W1
		17	PAGE_FULL		このビットは、WFB_PG_IRQEN レジスタのイネーブルされたページが固定データ・レート・サンプルでフルになったとき、WFB_CFG レジスタの WF_CAP_SEL ビットがゼロになったときにセットされます。	0x0	R/W1
		16	WFB_TRIG_IRQ		このビットは、WFB_TRIG_CFG 内に設定されたイベントの発生後に、波形バッファへのデータ入力が停止するとセットされます。これは、固定データ・レート・サンプルの場合のみ、つまり、WFB_CFG レジスタの WF_CAP_SEL ビットがゼロの場合に限られます。	0x0	R/W1
		15	DREADY		このビットは、新しい波形サンプルが使用可能な状態になるとセットされます。更新レートは、WFB_CFG レジスタの WF_SRC ビットで選択されたデータによって異なります。	0x0	R/W1
		14	CF4		このビットは、CF4 ピンがハイからローになり、CF4 パルスが送出されるとセットされます。	0x0	R/W1

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		13	CF3		このビットは、CF3 ピンがハイからローになり、CF3 パルスが送出されるとセットされます。	0x0	R/W1
		12	CF2		このビットは、CF2 ピンがハイからローになり、CF2 パルスが送出されるとセットされます。	0x0	R/W1
		11	CF1		このビットは、CF1 ピンがハイからローになり、CF1 パルスが送出されるとセットされます。	0x0	R/W1
		10	REVPSUM4		このビットは、CF4 極性の符号が変化したかどうかを示すためにセットされます。例えば、最後の CF4 パルスが正の無効電力量で、次の CF4 パルスが負の無効電力量の場合は、REVPSUM4 ビットがセットされます。このビットは、CF4 ピンがハイからローになって、CF4 パルスが出力されると更新されます。	0x0	R/W1
		9	REVPSUM3		このビットは、CF3 極性の符号が変化したかどうかを示すためにセットされます。REVPSUM4 を参照。	0x0	R/W1
		8	REVPSUM2		このビットは、CF2 極性の符号が変化したかどうかを示すためにセットされます。REVPSUM4 を参照。	0x0	R/W1
		7	REVPSUM1		このビットは、CF1 極性の符号が変化したかどうかを示すためにセットされます。REVPSUM4 を参照。	0x0	R/W1
		6	REVRPC		このビットは、C 相の総合または基本波無効電力の符号が変化したかどうかを示します。EP_CFG レジスタの PWR_SIGN_SEL ビットは、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。このビットは、PWR_TIME の 8kSPS サンプル後に、xVAR_ACC および xFVAR_ACC レジスタの電力値が更新されると更新されます。	0x0	R/W1
		5	REVRPB		このビットは、B 相の総合または基本波無効電力の符号が変化したかどうかを示します。REVRPC を参照。	0x0	R/W1
		4	REVRPA		このビットは、A 相の総合または基本波無効電力の符号が変化したかどうかを示します。REVRPC を参照。	0x0	R/W1
		3	REVAPC		このビットは、C 相の総合または基本波有効電力の符号が変化したかどうかを示します。EP_CFG レジスタの PWR_SIGN_SEL ビットは、総合無効電力と基本波有効電力のどちらをモニタするかを選択します。このビットは、PWR_TIME の 8kSPS サンプル後に、xWATT_ACC および xFWATT_ACC レジスタの電力値が更新されると更新されます。	0x0	R/W1
		2	REVAPB		このビットは、B 相の総合または基本波有効電力の符号が変化したかどうかを示します。REVAPC を参照。	0x0	R/W1
		1	REVAPA		このビットは、A 相の総合または基本波有効電力の符号が変化したかどうかを示します。REVAPC を参照。	0x0	R/W1
		0	EGYRDY		このビットは、EP_CFG レジスタの EGY_TMR_MODE ビットに応じて、EGY_TIME 8kSPS サンプル後またはライン・サイクル後に、xWATTHR、xVAHR、xVARHR、xFVARHR、xFWATTHR、xFVAHR レジスタの電力値が更新されるとセットされます。	0x0	R/W1

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x403	STATUS1	31	ERROR3		このビットはエラーを示して、マスク不能割込みを生成します。このエラーをクリアするには、ソフトウェアまたはハードウェア・リセットを発行してください。	0x0	R/W1
		30	ERROR2		このビットは、エラーが検出され、それが是正されたことを示します。特に対応の必要はありません。	0x0	R/W1
		29	ERROR1		このビットはエラーを示して、マスク不能割込みを生成します。このエラーをクリアするには、ソフトウェアまたはハードウェア・リセットを発行してください。	0x0	R
		28	ERROR0		このビットはエラーを示して、マスク不能割込みを生成します。このエラーをクリアするには、ソフトウェアまたはハードウェア・リセットを発行してください。	0x0	R
		27	CRC_DONE		このビットは、CRC_FORCE レジスタの FORCE_CRC_UPDATE ビットを書き込むことで設定レジスタの CRC 計算を開始後、その計算が完了したときを示すためにセットされます。	0x0	R/W1
		26	CRC_CHG		このビットは、設定レジスタの CRC によってモニタされているレジスタのいずれかの値が変化すると、セットされます。CRC_RSLT レジスタは、設定レジスタの新しい CRC 値を保持します。	0x0	R/W1
		25	DIPC		このビットは、C 相電圧がディップ状態に入ったこと、あるいはディップ状態から抜けたことを示すためにセットされます。	0x0	R/W1
		24	DIPB		このビットは、B 相電圧がディップ状態に入ったこと、あるいはディップ状態から抜けたことを示すためにセットされます。	0x0	R/W1
		23	DIPA		このビットは、A 相電圧がディップ状態に入ったこと、あるいはディップ状態から抜けたことを示すためにセットされます。	0x0	R/W1
		22	SWELLC		このビットは、C 相電圧がスウェル状態に入ったこと、あるいはスウェル状態から抜けたことを示すためにセットされます。	0x0	R/W1
		21	SWELLB		このビットは、B 相電圧がスウェル状態に入ったこと、あるいはスウェル状態から抜けたことを示すためにセットされます。	0x0	R/W1
		20	SWELLA		このビットは、A 相電圧がスウェル状態に入ったこと、あるいはスウェル状態から抜けたことを示すためにセットされます。	0x0	R/W1
		19	RESERVED		予備	0x0	R
		18	SEQERR		このビットは、相電圧ゼロ交差の相シーケンス・エラーを示すためにセットされます。	0x0	R/W1
		17	OI		このビットは、OISTATUS レジスタに示される相の 1 つで過電流イベントが発生したことを示すためにセットされます。	0x0	R/W1
		16	RSTDONE		このビットは、リセット後、あるいは動作モードを PSM3 から PSM0 に変更した後で、IC がそのパワーアップ・シーケンスを終了したことを示すためにセットされます。これは、ユーザが SPI ポートを介してその IC を設定できることを意味します。	0x0	R/W1
		15	ZXIC		このビットが 1 に設定された時は、C 相電流でゼロ交差が検出されたことを示します。	0x0	R/W1
		14	ZXIB		このビットが 1 に設定された時は、B 相電流でゼロ交差が検出されたことを示します。	0x0	R/W1
		13	ZXIA		このビットが 1 に設定された時は、A 相電流でゼロ交差が検出されたことを示します。	0x0	R/W1
		12	ZXCOMB		このビットがセットされた時は、VA、VB、VC を組み合わせた信号でゼロ交差が検出されたことを示します。	0x0	R/W1

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		11	ZXVC		このビットがセットされた時は、C 相電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		10	ZXVB		このビットがセットされた時は、B 相電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		9	ZXVA		このビットがセットされた時は、A 相電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		8	ZXTOVC		このビットは、C 相のゼロ交差タイムアウトを示すためにセットされます。これは、C 相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W1
		7	ZXTOVB		このビットは、B 相のゼロ交差タイムアウトを示すためにセットされます。これは、B 相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W1
		6	ZXTOVA		このビットは、A 相のゼロ交差タイムアウトを示すためにセットされます。これは、A 相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W1
		5	VAFNOLOAD		このビットは、1 つまたは複数の相の基本波皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOAD レジスタによって示されます。	0x0	R/W1
		4	RFNOLOAD		このビットは、1 つまたは複数の相の基本波無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOAD レジスタによって示されます。	0x0	R/W1
		3	AFNOLOAD		このビットは、1 つまたは複数の相の基本波有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOAD レジスタによって示されます。	0x0	R/W1
		2	VANLOAD		このビットは、1 つまたは複数の相の総合皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOAD レジスタによって示されます。	0x0	R/W1
		1	RNLOAD		このビットは、1 つまたは複数の相の総合無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOAD レジスタによって示されます。	0x0	R/W1
		0	ANLOAD		このビットは、1 つまたは複数の相の総合有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOAD レジスタによって示されます。	0x0	R/W1
0x404	EVENT_STATUS	[31:17]	RESERVED		予備	0x0	R
		16	DREADY		このビットは、新しい波形サンプルが使用可能な状態になると、0 から 1 に変化します。更新レートは、WFB_CFG レジスタの WF_SRC ビットで選択されたデータによって異なります。	0x0	R
		15	VAFNOLOAD		このビットは、すべての相の基本波皮相電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合皮相電力量積算の 1 つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		14	RFNOLOAD		このビットは、すべての相の基本波無効電力量積算が無負荷状態から抜けるとセットされます。このビットは、基本波無効電力量積算の 1 つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		13	AFNOLOAD		このビットは、すべての相の基本波有効電力量積算が無負荷状態から抜けるとセットされます。このビットは、基本波有効電力量積算の 1 つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		12	VANLOAD		このビットは、すべての相の総合皮相電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合皮相電力量積算の 1 つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		11	RNLOAD		このビットは、すべての相の総合無効電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合無効電力量積算の 1 つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		10	ANLOAD		このビットは、すべての相の総合有効電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合有効電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		9	REVPSUM4		このビットは、最後の CF4 パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF4 ピンがハイからローになって、CF4 パルスが出力されると更新されます。	0x0	R
		8	REVPSUM3		このビットは、最後の CF3 パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF3 ピンがハイからローになって、CF3 パルスが出力されると更新されます。	0x0	R
		7	REVPSUM2		このビットは、最後の CF2 パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF2 ピンがハイからローになって、CF2 パルスが出力されると更新されます。	0x0	R
		6	REVPSUM1		このビットは、最後の CF1 パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF1 ピンがハイからローになって、CF1 パルスが出力されると更新されます。	0x0	R
		5	SWELLC		このビットは、C 相電圧がスウェル状態にある時は 1 になり、スウェル状態にない時は 0 になります。	0x0	R
		4	SWELLB		このビットは、B 相電圧がスウェル状態にある時は 1 になり、スウェル状態にない時は 0 になります。	0x0	R
		3	SWELLA		このビットは、A 相電圧がスウェル状態にある時は 1 になり、スウェル状態にない時は 0 になります。	0x0	R
		2	DIPC		このビットは、C 相電圧がディップ状態にある時は 1 になり、ディップ状態にない時は 0 になります。	0x0	R
		1	DIPB		このビットは、B 相電圧がディップ状態にある時は 1 になり、ディップ状態にない時は 0 になります。	0x0	R
		0	DIPA		このビットは、A 相電圧がディップ状態にある時は 1 になり、ディップ状態にない時は 0 になります。	0x0	R
0x405	MASK0	[31:26]	RESERVED		予備	0x0	R
		25	TEMP_RDY_MASK		新しい温度測定が可能な時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		24	MISMTC		ISUMRMS と ISUMLVL の関係に変化がある時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		23	COH_WFB_FULL		波形バッファがリサンプルされたデータでフルになった時に割込みをイネーブルするには、このビットをセットします。この状態は、WFB_CFG レジスタの WF_CAP_SEL を 0 にすることで選択されます。	0x0	R/W
		22	WFB_TRIG		WFB_TRIG_CFG に設定されたイベントの1つが発生した時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		21	THD_PF_RDY		THD と力率の測定値が 1.024 秒ごとに更新された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		20	RMS1012RDY		10 サイクル実効値/12 サイクル実効値が更新された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		19	RMSONERDY		高速 RMS $\frac{1}{2}$ の値が更新された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		18	PWRRDY		PWR_TIME の 8kSPS サンプル後に、 xWATT_ACC、xVA_ACC、xVAR_ACC、 xFWATT_ACC、xFVA_ACC、および xFVAR_ACC レジスタの電力値が更新された時に 割込みをイネーブルするには、このビットをセッ トします。	0x0	R/W
		17	PAGE_FULL		WFB_PG_IRQEN レジスタのイネーブルされた ページがデータでフルになった時に割込みをイ ネーブルするには、このビットをセットします。	0x0	R/W
		16	WFB_TRIG_IRQ		WFB_TRIG_CFG に設定されたイベントの発生 後、波形バッファへのデータ入力が停止した時に 割込みをイネーブルするには、このビットをセッ トします。	0x0	R/W
		15	DREADY		新しい波形サンプルが使用可能な状態になったと きに割込みを有効にするには、このビットをセッ トします。更新レートは、WFB_CFG レジスタの WF_SRC ビットで選択されたデータによって異な ります。	0x0	R/W
		14	CF4		CF4 ピンがハイからローになって、CF4 パルスが 送出された時に割込みをイネーブルするには、 このビットをセットします。	0x0	R/W
		13	CF3		CF3 ピンがハイからローになって、CF3 パルスが 送出された時に割込みをイネーブルするには、 このビットをセットします。	0x0	R/W
		12	CF2		CF2 ピンがハイからローになって、CF2 パルスが 送出された時に割込みをイネーブルするには、 このビットをセットします。	0x0	R/W
		11	CF1		CF1 ピンがハイからローになって、CF1 パルスが 送出された時に割込みをイネーブルするには、 このビットをセットします。	0x0	R/W
		10	REVPSUM4		CF4 極性の符号が変化した時に割込みをイネー ブルするには、このビットをセットします。	0x0	R/W
		9	REVPSUM3		CF3 極性の符号が変化した時に割込みをイネー ブルするには、このビットをセットします。	0x0	R/W
		8	REVPSUM2		CF2 極性の符号が変化した時に割込みをイネー ブルするには、このビットをセットします。	0x0	R/W
		7	REVPSUM1		CF1 極性の符号が変化した時に割込みをイネー ブルするには、このビットをセットします。	0x0	R/W
		6	REVRPC		C 相の総合または基本波無効電力の符号が変化し た時に割込みをイネーブルするには、このビット をセットします。	0x0	R/W
		5	REVRPB		C 相の総合または基本波無効電力の符号が変化し た時に割込みをイネーブルするには、このビット をセットします。	0x0	R/W
		4	REVRPA		A 相の総合または基本波無効電力の符号が変化し た時に割込みをイネーブルするには、このビット をセットします。	0x0	R/W
		3	REVAPC		C 相の総合または基本波有効電力の符号が変化し た時に割込みをイネーブルするには、このビット をセットします。	0x0	R/W
		2	REVAPB		B 相の総合または基本波有効電力の符号が変化し た時に割込みをイネーブルするには、このビット をセットします。	0x0	R/W
		1	REVAPA		A 相の総合または基本波有効電力の符号が変化し た時に割込みをイネーブルするには、このビット をセットします。	0x0	R/W
		0	EGYRDY		EP_CFG レジスタの EGY_TMR_MODE ビットに 応じて、EGY_TIME 8kSPS サンプル後またはラ イン・サイクル後、xWATTHR、xVAHR、 xVARHR、xFVARHR、xFWATTHR、xFVAHR レジスタの電力値が更新された時に割込みをイ ネーブルするには、このビットをセットします。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x406	MASK1	31	ERROR3		ERROR3 発生時に割込みをイネーブルするには、このビットをセットします。このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発してください。	0x0	R/W
		30	ERROR2		ERROR2 発生時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		29	ERROR1		この割り込みはマスク不能です。このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発してください。	0x0	R/W
		28	ERROR0		この割り込みはマスク不能です。このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発してください。	0x0	R/W
		27	CRC_DONE		CRC_FORCE レジスタの FORCE_CRC_UPDATE ビットを書き込むことで初期化を行った後、設定レジスタの CRC 計算が完了した時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		26	CRC_CHG		設定レジスタの CRC によってモニタされているレジスタのどれかの値が変化した場合に割込みをイネーブルするには、このビットをセットします。CRC_RSLT レジスタは、設定レジスタの新しい CRC 値を保持します。	0x0	R/W
		25	DIPC		C 相電圧がディップ状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		24	DIPB		B 相電圧がディップ状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		23	DIPA		A 相電圧がディップ状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		22	SWELLC		C 相電圧がスウェル状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		21	SWELLB		B 相電圧がスウェル状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		20	SWELLA		A 相電圧がスウェル状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		19	RESERVED		予備	0x0	R
		18	SEQERR		相電圧ゼロ交差の相シーケンス・エラーが発生したら割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		17	OI		CONFIG3 レジスタの OC_EN ビットでイネーブルされた電流の 1 つが過電流状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		16	RESERVED		予備	0x0	R
		15	ZXIC		C 相電流チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		14	ZXIB		B 相電流チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		13	ZXIA		A 相電流チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		12	ZXCOMB		VA、VB、VC を組み合わせた信号でゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		11	ZXVC		C 相電圧チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		10	ZXVB		B 相電圧チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		9	ZXVA		A 相電圧チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		8	ZXTOVC		C相のゼロ交差タイムアウトが発生した時に割込みをイネーブルするには、このビットをセットします。タイムアウトは、C相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W
		7	ZXTOVB		B相のゼロ交差タイムアウトが発生した時に割込みをイネーブルするには、このビットをセットします。タイムアウトは、B相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W
		6	ZXTOVA		A相のゼロ交差タイムアウトが発生した時に割込みをイネーブルするには、このビットをセットします。タイムアウトは、A相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W
		5	VAFNOLOAD		1つまたは複数の相の基本波皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		4	RFNOLOAD		1つまたは複数の相の総合無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		3	AFNOLOAD		1つまたは複数の相の基本波有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		2	VANLOAD		1つまたは複数の相の総合皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		1	RNLOAD		1つまたは複数の相の総合無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		0	ANLOAD		1つまたは複数の相の総合有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
0x407	EVENT_MASK	[31:17]	RESERVED		予備	0x0	R
		16	DREADY		新しい波形サンプルが使用可能な状態になった時に EVENT ピンをイネーブルしてローにするには、このビットをセットします。更新レートは、WFB_CFG レジスタの WF_SRC ビットで選択されたデータによって異なります。	0x0	R/W
		15	VAFNOLOAD		1つまたは複数の相の <u>基本波皮相電力量</u> の積算が無負荷状態になったらEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		14	RFNOLOAD		1つまたは複数の相の <u>基本波無効電力量</u> の積算が無負荷状態になったらEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		13	AFNOLOAD		1つまたは複数の相の <u>基本波有効電力量</u> の積算が無負荷状態になったらEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		12	VANLOAD		1つまたは複数の相の <u>総合皮相電力量</u> の積算が無負荷状態になったらEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		11	RNLOAD		1つまたは複数の相の <u>総合無効電力量</u> の積算が無負荷状態になったらEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		10	ANLOAD		1つまたは複数の相の <u>総合有効電力量</u> の積算が無負荷状態になったらEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		9	REVPSUM4		最後の <u>CF4</u> パルスが負の電力量からのものである場合に <u>EVENT</u> ビンをイネーブルしてローにするには、このビットをセットします。このビットは、 <u>CF4</u> ピンがハイからローになって、 <u>CF4</u> パルスが出力されると更新されます。	0x0	R/W
		8	REVPSUM3		最後の <u>CF3</u> パルスが負の電力量からのものである場合に <u>EVENT</u> ビンをイネーブルしてローにするには、このビットをセットします。このビットは、 <u>CF3</u> ピンがハイからローになって、 <u>CF3</u> パルスが出力されると更新されます。	0x0	R/W
		7	REVPSUM2		最後の <u>CF2</u> パルスが負の電力量からのものである場合に <u>EVENT</u> ビンをイネーブルしてローにするには、このビットをセットします。このビットは、 <u>CF2</u> ピンがハイからローになって、 <u>CF2</u> パルスが出力されると更新されます。	0x0	R/W
		6	REVPSUM1		最後の <u>CF1</u> パルスが負の電力量からのものである場合に <u>EVENT</u> ビンをイネーブルしてローにするには、このビットをセットします。このビットは、 <u>CF1</u> ピンがハイからローになって、 <u>CF1</u> パルスが出力されると更新されます。	0x0	R/W
		5	SWELLCEN		<u>EVENT</u> ビンをイネーブルしてローにし、 <u>C</u> 相電圧がスウェル状態にあることを示すには、このビットをセットします。	0x0	R/W
		4	SWELLBEN		<u>EVENT</u> ビンをイネーブルしてローにし、 <u>B</u> 相電圧がスウェル状態にあることを示すには、このビットをセットします。	0x0	R/W
		3	SWELLAEN		<u>EVENT</u> ビンをイネーブルしてローにし、 <u>A</u> 相電圧がスウェル状態にあることを示すには、このビットをセットします。	0x0	R/W
		2	DIPCEN		<u>EVENT</u> ビンをイネーブルしてローにし、 <u>C</u> 相電圧がディップ状態にあることを示すには、このビットをセットします。	0x0	R/W
		1	DIPBEN		<u>EVENT</u> ビンをイネーブルしてローにし、 <u>B</u> 相電圧がディップ状態にあることを示すには、このビットをセットします。	0x0	R/W
		0	DIPAEN		<u>EVENT</u> ビンをイネーブルしてローにし、 <u>A</u> 相電圧がディップ状態にあることを示すには、このビットをセットします。	0x0	R/W
0x409	OILVL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OILVL_VAL		過電流検出閾値レベル。	0xFFFFFFFF	R/W
0x40A	OIA	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OI_VAL		A 相 RMS $\frac{1}{2}$ 過電流値。CONFIG3 レジスタに OC_ENA ビットがセットされて相がイネーブルされ、AIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40B	OIB	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OIB_VAL		B 相 RMS $\frac{1}{2}$ 過電流値。CONFIG3 レジスタに OC_ENB ビットがセットされて相がイネーブルされ、BIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40C	OIC	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OIC_VAL		C 相 RMS $\frac{1}{2}$ 過電流値。CONFIG3 レジスタに OC_ENC ビットがセットされて相がイネーブルされ、BIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40D	OIN	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OIN_VAL		中性電流 RMS $\frac{1}{2}$ 過電流値。CONFIG3 レジスタに OC_ENN ビットがセットされて中性電流がイネーブルされ、NIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x40F	VLEVEL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	VLEVEL_VAL		基本波有効電力、無効電力、皮相電力と、基本波 IRMS および VRMS 値の計算アルゴリズムに使われるレジスタ。	0x45D45	R/W
0x410	DIP_LVL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPLVL		電圧 RMS½ディップ検出閾値レベル。	0x0	R/W
0x411	DIPA	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPA_VAL		ディップ状態時の A 相電圧 RMS½の値。	0x7FFFFFFF	R
0x412	DIPB	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPB_VAL		ディップ状態時の B 相電圧 RMS½の値。	0x7FFFFFFF	R
0x413	DIPC	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPC_VAL		ディップ状態時の C 相電圧 RMS½の値。	0x7FFFFFFF	R
0x414	SWELL_LVL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELL_LVL		電圧 RMS½スウェル検出閾値レベル。	0xFFFFFFFF	R/W
0x415	SWELLA	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLA_VAL		スウェル状態時の A 相電圧 RMS½の値。	0x0	R
0x416	SWELLB	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLB_VAL		スウェル状態時の B 相電圧 RMS½の値。	0x0	R
0x417	SWELLC	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLC_VAL		スウェル状態時の C 相電圧 RMS½の値。	0x0	R
0x41F	PHNOLOAD	[31:18]	RESERVED		予備	0x0	R
		17	CFVANL		このビットは、C 相の基本波皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		16	CFVARNL		このビットは、C 相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R
		15	CFWATTNL		このビットは、C 相の基本波有効電力量が無負荷状態の場合にセットされます。	0x0	R
		14	CVANL		このビットは、C 相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		13	CVARNL		このビットは、B 相の総合無効電力量が無負荷状態の場合にセットされます。	0x0	R
		12	CWATTNL		このビットは、C 相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R
		11	BFVANL		このビットは、B 相の基本波皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		10	BFVARNL		このビットは、B 相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R
		9	BFWATTNL		このビットは、B 相の基本波有効電力量が無負荷状態の場合にセットされます。	0x0	R
		8	BVANL		このビットは、B 相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		7	BVARNL		このビットは、B 相の総合無効電力量が無負荷状態の場合にセットされます。	0x0	R
		6	BWATTNL		このビットは、B 相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R
		5	AFVANL		このビットは、A 相の基本波皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		4	AFVARNL		このビットは、A 相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R
		3	AFWATTNL		このビットは、A 相の基本波有効電力量が無負荷状態の場合にセットされます。	0x0	R
		2	AVANL		このビットは、A 相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		1	AVARNL		このビットは、A 相の総合無効電力量が無負荷状態の場合にセットされます。	0x0	R
		0	AWATTNL		このビットは、A 相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x424	ADC_REDIRECT	[31:21]	RESERVED		予備	0x0	R
		[20:18]	VC_DIN	000 IA ADC データ。 001 IB ADC データ。 010 IC ADC データ。 011 IN ADC データ。 100 VA ADC データ。 101 VB ADC データ。 110 VC ADC データ。 111 VC ADC データ。	VC チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W
		[17:15]	VB_DIN	111 VB ADC データ。	VB チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W
		[14:12]	VA_DIN	111 VA ADC データ。	VA チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W
		[11:9]	IN_DIN	111 IN ADC データ。	IN チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W
		[8:6]	IC_DIN	111 IC ADC データ。	IC チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W
		[5:3]	IB_DIN	111 IB ADC データ。	IB チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W
		[2:0]	IA_DIN	111 IA ADC データ。	IA チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。	0x7	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x425	CF_LCFG	[31:23]	RESERVED		予備	0x0	R
		22	CF4_LT		このビットがセットされている場合、CF4 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		21	CF3_LT		このビットがセットされている場合、CF3 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		20	CF2_LT		このビットがセットされている場合、CF2 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		19	CF1_LT		このビットがセットされている場合、CF1 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		[18:0]	CF_LTMR		CF_LCFG レジスタの CFx_LT ビットがセットされている場合、この値によって CFx パルスのアクティブ・ロー・パルス幅が決まります。	0x0	R/W
0x472	PART_ID	[31:21]	RESERVED		予備	0x0	R
		20	ADE9000_ID		このビットは、ADE9000 IC を識別するためにセットされます。	0x1	R
		[19:0]	RESERVED		予備	0x0	R
0x474	TEMP_TRIM	[31:16]	TEMP_OFFSET		製造プロセス時に計算される温度センサーのオフセット。	0x0	R/W
		[15:0]	TEMP_GAIN		製造プロセス時に計算される温度センサーのゲイン。	0x0	R/W
0x481	CONFIG1	15	EXT_REF		外部電圧リファレンスを使用する場合は、このビットをセットします。	0x0	R/W
		[14:13]	RESERVED		予備	0x0	R
		12	IRQ0_ON_IRQ1		IRQ0 と IRQ1 の 2 本のピンを使わずにすべての割り込みを 1 つの割り込みピン IRQ1 にまとめるには、このビットをセットします。ただし、このモードでも IRQ0 ピンはイネーブルされた IRQ0 イベントを示し、IRQ1 ピンは IRQ1 と IRQ0 両方のイベントを示します。	0x0	R/W
		11	BURST_EN		アドレス 0x500～0x63C、またはアドレス 0x680～0x6BC のレジスタでバースト読出し機能をイネーブルするには、このビットをセットします。このビットは SPI レジスタの読出し値に追加される CRC を無効化することに注意してください。	0x0	R/W
		10	DIP_SWELL_IRQ_MODE		ディップ／スウェルの割り込みモードを設定します。 0 DIP_CYC/SWELL_CYC サイクルが経過するごとに連続割り込みを受信します。 1 ディップ／スウェル・モードに入った時に 1 つの割り込みを受信し、ディップ／スウェル・モードを終了した時に別の割り込みを受信します。	0x0	R/W
		[9:8]	PWR_SETTLE		これらのビットは、電力、電力量、CF の積算を開始する前に、電力およびフィルタベース実効値測定のセトリング時間を設定します。 0 : 64ms。 1 : 128ms。 2 : 256ms。 3 : 0ms。	0x0	R/W
		[7:6]	RESERVED		予備	0x0	R

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		5	CF_ACC_CLR		デジタル／周波数変換器と CFDEN カウンタの積算値をクリアするには、このビットをセットします。このビットは自動的にクリアされることに注意してください。	0x0	W
		4	RESERVED		予備	0x0	R
		[3:2]	CF4_CFG		このビットは、CF4 ピンにどの機能を出力するかを選択します。 00 CF4、デジタル／周波数変換器から。 01 CF4、デジタル／周波数変換器から。 10 <u>EVENT</u> 。 11 DREADY。	0x0	R/W
		1	CF3_CFG		これらのビットは、CF3 ピンにどの機能を出力するかを選択します。 0 CF3、デジタル／周波数変換器から。 1 ZX_LP_SEL レジスタの ZX_SEL ビットによって選択されたゼロ交差出力。	0x0	R/W
		0	SWRST		ソフトウェア・リセットを初期化するには、このビットをセットします。このビットはセルフ・クリア・ビットです。	0x0	W1
0x48F	OISTATUS	[15:4]	RESERVED		予備	0x0	R
		[3:0]	OIPHASE		OIPHASE、ビット 0 は A 相が OILVL を超えていることを示します。 OIPHASE、ビット 1 は B 相が OILVL を超えていることを示します。 OIPHASE、ビット 2 は C 相が OILVL を超えていることを示します。 OIPHASE、ビット 3 は N 相が OILVL を超えていることを示します。	0x0	R
0x490	CFMODE	15	CF4DIS		CF4：出力無効。CF4 出力を無効にしてピンをハイにするには、このビットをセットします。このビットをセットすると、デジタル／周波数変換器内に CF パルスを積算する時に STATUS0 の CFx ビットがセットされません。	0x0	R/W
		14	CF3DIS		CF3：出力無効。CF4DIS を参照。	0x0	R/W
		13	CF2DIS		CF2：出力無効。CF4DIS を参照。	0x0	R/W
		12	CF1DIS		CF1：出力無効。CF4DIS を参照。	0x0	R/W
		[11:9]	CF4SEL		CF4 ピンに出力される電力量のタイプ。どの相を含めるかを選択するには、COMPMODE レジスタの TERMSEL4 を設定します。 000 総合有効電力。 001 総合無効電力。 010 総合皮相電力。 011 基本波有効電力。 100 基本波無効電力。 101 基本波皮相電力。 110 総合有効電力。 111 総合有効電力。	0x0	R/W
		[8:6]	CF3SEL		CF3 ピンに出力される電力量のタイプを選択します。CF4SEL を参照。	0x0	R/W
		[5:3]	CF2SEL		CF2 ピンに出力される電力量のタイプを選択します。CF4SEL を参照。	0x0	R/W
		[2:0]	CF1SEL		CF1 ピンに出力される電力量のタイプを選択します。CF4SEL を参照。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x491	COMPMODE	[15:12]	RESERVED		予備	0x0	R
		[11:9]	TERMSEL4		CF4 パルス出力に含める相。CF4 パルス出力に C 相を含めるには、TERMSEL4 のビット 2 を 1 に設定します。同様に、B 相を含めるには TERMSEL4 のビット 1 を、A 相を含めるには TERMSEL4 のビット 0 を 1 に設定します。	0x0	R/W
		[8:6]	TERMSEL3		CF3 パルス出力に含める相。TERMSEL4 を参照。	0x0	R/W
		[5:3]	TERMSEL2		CF2 パルス出力に含める相。TERMSEL4 を参照。	0x0	R/W
		[2:0]	TERMSEL1		CF1 パルス出力に含める相。TERMSEL4 を参照。	0x0	R/W
0x492	ACCMODE	[15:9]	RESERVED		予備	0x0	R
		8	SELFREQ	0 50Hz。 1 60Hz。	50Hz または 60Hz システムに IC を設定するには、このビットを使用します。この設定は、基本波電力測定と、ゼロ交差が存在しない場合の VRMS $\frac{1}{2}$ 、10 サイクル実効値/12 サイクル実効値、およびリサンプリングの計算に使用するデフォルトのライン周期の設定に使用します。	0x0	R/W
		7	ICONSEL		IA および IC の測定値から IB を流れる電流を計算するには、このビットをセットします。このビットをセットした場合は、IB = -IA - IC です。	0x0	R/W
		[6:4]	VCONSEL	000 4 線式 Y 結線。 001 3 線式 Δ 結線。VB' = VA - VC. 010 4 線式 Y 結線、非ブロンデル方式 VB' = -VA - VC. 011 4 線式 Δ 結線、非ブロンデル方式 VB' = -VA. 100 3 線式 Δ 結線。VA' = VA - VB、VB' = VA - VC、VC' = VC - VB.	3 線式および 4 線式ハードウェア設定の選択。	0x0	R/W
		[3:2]	VARACC	00 符号付き積算モード。 01 絶対値積算モード。 10 正の積算モード。 11 負の積算モード。	電力量レジスタおよび CFx パルス用の総合および基本波無効電力積算モード。	0x0	R/W
		[1:0]	WATTACC		電力量レジスタおよび CFx パルス用の総合および基本波有効電力積算モード。VARACC を参照。	0x0	R/W
0x493	CONFIG3	[15:12]	OC_EN		過電流検出イネーブル。OC_EN[3:0] ビットはすべて同時に 1 に設定して、3 相すべてのチャンネルと中性チャンネルの過電流検出を同時に行うことができます。 ビット 12。OC_EN[3] を 1 に設定すると、A 相が過電流検出の対象に選択されます。 ビット 13。OC_EN[2] を 1 に設定すると、B 相が過電流検出の対象に選択されます。 ビット 14。OC_EN[1] を 1 に設定すると、C 相が過電流検出の対象に選択されます。 ビット 15。OC_EN[0] を 1 に設定すると、中性線が過電流検出の対象に選択されます。	0xF	R/W
		[11:5]	RESERVED		予備	0x0	R
		[4:2]	PEAKSEL		どの相のピーク電圧とピーク電流をモニタするかを選択するには、このビットを設定します。A 相のピーク検出をイネーブルするには、PEAKSEL のビット 0 に 1 を書き込みます。同様に、PEAKSEL のビット 1 は B 相のピーク検出をイネーブルし、PEAKSEL のビット 2 は C 相のピーク検出をイネーブルします。	0x0	R/W
		[1:0]	RESERVED		予備	0x0	R

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x49A	ZX_LP_SEL	[15:5]	RESERVED		予備	0x0	R
		[4:3]	LP_SEL		VRMS $\frac{1}{2}$ サイクル、10 サイクル実効値/12 サイクル実効値、およびリサンプリングに使用するライン周期測定を選択します。 00 APERIOD、A 相電圧からのライン周期測定。 01 BPERIOD、B 相電圧からのライン周期測定。 10 CPERIOD、C 相電圧からのライン周期測定。 11 COM_PERIOD、VA、VB、VC を組み合わせた信号でのライン周期測定。	0x3	R/W
		[2:1]	ZX_SEL		CF3/ZX 出力ピンに送って、ライン・サイクル電力量の積算に使用できるゼロ交差信号を選択します。 00 ZXVA、A 相電圧ゼロ交差信号。 01 ZXVB、B 相電圧ゼロ交差信号。 10 ZXVC、C 相電圧ゼロ交差信号。 11 ZXCOMB、VA、VB、および VC の合成信号のゼロ交差。	0x3	R/W
		0	RESERVED		予備	0x0	R
0x49D	PHSIGN	[15:10]	RESERVED		予備	0x0	R
		9	SUM4SIGN		CF4 データバスに含まれる電力合計値の符号。このビットがクリアの場合、CF4 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		8	SUM3SIGN		CF3 データバスに含まれる電力合計値の符号。このビットがクリアの場合、CF3 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		7	SUM2SIGN		CF2 データバスに含まれる電力合計値の符号。このビットがクリアの場合、CF2 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		6	SUM1SIGN		CF1 データバスに含まれる電力合計値の符号。このビットがクリアの場合、CF1 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		5	CVARSIGN		C 相無効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。	0x0	R
		4	CWSIGN		C 相有効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合有効電力と基本波有効電力のどちらをモニタするかを選択します。	0x0	R
		3	BVARSIGN		B 相無効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。	0x0	R
		2	BWSIGN		B 相有効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合有効電力と基本波有効電力のどちらをモニタするかを選択します。	0x0	R
		1	AVARSIGN		A 相無効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。	0x0	R
		0	AWSIGN		A 相有効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合有効電力と基本波有効電力のどちらをモニタするかを選択します。	0x0	R
0x4A0	WFB_CFG	[15:13]	RESERVED		予備	0x0	R
		12	WF_IN_EN		ここの設定は、IN 波形サンプルが SPI を介して波形バッファから読み出されるかどうかを決定します。 0 IN 波形サンプルは SPI を介して波形バッファから読み出されません。 1 IN 波形サンプルが SPI を介して波形バッファから読み出されます。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		[11:10]	RESERVED		予備	0x0	R
		[9:8]	WF_SRC	00 32kSPS の Sinc4 出力。 01 予備 10 8kSPS の Sinc4 + IIR LPF 出力。 11 DSP により 8kSPS で処理した電流および電圧チャンネル波形サンプル (xI_PCF、xV_PCF) 。	波形バッファ・ソースと DREADY (データ・レディ更新レート) の選択。	0x0	R/W
		[7:6]	WF_MODE	00 波形バッファがフルになった時点で停止 01 連続フィル・イネーブルされたトリガ・イベントの発生時だけ停止。 10 連続フィリング・イネーブルされたトリガ・イベントを中心にしてキャプチャ。 11 連続フィル・イネーブルされたトリガ・イベントのイベント・アドレスを保存	固定データ・レート波形のフィリングとトリガ・ベース・モード。	0x0	R/W
		5	WF_CAP_SEL	0 リサンプリングされたデータ 1 固定データ・レートのデータ	このビットは、波形バッファにリサンプリングされたデータを入力するか固定データ・レートのデータを入力するかを選択します。	0x0	R/W
		4	WF_CAP_EN	0 波形キャプチャをディセーブルして、波形バッファの内容を維持。 1 このビットが 0 から 1 になったら、WF_CAP_SEL ビットと WF_SRC ビットによるキャプチャのタイプに従って波形キャプチャを開始。	このビットがセットされると、波形キャプチャが開始されます。	0x0	R/W
		[3:0]	BURST_CHAN	0000 すべてのチャンネル 0001 IA と VA 0010 IB と VB 0011 IC と VC 1000 IA 1001 VA 1010 IB 1011 VB 1100 IC 1101 VC 1110 WFB_CFG レジスタの WF_IN_EN が 1 の場合は IN 1111 シングル・アドレス読出し (SPI バースト読出しモードはディセーブル)	SPI を介して波形バッファからどのデータを読み出すかを選択します。	0x0	R/W
0x4A2	WFB_TRG_CFG	[15:11]	RESERVED		予備	0x0	R
		10	TRIG_FORCE		イベントをトリガして波形バッファへの入力を停止するには、このビットをセットします。	0x0	R/W
		9	ZXCOMB		VA、VB、VC を組み合わせた信号でのゼロ交差。	0x0	R/W
		8	ZXVC		C 相電圧ゼロ交差。	0x0	R/W
		7	ZXVB		B 相電圧ゼロ交差。	0x0	R/W
		6	ZXVA		A 相電圧ゼロ交差。	0x0	R/W
		5	ZXIC		C 相電流ゼロ交差。	0x0	R/W
		4	ZXIB		B 相電流ゼロ交差。	0x0	R/W
		3	ZXIA		A 相電流ゼロ交差。	0x0	R/W
		2	OI		任意の相での過電流イベント。	0x0	R/W
		1	SWELL		任意の相でのスウェル・イベント。	0x0	R/W
		0	DIP		任意の相でのディップ・イベント。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x4A3	WFB_TRG_STAT	[15:12]	WFB_LAST_PAGE		これらのビットは、固定レートのデータ・サンプルを波形バッファに入力する際に、どのページへの入力が最後に行われたかを示します。	0x0	R/W
		11	RESERVED		予備	0x0	R
		[10:0]	WFB_TRIG_ADDR		これらのビットは、トリガ・イベント発生後、波形バッファに置かれた最後のサンプルのアドレスを保持します。これは、実際のトリガ・イベントの発生から 1 サンプルまたは 2 サンプル以内です。	0x0	R
0x4AF	CONFIG2	[15:13]	RESERVED		予備	0x0	R
		12	UPERIOD_SEL		VRMS $\frac{1}{2}$ 、10 サイクル実効値／12 サイクル実効値、およびリサンプリングの計算用にユーザが USER_PERIOD に設定したライン周期を使用するには、このビットをセットします。このビットがクリアの場合は、ZX_LP_SEL レジスタの LP_SEL[1:0] ビットによって選択された相電圧ライン周期が使われます。	0x0	R/W
		[11:9]	HPF_CRN		CONFIG0 レジスタの HPFDIS ビットがゼロになると、ハイパス・フィルタ・コーナ (f3dB) がイネーブルされます。	0x6	R/W
				000	77.39Hz _o		
				001	39.275Hz _o		
				010	19.79Hz _o		
				011	9.935Hz _o		
				100	4.98Hz _o		
				101	2.495Hz _o		
				110	1.25Hz _o		
				111	0.625Hz _o		
		[8:0]	RESERVED		予備	0x0	R
0x4B0	EP_CFG	[15:13]	NOLOAD_TMR		このレジスタは、無負荷状態の終了を判定する 8kSPS サンプルの数を設定します。	0x0	R/W
				000	64 サンプル。		
				001	128 サンプル。		
				010	256 サンプル。		
				011	512 サンプル。		
				100	1024 サンプル。		
				101	2048 サンプル。		
				110	4096 サンプル。		
				111	無負荷閾値を無効にします。		
		[12:8]	RESERVED		予備	0x0	R
		7	PWR_SIGN_SEL[1]		REVRP _x ビットを、総合無効電力と基本波無効電力のどちらの符号に合わせるかを選択します。	0x0	R/W
				0	総合無効電力。		
				1	基本波無効電力。		
		6	PWR_SIGN_SEL[0]		REVAP _x ビットを、総合有効電力と基本波有効電力のどちらの符号に合わせるかを選択します。	0x0	R/W
				0	総合有効電力。		
				1	基本波有効電力。		
		5	RD_RST_EN		電力量レジスタのリセット機能付き読出しを有効にするには、このビットをセットします。このビットをセットすると、xWATTHR、xVAHR、xVARH、xFWATTHR、xFVAHR、xFVARHR レジスタのいずれか 1 つを読み出す時にはそのレジスタがリセットされて、電力量の積算がゼロから開始されます。	0x0	R/W
		4	EGY_LD_ACCUM		このビットがゼロの場合は、ユーザ・アクセス可能な電力量レジスタに内部電力量レジスタが加えられます。このビットをセットした場合は、EGYRDY イベントが発生すると、内部電力量レジスタがユーザ・アクセス可能な電力量レジスタを上書きします。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		[3:2]	RESERVED		予備	0x0	R
		1	EGY_TMR_MODE		このビットは、EGY_TIME レジスタで設定した 8kSPS のサンプル数またはゼロ交差イベント数のどちらに基づいて電力量が積算されるかを決定します。 0 8kSPS サンプルに基づいて電力量を積算します。 1 ZX_LP_SEL レジスタの ZX_SEL ビットによって選択されたゼロ交差に基づいて電力量を積算します。	0x0	R/W
		0	EGY_PWR_EN		実行ビットもセットされている場合に、電力量および電力積算器をイネーブルするには、このビットをセットします。	0x0	R/W
0x4B4	CRC_FORCE	[15:1]	RESERVED		予備	0x0	R
		0	FORCE_CRC_UPDATE		設定レジスタの CRC 計算を強制的に開始させるには、このビットに書き込みを行います。計算が完了すると、STATUS1 レジスタに CRC_DONE ビットがセットされます。	0x0	R/W
0x4B5	CRC_OPTEN	15	CRC_WFB_TRG_CFG_EN		設定レジスタの CRC 計算に WFB_TRG_CFG レジスタを含めるには、このビットをセットします。	0x0	R/W
		14	CRC_WFB_PG_IRQEN		設定レジスタの CRC 計算に WFB_PG_IRQEN レジスタを含めるには、このビットをセットします。	0x0	R/W
		13	CRC_WFB_CFG_EN		設定レジスタの CRC 計算に WFB_CFG レジスタを含めるには、このビットをセットします。	0x0	R/W
		12	CRC_SEQ_CYC_EN		設定レジスタの CRC 計算に SEQ_CYC レジスタを含めるには、このビットをセットします。	0x0	R/W
		11	CRC_ZXLPSEL_EN		設定レジスタの CRC 計算に ZX_LP_SEL レジスタを含めるには、このビットをセットします。	0x0	R/W
		10	CRC_ZXTOUT_EN		設定レジスタの CRC 計算に CRC_ZXTOUT_EN レジスタを含めるには、このビットをセットします。	0x0	R/W
		9	CRC_APP_NL_LVL_EN		設定レジスタの CRC 計算に APP_NL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		8	CRC_REACT_NL_LVL_EN		設定レジスタの CRC 計算に REACT_NL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		7	CRC_ACT_NL_LVL_EN		設定レジスタの CRC 計算に ACT_NL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		6	CRC_SWELL_CYC_EN		設定レジスタの CRC 計算に SWELL_CYC レジスタを含めるには、このビットをセットします。	0x0	R/W
		5	CRC_SWELL_LVL_EN		設定レジスタの CRC 計算に SWELL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		4	CRC_DIP_CYC_EN		設定レジスタの CRC 計算に DIP_CYC レジスタを含めるには、このビットをセットします。	0x0	R/W
		3	CRC_DIP_LVL_EN		設定レジスタの CRC 計算に DIP_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		2	CRC_EVENT_MASK_EN		設定レジスタの CRC 計算に EVENT_MASK レジスタを含めるには、このビットをセットします。	0x0	R/W
		1	CRC_MASK1_EN		設定レジスタの CRC 計算に MASK1 レジスタを含めるには、このビットをセットします。	0x0	R/W
		0	CRC_MASK0_EN		設定レジスタの CRC 計算に MASK0 レジスタを含めるには、このビットをセットします。	0x0	R/W
0x4B6	TEMP_CFG	[15:4]	RESERVED		予備	0x0	R
		3	TEMP_START		温度センサーの指示値を要求するには、このビットをセットします。この新しい温度指示値は 1.25ms で取得でき、STATUS0 レジスタの TEMP_RDY ビットによって示されます。このビットはセルフ・クリア・ビットです。	0x0	W1
		2	TEMP_EN		温度センサーをイネーブルするには、このビットをセットします。	0x0	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		[1:0]	TEMP_TIME	0 1 10 11	平均する温度指示値の数を選択します。 1 サンプル。1.25ms ごとに新しい温度を測定。 256 サンプル。320ms ごとに新しい温度を測定。 512 サンプル。640ms ごとに新しい温度を測定。 1024 サンプル。1.3 秒ごとに新しい温度を測定。	0x0	R/W
0x4B7	TEMP_RSLT	[15:12]	RESERVED		予備	0x0	R
		[11:0]	TEMP_RESULT		12 ビット温度センサー値。	0x0	R
0x4B9	PGA_GAIN	[15:14]	RESERVED		予備	0x0	R
		[13:12]	VC_GAIN	00 01 10 11	C 相電圧チャンネル ADC の PGA ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 4	0x0	R/W
		[11:10]	VB_GAIN		B 相電圧チャンネル ADC の PGA ゲイン VC_GAIN を参照。	0x0	R/W
		[9:8]	VA_GAIN		A 相電圧チャンネル ADC の PGA ゲイン VC_GAIN を参照。	0x0	R/W
		[7:6]	IN_GAIN		中性電流チャンネル ADC の PGA ゲイン VC_GAIN を参照。	0x0	R/W
		[5:4]	IC_GAIN		C 相電流チャンネル ADC の PGA ゲイン VC_GAIN を参照。	0x0	R/W
		[3:2]	IB_GAIN		B 相電圧チャンネル ADC の PGA ゲイン VC_GAIN を参照。	0x0	R/W
		[1:0]	IA_GAIN		A 相電流チャンネル ADC の PGA ゲイン VC_GAIN を参照。	0x0	R/W
0x4BA	CHNL_DIS	[15:7]	RESERVED		予備	0x0	R
		6	VC_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
		5	VB_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
		4	VA_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
		3	IN_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
		2	IC_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
		1	IB_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
		0	IA_DISADC		ADC をディスエーブルするにはこのビットをセットします。	0x0	R/W
0x4E0	VAR_DIS	[15:1]	RESERVED		予備	0x0	R
		0	VARDIS		総合 VAR 計算をディスエーブルするにはこのビットをセットします。正常な動作のためには、実行ビットへの書込み前にこのビットをセットしなければなりません。	0x0	R/W

メモ

**ESD に関する注意**

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

法的使用条件

アナログ・デバイsez社は、提供する情報が正確で信頼できるものであることに万全を期していますが、その利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイsez社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。本書に記載されている情報は予告なしに変更されることがあります。アナログ・デバイsezが提供するソフトウェアまたはハードウェアについては、分解、逆コンパイル、またはリバース・エンジニアリングは許可されません。アナログ・デバイsezのアナログ・デバイsez製品の標準使用条件については、http://www.analog.com/jp/content/analog_devices_terms_and_conditions/fca.html を参照してください。