日本語参考資料
最新版英語ミニ・チュートリアルはこちら

ANALOG DEVICES

ミニ・チュートリアル

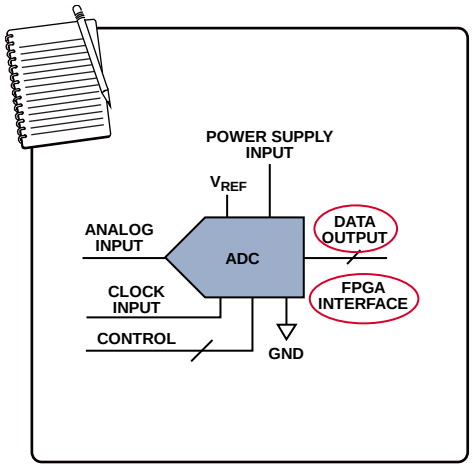
MT-201

FPGA と A/D コンバータ・データ出力とのインターフェース

アプリケーション・エンジニアリング・グループ
アナログ・デバイセズ

内容

フィールド・プログラマブル・ゲート・アレイ (FPGA)と A/D コンバータ (ADC) 出力とのインターフェースは、一般的な技術問題です。このノートブックには、種々のインターフェース・プロトコルの概要、規格、アプリケーションのヒント、高速データ・コンバータで LVDS を使用する技術を記載します。



アプリケーション・エンジニアリング・ノートブック
エデュケーショナル・シリーズ

目次

インターフェース形式と規格 2
一般的な推奨事項 3
代表的な例 4
トラブルシューティングのヒント 7
ビット 14 目がミスコードするケース 7
ADC の周波数領域でのプロット—ビット 14 のミスコード 7
ADC の時間領域でのプロット— ビット 14 のミスコード 8
ビット 9 とビット 10 が短絡したケース 8
ビット 9 とビット 10 が短絡した ADC の周波数領域プロット 9
ビット 9 とビット 10 が短絡した ADC の時間領域プロット 9
データとクロックの無効なタイミングがある場合の時間領域プロット 10
データとクロックの無効なタイミングがある場合の時間領域プロットの拡大表示 10

改訂履歴

1/13—Rev. 0 to Rev. A

Deleted Using Adapter Boards Section 11

1/12—Revision 0: Initial Version

インターフェース形式と規格

フィールド・プログラマブル・ゲート・アレイ (FPGA)と A/D コンバータ (ADC) のデータ出力とのインターフェースは、一般的な技術問題です。そのインターフェース作業は、ADC が様々なデジタル・データ形式と規格を扱うため複雑になります。シングル・データレート (SDR) CMOS は、200 MHz を下回る低速データ・インターフェースで非常に一般的で、トランスミッタ側ではデータがクロックの一方のエッジで変化し、レシーバ側では他方のクロック・エッジでデータ確定し受信されます。これにより、データは安定するまでに多くの時間を確保した後に、レシーバでサンプルされます。ダブル・データレート (DDR) CMOS では、トランスミッタが各クロック・エッジでデータを変化させます。このため、SDR と同じ時間に 2 倍のデータを転送できますが、レシーバでのサンプリングのタイミングが複雑になります。

パラレル低電圧差動シグナリング (LVDS) は、高速データ・コンバータにおいては一般的なインターフェース規格です。この規格では、各ビットに P（＋）線と N（－）線を使う差動信号を採用し、DDR では 1.6 Gbps まで、または最新 FPGA では 800 MHz までの速度を実現しています。パラレル LVDS の消費電力は CMOS より少ないですが、配線数が 2 倍になるため、配線が難しくなります。LVDS 規格ではありませんが、LVDS は送信側クロック同期クロック・システムを採用するデータ・コンバータで広く使用されています。このセットアップでは、データと同相のクロックがデータと一緒に送信されます。レシーバはこのクロックを使って、データ変化を知ることができるので、データを容易に取り込むことができます。

FPGA ロジックが高速コンバータの速度に追い付けないことがあります。このため大部分の FPGA はシリアライザ／ディシリアライザ (SERDES) ブロックを内蔵して、コンバータ側の高速のシリアル・インターフェースを FPGA 側の低速パラレル・インターフェースへ変換します。バス内の各データビットに対して、このブロックは 2 ビット、4 ビット、または 8 ビットを出力しますが、クロック・レートは 1/2、1/4、または 1/8 であり、効果的にデータをディシリアライズします。コンバータでは本数の少ないバスになりますが、FPGA 内部では遥かに低速で動作し線数の多いバスで処理されます。

LVDS 規格は、シリアル・リンクで、多く波は高速 ADC で採用されています。シリアル LVDS は、速度よりピン数が重要な場合に使用されることが一般的です。データレート・クロックとフレーム・クロックの 2 つのクロックがよく使われます。パラレル LVDS のセクションで説明したすべての考慮事項は、シリアル LVDS にも適用されます。パラレル LVDS は、単順にいうと複数のシリアル LVDS ラインから構成されています。

I^2C では、クロックとデータの 2 本の線を使用し、バス上で多数のデバイスをサポートします。I^2C は、400 kHz～1 MHz と比較的低速で、プロトコル・オーバーヘッドがあります。一般に、デバイス・サイズが気になる応用で、低い速度で動作するデバイスで採用されています。また、I^2C は制御インターフェースまたはデータ・インターフェースでも使用されます。

SPI は、次の 3 本または 4 本の線を使います。

- クロック
- データ入力とデータ出力 (4 線式)、または双方向データ入出力 (3 線式)
- チップ・セレクト (非マスター・デバイスあたり 1 本)

SPI は、使用可能なチップ・セレクト・ライン数と同数のデバイスをサポートします。最大 100 MHz の速度を提供し、一般的に制御インターフェースとデータ・インターフェースとして使用されています。

CMOS ベースの双方向インターフェースであるシリアル PORT (SPORT)では、1 方向あたり 1 本または 2 本のデータ・ピンを使用します。 ワード長が調整可能ですので、バイト単位ではないデータに対して非常に有効です。SPORT は、時分割多重 (TDM) をサポートするため、一般にオーディオ／メディア・コンバータとチャンネル数の多いコンバータで採用されおり、ピンあたり約 100 MHz の性能を提供します。SPORT は弊社 Blackfin プロセッサで用いられており、FPGA で容易に実現することができます。SPORT では、制御文字を挿入できますが、一般にデータに対してのみ使用されます。

JESD204 は、FPGA や ASIC のようなシングル・ホストと、1 個または複数のデータ・コンバータとの間の高速シリアル・リンクに対する JEDEC 規格です。最新規格では、レーンすなわち差動のペアあたり最大 3.125 Gbps を規定しています。将来のレビジョンでは 6.25 Gbps 以上が規定されます。レーンでは、8B/10B エンコーディングを使い、レーンの実効帯域幅を理論値の 80%へ削減します。クロックがデータ・ストリームに組み込まれているため、クロック信号の追加は不要です。複数のレーンを束ねてスループットを上げると同時にデータ・リンク層プロトコルによりデータの確実性を確保します。シンプルな LVDS または CMOS に比べると、JESD204 ではデータ・フレーム用に非常に多くの FPGA/ASIC リソースを必要とします。配線要求が大幅に減りますが、代わりに高価な FPGA と優れた PCB 配線手法が必要になります。

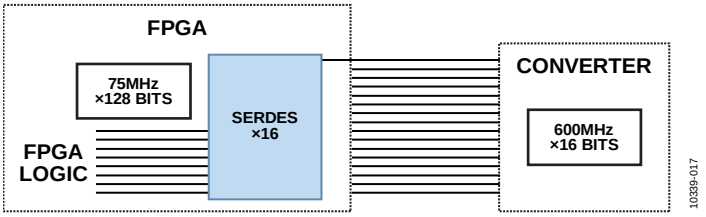


図 1. コンバータの高速シリアル・インターフェースとインターフェースする FPGA 内の SERDES ブロック

一般的な推奨事項

一般的な推奨事項は、ADC と FPGA との間のインターフェースでも利用出来ます。

- FPGA 内部の 終端ではなく、レシーバ、FPGA、ASIC 側に外付け抵抗による終端を使うことで、タイミングスペックを割る可能性を作るミスマッチによる反射をなくします。
- システム内で複数の ADC を使用する場合、DCO は 1 個の ADC のものを使用しないでください。
- レシーバへのデジタル・パターンをレイアウトする場合は、すべてのパターンを同じ長さにする「トロンボーン」のような形の多用を避けてください。
- CMOS 出力に直列に終端を接続することで、エッジの周波数成分を低くしてスイッチング・ノイズを制限してください。正しいデータ・フォーマット (2 の補数、オフセット・バイナリ) を使用していることを確認してください。

シングルエンドの CMOS デジタル信号では、ロジック・レベルが約 1 V/nS で出力負荷が最大 10 pF のとき、代表的電流はビットあたり 10 mA になります。電流は、できるだけ小さな容量性負荷にする必要があります。それは、できるだけ短いパターンで、望ましくはビアなしで、1 個のゲートだけを駆動することで実現できます。また、デジタル出力と入力にダンピング抵抗を使用することにより充電電流を小さくすることができます。

ダンピング抵抗と容量性負荷の時定数は、サンプリング・レート周期の約 10% である必要があります。クロック・レートが 100 MHz で負荷が 10 pF の場合、時定数は 10 nS の 10%、すなわち 1 nS である必要があります。この場合、R は 100 Ω である必要があります。最適な信号対ノイズ比 (SNR) 性能を得るためには、3.3 V DRVDD より 1.8 V DRVDD の方が望まれます。ただし、大きな容量負荷を駆動すると SNR が低下するので注意が必要です。CMOS 出力は、約 200 MHz のサンプリング・クロックまで使用することができますが、2 つの出力負荷を駆動する場合、またはパターン長が 1 または 2 インチ（約 2.5cm か 5cm）より長い場合は、バッファの使用が推奨されます。

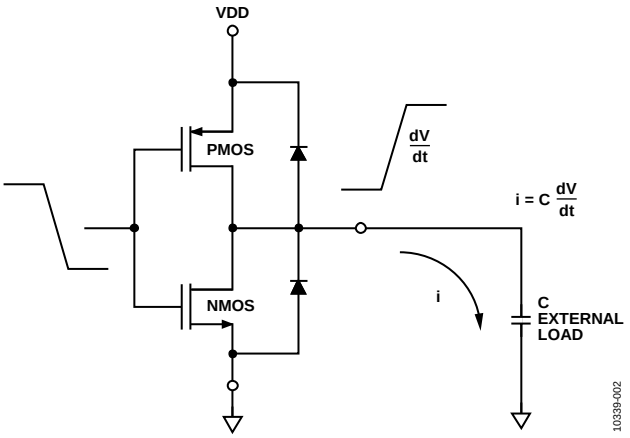


図 2.代表的な CMOS デジタル出力ドライバ

ADC デジタル出力は、出力の過渡電流により ADC のノイズと歪みが大きくなり、アナログ入力に影響を与えることがあるため注意深く扱う必要があります。

図 2 に示す代表的な CMOS ドライバは、特に容量負荷を駆動するとき、大きな過渡電流を発生します。CMOS データ出力の ADC では特に注意して、これらの電流を小さくし、 ADC 内でノイズと歪みがさらに大きくならないようにする必要があります。

代表的な例

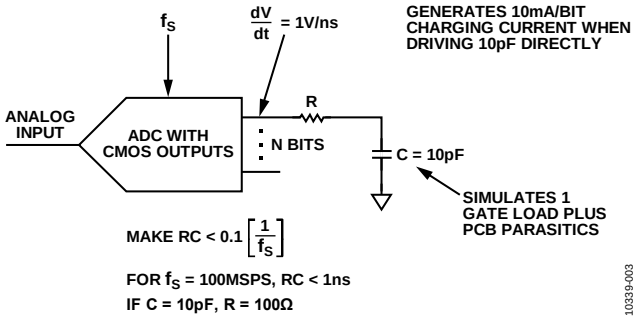


図 3.CMOS デジタル出力の充電電流を小さくするために直列抵抗を使用

図 3 に、16 ビット・パラレル CMOS 出力 ADC の場合について示します。各出力に 10 pF の負荷を接続し、1 ゲート分の負荷 + PCB 寄生容量をシミュレーションすると、各ドライバは 10 pF 負荷を駆動する際に 10 mA の充電電流を発生します。

このため、16 ビット ADC の合計過渡電流は最大 16 × 10 mA = 160 mA になります。これらの過渡電流は、各データ出力に直列に抵抗 R を接続して小さくすることができます。抵抗値は、RC 時定数が合計サンプリング周期の 10%未満になるように選択する必要があります。 *f*S = 100 MSPS の場合、RC は 1 ns より小さくする必要があります。C = 10 pF の場合、 R が約 100 Ω で最適です。これより大きな値の R を選択すると、出力データのセトリング・タイムが性能低下して、データ取り込みに悪影響を与えます。CMOS ADC 出力の容量負荷は 1 ゲート分の負荷(通常は外付けデータ・キャプチャ・レジスタ)に制限する必要があります。いかなる場合でも、データ出力をノイズの多いデータ・バスへ直接接続しないようにしてください。間にロジック・バッファ IC を使って ADC 出力に繋がる負荷を小さくする必要があります。

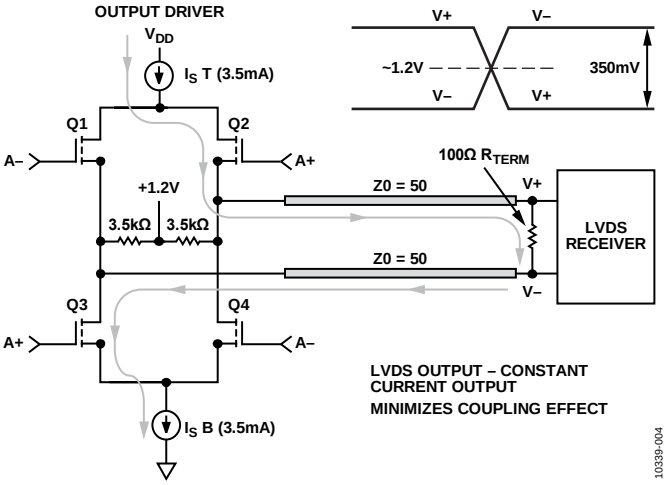


図 4.代表的な LVDS ドライバ設計

図 4 に CMOS での標準的な LVDS ドライバを示します。公称電流は 3.5 mA で、同相モード電圧は 1.2 V です。したがって、レシーバでの各入力振幅は、100 Ω の差動終端抵抗を駆動する際 350 mV p-p になります。これは、差動振幅 700 mV p-p に相当します。これらの数値は LVDS 仕様から求めたものです。

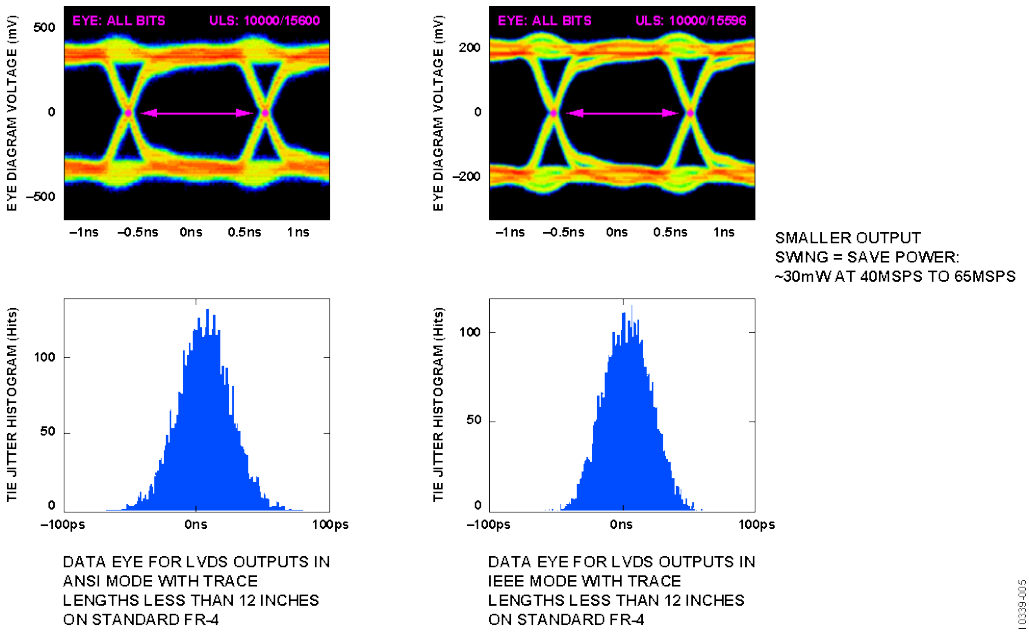


図 5.LVDS の ANSI 規格対 IEEE 規格

ANSI と IEEE により制定された 2 つの LVDS 規格があります。2 つの規格は似ていて、全体として互いに互換性がありますが、同じではありません。図 5 に、2 つの規格のアイ・ダイアグラムとジッタ・ヒストグラムの比較を示します。IEEE 規格の LVDS 振幅は 200 mV p-p で、ANSI 規格の 320 mV p-p より小さくなっています。これはデジタル出力での消費電力の削減に役立ちます。このため、アプリケーションとレシーバへの接続で問題ない場合は、 IEEE 規格を使うと良いでしょう。

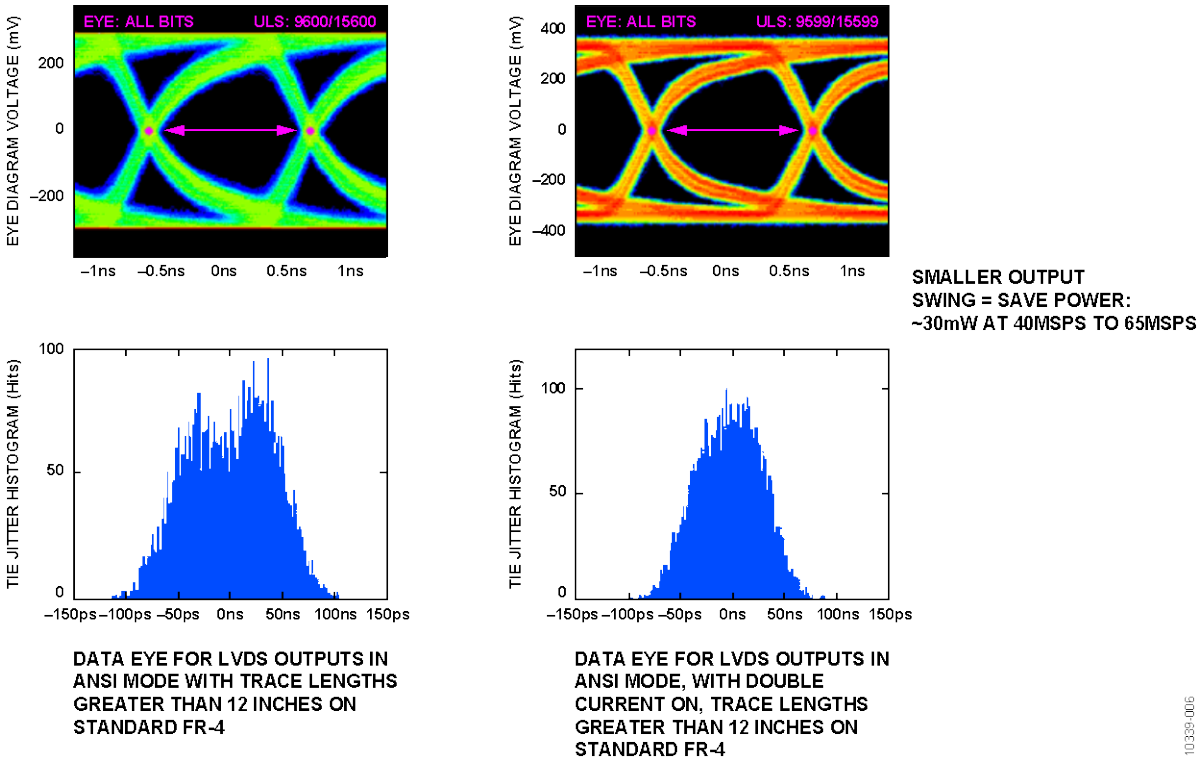


図 6.LVDS の ANSI 規格対 IEEE 規格—パターン長が 12 インチを超える場合

図 6 に、パターン長が 12 インチ(30 cm)を超えるときの LVDS の ANSI 規格と IEEE 規格の比較を示します。両図とも ANSI バージョンの規格で駆動しています。右の図では、出力電流が 2 倍になっています。出力電流を 2 倍にすると、アイがクリーンになり、ジッタ・ヒストグラムも改善されます。

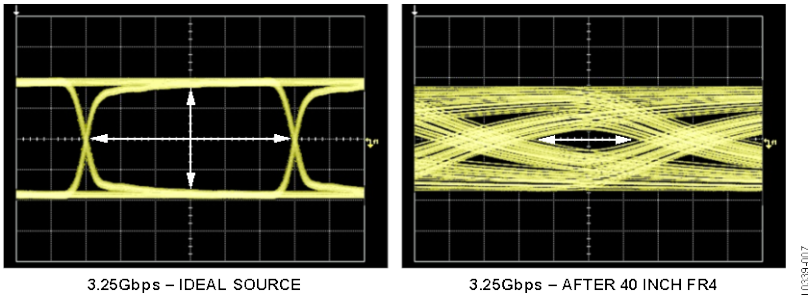


図 7.FR4 チャンネル損失の影響

図 7 に示す FR4 材料上のパターン長の影響に注意してください。左図にトランスミッタでの理想アイ・ダイアグラムを示します。40 インチ離れたレシーバでは、アイが殆ど閉じた状態であるため、レシーバでのデータ再生は困難になります。

トラブルシューティングのヒント

ビット 14 目がミスコードするケース

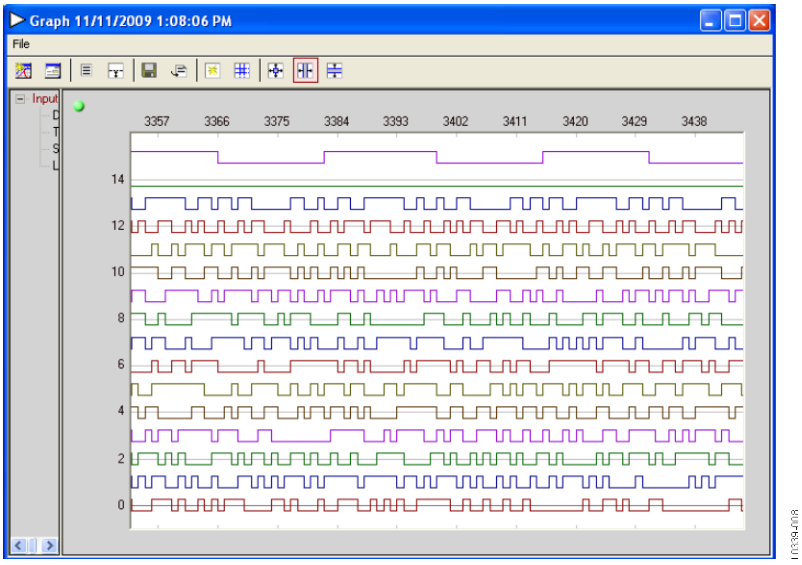


図 8.ビット 14 ミッシングの AD9268 ADC

図 8 に、データビットの VisualAnalog デジタル・ディスプレイを示します。ビット 14 は動作していません。 デバイス、PCB、レシーバに問題があることを示しています。あるいは、符号なしデータが小さ過ぎて、最上位ビットが変化しないことも考えられます。

ADC の周波数領域でのプロット—ビット 14 のミスコード

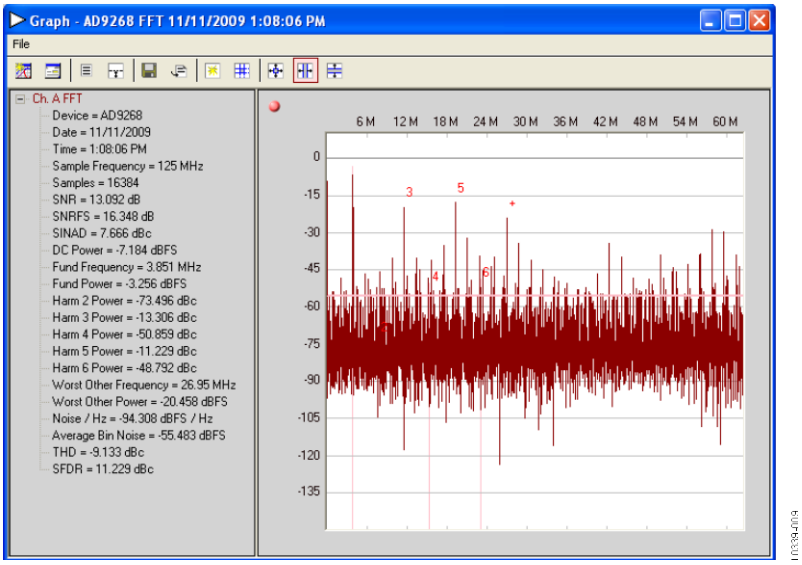


図 9.AD9268 ADC の周波数領域でのプロット—ビット 14 ミッシング

図 9 に、ビット 14 が変化しない前のデジタル・データの周波数領域での表示を示します。このプロットは、ビットの重みが大きく、システム内の何処かでエラーがあることを示しています。

ADC の時間領域でのプロット— ビット 14 のミスコード

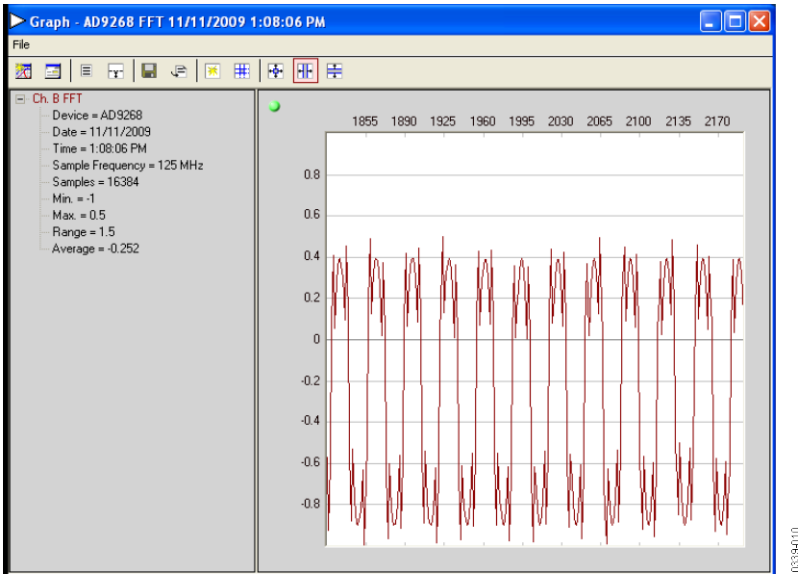


図 10.AD9268 の ADC 時間領域でのプロット—ビット 14 ミッシング

図 10 に、同じデータの時間領域プロットを示します。滑らかな正弦波ではなく、データがオフセットされ、波形全体のポイントに大きなピークがあります。

ビット 9 とビット 10 が短絡した ADC

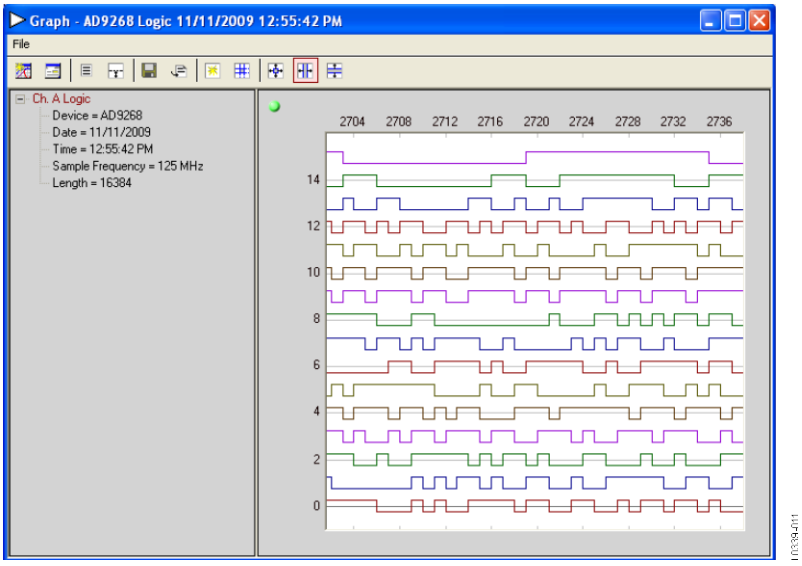


図 11. ビット 9 とビット 10 が短絡した AD9268 ADC

図 11 では、ミスコードではなく、2 つのビットが短絡しているため、レシーバから見ると 2 本のピンに同じデータが出力されています。

ビット 9 とビット 10 が短絡した ADC の周波数領域プロット

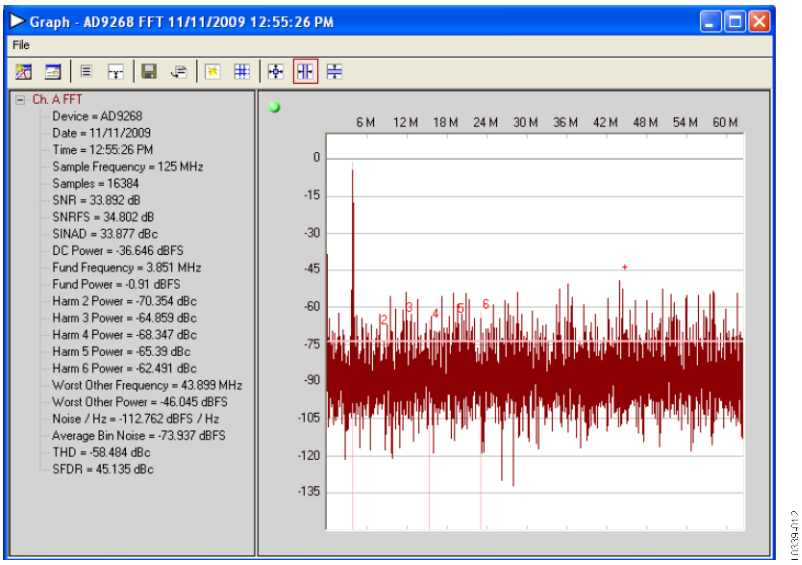


図 12. ビット 9 とビット 10 が短絡した AD9268 ADC の周波数領域プロット

図 12 に、2 ビットが短絡した同じケースの周波数領域表示を示します。基本波がクリアに表示されていますが、ノイズ・フロアかなり悪くなっています。フロアが歪を受ける度合いは、短絡したビットに依存します。

ビット 9 とビット 10 が短絡した ADC の時間領域プロット

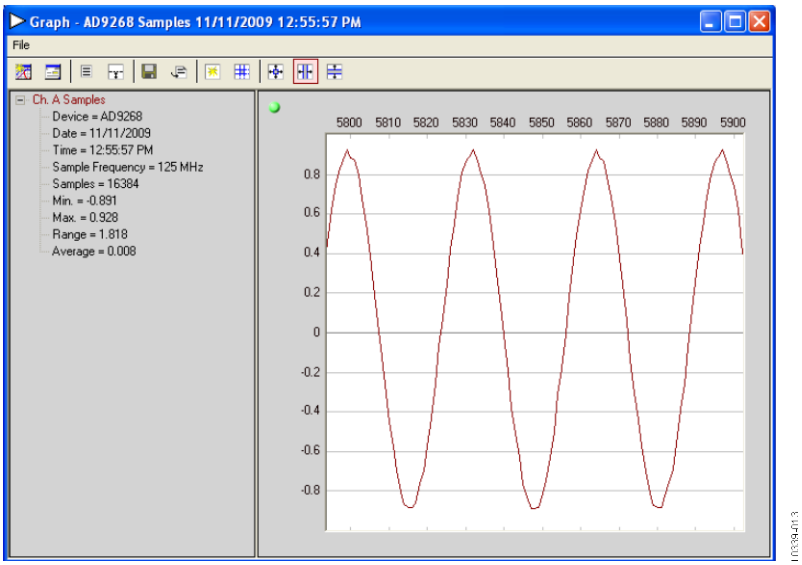


図 13. ビット 9 とビット 10 が短絡した AD9268 ADC の時間領域プロット

図 13 に示す時間領域表示では、問題が見え難くなっています。波形の山と谷で滑らかさがなくなっていますが、これはサンプル・レートが波形の周波数に近づいたときにも見られます。

データとクロックの無効なタイミングがある場合の時間領域プロット

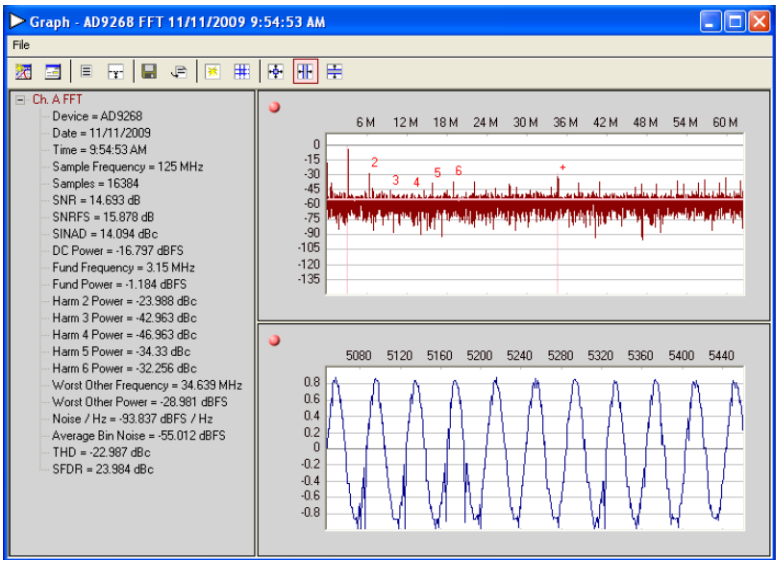


図 14.データとクロックの無効なタイミングがある場合の AD9268 の時間領域プロット

図 14 に、無効なタイミングを持つコンバータを示します。このケースは、セットアップ/ホールド問題から発生しています。全体としてデータの各サイクルで表示される前述のエラーとは異なり、タイミング・エラーでは余り見られなくなります。タイミング・エラーは深刻ではなく間欠的です。これらのプロットは、タイミングを満たさないデータ・キャプチャの時間領域と周波数領域を示しています。時間領域で示すエラーは、1 周期の期間においてで一定していないことに注意してください。また、FFT/周波数領域で示すノイズ・フロアも上がっていることに注意してください。これは通常ミス・コードを示し、タイム・アライメントが正しくないことから発生します。

データとクロックの無効なタイミングがある場合の時間領域プロットの拡大表示

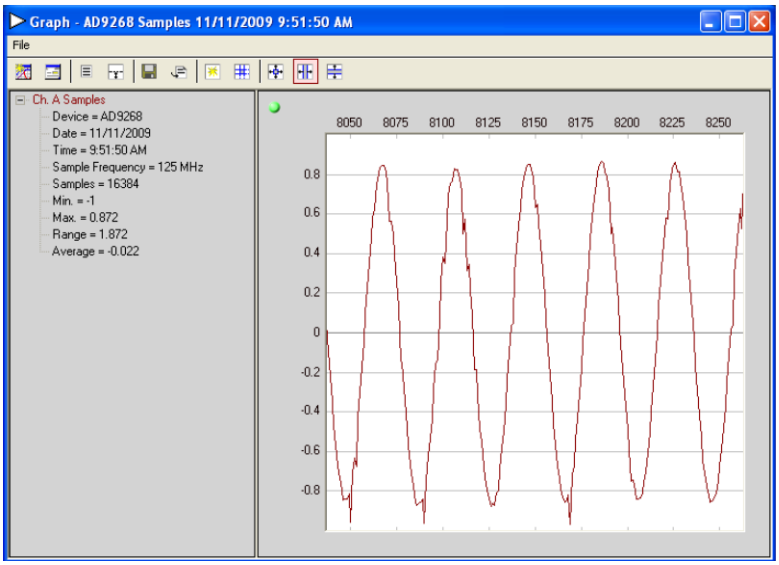


図 15.データとクロックの無効なタイミングがある場合の AD9268 の時間領域拡大プロット

図 15 に、図 14 に示す時間領域タイミング・エラーを拡大して表示しています。ここでも、エラーは 1 周期の期間で一定しませんが、繰り返すエラーもあることに注意してください。このプロットの複数サイクルの谷で発生する負スパイクがこの例です。